

## FEATURES

- $V_{DS}=900V$ ,  $I_D=3A$ 
  - $R_{DS(on)type} \leq 6.7\Omega @ V_{GS}=10V$
- Fast switching capability
- Avalanche energy specified
- Improved dv/dt capability, high ruggedness
- **TO-252 封装**

## APPLICATIONS

- Power Management in Telecom, Industrial Automation
- Motor Driving in Power Tool, E-vehicle, Robotics
- Current Switching in DC/DC&AC/DC(SR) Sub-systems

## GENERAL DESCRIPTION

OSM3N90 是一款在栅源电压 10V 时可实现最大 6.7Ω 导通阻抗，3A 持续电流的 900V N 沟道 MOS 器件。

OSM3N90 具有低栅极电荷，低栅极电压，和高电流导通能力。适用于负载开关、PWM 控制等应用场景。

OSM3N90 采用 TO-252 封装。

## VIEW AND INTERNAL SCHEMATIC DIAGRAM

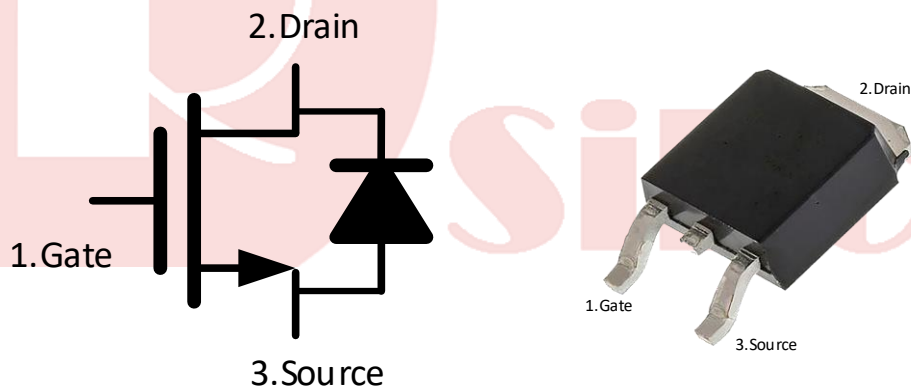


Figure 1. View and Internal Schematic Diagram

## SPECIFICATIONS

Table 1. Typical and limits appearing in normal type apply for  $T_A = 25^\circ\text{C}$ , unless otherwise noted.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
Static Parameters						
Source-Source Breakdown Voltage	BV <sub>DSS</sub>	V <sub>GS</sub> =0V, I <sub>SS</sub> =250μA	900			V
Zero Gate Voltage Drain Current	I <sub>DSS</sub>	V <sub>DSS</sub> =900V, V <sub>GS</sub> =0V			10	μA
Gate-Body leakage current	I <sub>GSS</sub>	V <sub>DSS</sub> =0V, V <sub>GS</sub> = + 30V			0.1	μA
		V <sub>DSS</sub> =0V, V <sub>GS</sub> = - 30V			-0.1	μA
Gate Threshold Voltage	V <sub>GS(TH)</sub>	V <sub>DSS</sub> = V <sub>GS</sub> , I <sub>SS</sub> =250μA	3		5	V
Static Drain-Source On-Resistance	R <sub>DS(ON)</sub>	V <sub>GS</sub> =10V, I <sub>SS</sub> =1.5A			6.7	Ω
Diode Forward Voltage	V <sub>FSS</sub>	V <sub>GS</sub> =0V, I <sub>F</sub> =3A			1.4	V
Input Capacitance* <sup>1</sup>	C <sub>ISS</sub>	V <sub>GS</sub> =0V, V <sub>DS</sub> =25V, f=1MHz		401		pF
Output Capacitance* <sup>1</sup>	C <sub>OSS</sub>			44		pF
Reverse Transfer Capacitance* <sup>1</sup>	C <sub>RSS</sub>			2.2		pF
Switching Parameters						
Total Gate Charge* <sup>1</sup>	Q <sub>g</sub>	V <sub>GS</sub> =0 to 10V, V <sub>DS</sub> =720V, I <sub>SS</sub> =3A		14.6		nC
Gate Source Charge* <sup>1</sup>	Q <sub>gs</sub>			7.3		nC
Gate Drain Charge* <sup>1</sup>	Q <sub>gd</sub>			1.8		nC
Turn-On Delay Time* <sup>1,2</sup>	t <sub>D(ON)</sub>	V <sub>GS</sub> =10V, V <sub>DSS</sub> =100V, I <sub>D</sub> =3A,R <sub>G</sub> =25Ω		7		ns
Turn-On Rise Time* <sup>1,2</sup>	t <sub>r</sub>			14.2		ns
Turn-Off Delay Time* <sup>1,2</sup>	t <sub>D(OFF)</sub>			13.6		ns
Turn-Off Fall Time* <sup>1,2</sup>	t <sub>f</sub>			25.2		ns

Note: 1. 参数由设计保证

2. 测量修正。

## ABSOLUTE MAXIMUM RATINGS

Table 2.

Parameter	Rating
VDSS(ON)	900V
VGS	±30V
ISS(DC)	3A
ISS(Pulse)	6A
Storage Temperature Range	−65°C to +150°C
Operating Junction Temperature Range	−40°C to +125°C
Operating Ambient Temperature Range	−40°C to +85°C
Soldering Conditions	JEDEC J-STD-020

注意, 超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定应力值, 不涉及器件在这些或任何其他条件下超出本技术规格指标的功能性操作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

## THERMAL DATA

绝对最大额定值仅适合单独应用, 但不适合组合使用。结温高于限制值时, 会损坏芯片。监控环境温度并不能保证  $T_J$  不会超出额定温度限值。在功耗高、热阻差的应用中, 可能必须降低最大环境温度。

在功耗适中、PCB 热阻较低的应用中, 只要结温处于额定限值以内, 最大环境温度可以超过最大限值。器件的结温 ( $T_J$ ) 取决于环境温度 ( $T_A$ )、器件的功耗 ( $P_D$ ) 和封装的结到环境热阻 ( $\theta_{JA}$ )。

最高结温 ( $T_J$ ) 由环境温度 ( $T_A$ ) 和功耗 ( $P_D$ ) 通过下式计算:

$$T_J = T_A + (P_D \times \theta_{JA})$$

封装的结到环境热阻 ( $\theta_{JA}$ ) 基于使用 4 层板的建模和计算方法, 主要取决于应用和板布局。在功耗较高的应用中, 需

要特别注意热板设计。 $\theta_{JA}$  的值可能随 PCB 材料、布局和环境条件不同而异。 $\theta_{JA}$  的额定值基于 4" × 3" 的 4 层电路板。有关板结构的详细信息, 请参考 JESD 51-7 和 JESD 51-9。

$\Psi_{JB}$  是结到板热特性参数, 单位为 °C/W。封装的  $\Psi_{JB}$  基于使用 4 层板的建模和计算方法。JESD51-12——“报告和使用电子封装热信息指南”中声明, 热特性参数和热阻不是一回事。 $\Psi_{JB}$  衡量沿多条热路径流动的器件功率, 而  $\theta_{JB}$  只涉及一条路径。因此,  $\Psi_{JB}$  热路径包括来自封装顶部的对流和封装的辐射, 这些因素使得  $\Psi_{JB}$  在现实应用中更有用。最高结温 ( $T_J$ ) 由板温度 ( $T_B$ ) 和功耗 ( $P_D$ ) 通过下式计算:

$$T_J = T_B + (P_D \times \Psi_{JB})$$

有关  $\Psi_{JB}$  的详细信息, 请参考 JESD51-8 和 JESD51-12。

## THERMAL RESISTANCE

$\theta_{JA}$  和  $\Psi_{JB}$  针对最差条件, 即器件焊接在电路板上以实现表贴封装。

Table 3. Thermal Resistance

Package Type	$\theta_{JA}$	$\theta_{JC}$	Unit
TO-252	110	2.84	°C /W

## ESD CAUTION



**ESD (electrostatic discharge) sensitive device.** Charged devices and circuit boards can discharge without detection. Although this product features patented or proprietary protection circuitry, damage may occur on devices subjected to high energy ESD. Therefore, proper ESD precautions should be taken to avoid performance degradation or loss of functionality.

PIN CONFIGURATION AND FUNCTION DESCRIPTIONS

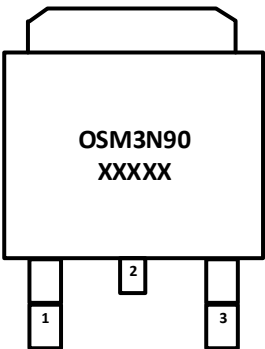


Figure 2. Pin Configuration (Bottom View)

Table 4. Pin Function Descriptions

Pin No.	Mnemonic	Description
1	G	MOSFET Gate
2	D	MOSFET Drain
3	S	MOSFET Source



- 1. • = PIN1
- 2. 45N10 = Device Name
- 3. Y = Year
- 4. M = Month
- 5. LLL = Trace No

Figure 3. Marking View

OUTLINE DIMENSIONS

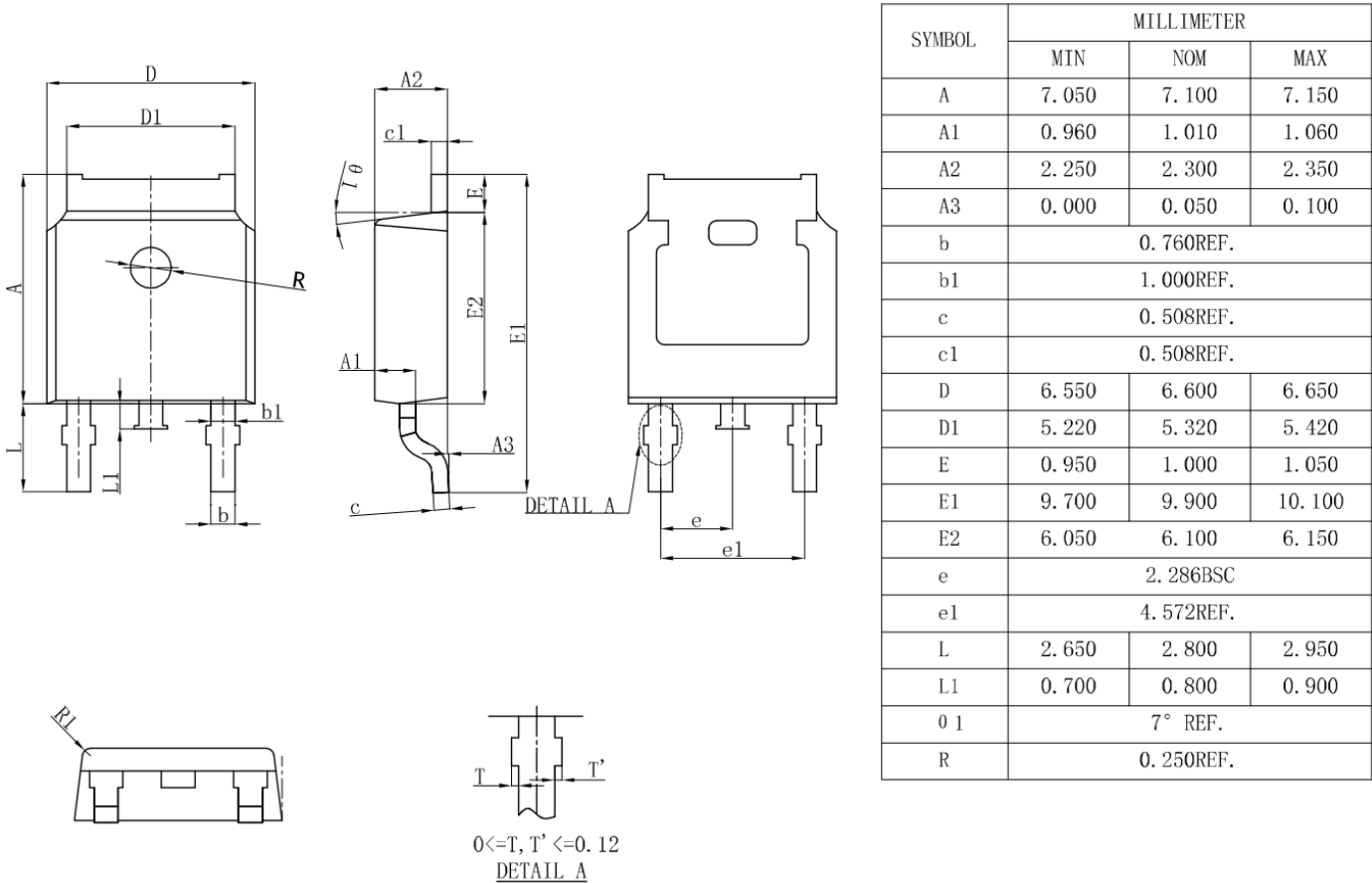


Figure 4. TO-252

版本说明

版本	改动页码	改动图片	改动内容	改动公式	备注
1.0					initial