

MT9820 DATASHEET

Version1.6

AEROSEMI

目录

| | |
|----------------------------|----|
| MT9820 | 1 |
| 概述 | 1 |
| 系统框图 | 1 |
| 端口配置 | 2 |
| 引脚功能 | 2 |
| 绝对最大额定值 | 5 |
| 电参数 | 5 |
| 时序规格 | 6 |
| 工作 | 7 |
| 工作原理 | 7 |
| 设定时钟相位和极性(PHA 和 POL) | 7 |
| 慢速模式 | 8 |
| 状态图 | 8 |
| 待机模式和唤醒检测 | 9 |
| 应用信息 | 10 |
| isoSPI 设置 | 10 |
| 上拉电阻 | 11 |
| 隔离势垒的选择 | 12 |
| 封装形式 | 13 |

MT9820

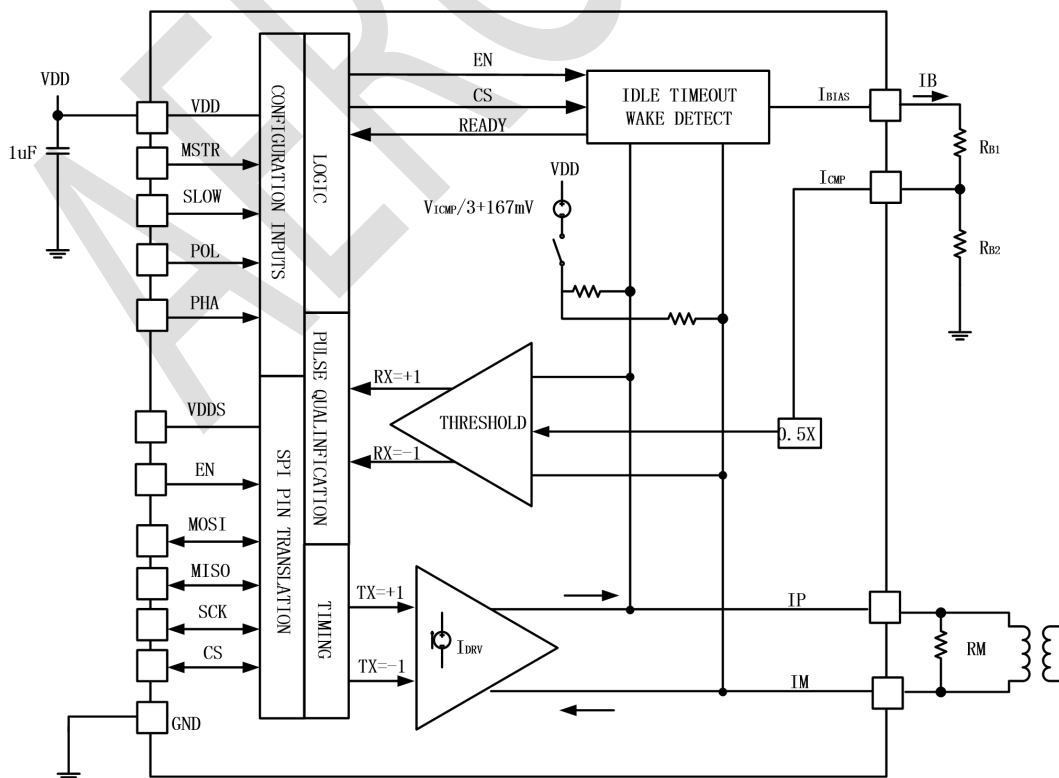
概述

MT9820 可通过单条双绞线连接在两个隔离器件之间提供双向 SPI 通信。每个 MT9820 将逻辑状态编码为信号，并跨越一个隔离势垒将信号传送至另一个 MT9820。接收 MT9820 对传输信号进行译码并把从总线驱动至适当的逻辑状态。隔离势垒可利用一个简单的脉冲变压器进行桥接，以实现几百伏的隔离度。

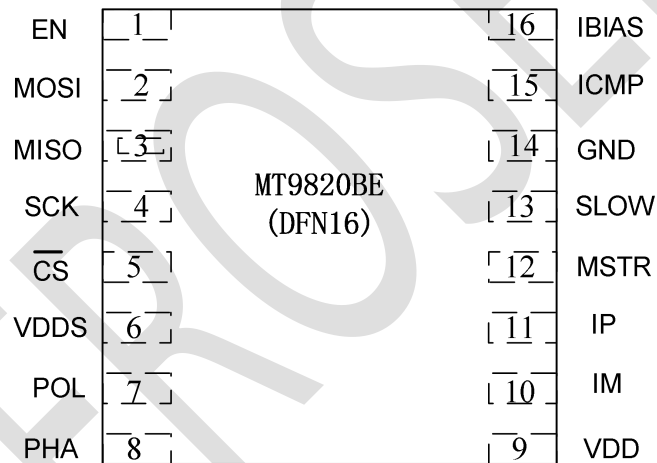
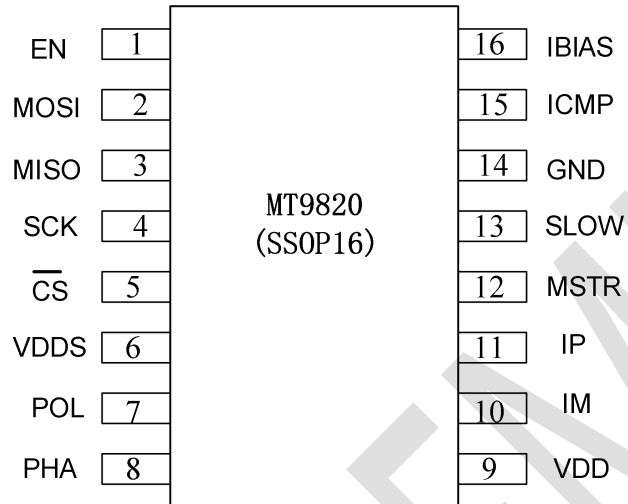
MT9820 采用匹配的供电和吸收电流来驱动差分信号，从而免除了增设变压器中心抽头的需要并降低了 EMI。接收器中的高精度窗口比较器负责检测差分信号。驱动电流和比较器门限由一个简单的外部电阻分压器设定，因而使得系统能够针对所需的电缆长度和期望的信噪比性能实施相应的优化。

MT9820 通过高可靠性电路设计和生产流程控制使其具有汽车级应用资质（AEC-Q100）。

系统框图



端口配置



| 产品型号 | 封装形式 | 分级 |
|----------|--------|-----|
| MT9820 | SSOP16 | 工业级 |
| MT9820BE | DFN16 | 工业级 |
| MT9820Q | SSOP16 | 汽车级 |

引脚功能

EN(引脚 1): 器件使能输入。如果该引脚为高电平，则其将强制 MT9820 保持使能状态，从而屏蔽内部待机模式功能。假如该引脚为低电平，则 MT9820 将在 $\overline{\text{CS}}$ 引脚持续

5.7ms 的高电平(当 MSTR 引脚为高电平时)之后或 IP/IM 引脚上无信号的持续时间达

5.7ms(当 MSTR 引脚为低电平时)之后进入待机模式。在 \overline{CS} 下降(MSTR 为高电平)之后或在 IP/IM 引脚上检测到一个唤醒信号(MSTR 为低电平)后, MT9820 将在不到 8 μ s 的时间之内被唤醒。

MOSI(引脚 2): 主控器输出/受控器输入数据。如果连接在某个 SPI 接口的主控器侧(MSTR 引脚为高电平), 则该引脚将从主 SPI 控制器接收数据信号输出。倘若连接在该接口的受控器侧(MSTR 引脚为低电平), 则该引脚把数据信号输入驱动至从 SPI 器件。输出(作为输出端)为漏极开路, 因此需要连接一个外部上拉电阻器至 VDD5。

MISO(引脚 3): SPI 主控器输入/受控器输出数据。如果连接在某个 SPI 接口的主控器侧(MSTR 引脚为高电平), 则该引脚把数据信号输入驱动至主 SPI 控制器。倘若连接在该接口的受控器侧(MSTR 引脚为低电平), 则该引脚将从从 SPI 器件接收数据信号输出。输出(作为输出端)为漏极开路, 因此需要连接一个外部上拉电阻器至 VDD5。

SCK(引脚 4): SPI 时钟输入/输出。如果连接在接口的主控器侧(MSTR 引脚为高电平), 则该引脚将从主 SPI 控制器接收时钟信号。不得把该输入拉至高于 VDD5。假如连接在接口的受控器侧(MSTR 引脚为低电平), 则该引脚将输出时钟信号至从器件。输出驱动器为推挽式; 无需外部上拉电阻器。

\overline{CS} (引脚 5): SPI 芯片选择输入/输出。如果连接在接口的主控器侧(MSTR 引脚为高电平), 则该引脚将从主 SPI 控制器接收芯片选择信号。不得把该输入拉至高 VDD5。假如连接在接口的受控器侧(MSTR 引脚为低电平), 则该引脚将输出芯片选择信号至从器件。输出驱动器为推挽式; 无需外部上拉电阻器。

VDD5(引脚 6): SPI 输入/输出电源输入。用于 SCK 和 \overline{CS} 引脚的输出驱动器采用 VDD5 输入作为其正电源。SCK、 \overline{CS} 、MOSI、MISO、EN 的输入门限电压由 VDD5 决定。该引脚可连接至 VDD 或者一个高于或低于 VDD 的电源以对 SPI I/O 进行电平移位。假如该引脚与 VDD 分离, 则应直接在 VDD5 和 GND 之间连接一个至少为 0.01 μ F 的旁路电容器。

POL(引脚 7): SPI 时钟极性输入。连接至 VDD 或 GND。

PHA(引脚 8): SPI 时钟相位输入。连接至 VDD 或 GND。

VDD(引脚 9): 器件电源输入。直接在 VDD 和 GND 之间连接一个至少为 0.01 μ F 的旁路电容器。

IM(引脚 10): 隔离式接口负(-)输入/输出。

IP(引脚 11): 隔离式接口正(+)输入/输出。

MSTR(引脚 12): 串行接口主/从选择器输入。如果器件位于隔离式接口的主控器侧，则把该引脚连接至 VDD。假如器件位于隔离式接口的受控器侧，则把此引脚连接至 GND。

SLOW(引脚 13): 慢速接口选择输入。当时钟频率等于或低于 200kHz 时，抑或从器件不能满足定时要求时，应把该引脚连接至 VDD。当时钟频率高于 200kHz 时，则应将该引脚连接至 GND。

GND(引脚 14): 器件地。

ICMP(引脚 15): 隔离式接口比较器电压门限设定。把该引脚连接至位于 IBIAS 和 GND 之间的电阻分压器可设定接口接收器比较器的电压门限。比较器门限被设定为 ICMP 引脚电压的 1/2。

IBIAS(引脚 16): 隔离式接口电流偏置。通过一个电阻分压器把 IBIAS 连接至 GND 可设定接口输出电流水平。当器件被使能时，该引脚的电压大约为 2V。当发送脉冲时，每个 IP 和 IM 引脚上的吸收电流都被设定为从引脚 IBIAS 提供至 GND 之电流的 20 倍。把 IBIAS 引脚上的电容限制在 50pF 以下，旨在保持负责调节 IBIAS 电压的反馈电路的稳定性。

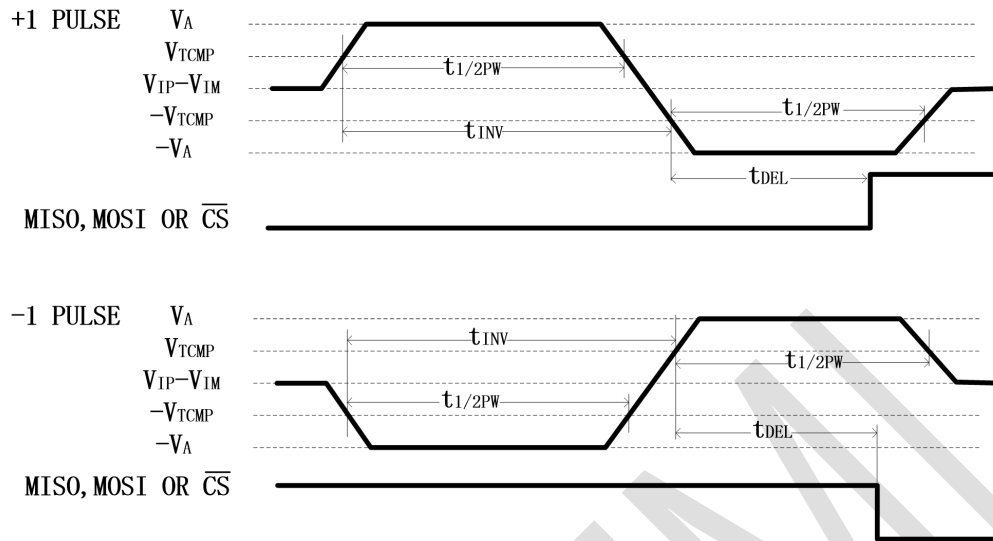
绝对最大额定值

| 绝对最大额定值 | | | | | |
|-----------------------|----------------------------------|------|--|-------------|----|
| 参数 | | 最小值 | | 最大值 | 单位 |
| 电源电压 (VDD、VDDS 至 GND) | | | | 6 | V |
| IP/IM 供电电流/吸收电流 | | | | 30 | mA |
| 相对 V-电压 | SCK, $\overline{\text{CS}}$, EN | -0.3 | | VDDS + 0.3V | V |
| | IBIAS, SLOW, IP, IM | -0.3 | | VDD + 0.3V | V |
| | 其他引脚 | -0.3 | | 6 | V |
| 工作温度范围 | | -40 | | 125 | °C |
| 贮存温度 | | -65 | | 150 | °C |
| 结温 | | | | 150 | °C |

电参数

| 电源（若无特殊说明，以下电气参数均在 25℃ 下测得） | | | | | | |
|-----------------------------|---|---|-----|--|---------|----|
| 参数 | 条件 | | 最小值 | 典型值 | 最大值 | 单位 |
| VDD | 电源电压 | | 2.7 | | 5.5 | V |
| VDDS | I/O 电源电压 | | 1.7 | | 5.5 | V |
| I _{DD} | 电源电流 (VDD=5V) | Ready/active I _B =1mA, CLK=1M | | 7 | 8 | mA |
| | | Idle MSTR=VDD | | 1 | 3 | uA |
| V _{BIAS} | IBIAS 引脚上的电压 | | 1.9 | 2 | 2.1 | V |
| V _A | 发送脉冲幅度 V _A = IP-IM | VDD<3.3 | | | VDD-1.7 | V |
| | | VDD>3.3 | | | 1.6 | |
| V _{ICMP} | ICMP 的门限电压 | | 0.2 | | 1.5 | V |
| V _{cm} | 接收器共模偏置 IP/IM 未驱动 | | | VDD- V _{ICMP} /3- 167mV | | V |
| V _{WAKE} | 差分唤醒电压，t _{DWELL} =240ns | | 240 | | | mV |
| t _{DWELL} | V _{WAKE} 上的停留时间,V _{WAKE} =240mV | | 240 | | | ns |
| t _{IDLE} | 无工作的持续时间 | | 4 | 5.7 | 7.5 | ms |

时序规格



| 参数 | 最小值 | 典型值 | 最大值 | 单位 |
|---------------------------------|-----|-----|-----|----|
| $t_{1/2PW}$ (\overline{CS}) | 120 | 150 | 180 | ns |
| t_{INV} (\overline{CS}) | | | 200 | ns |
| t_{INV} (\overline{CS}) | | 140 | 190 | ns |
| $t_{1/2PW}$ (D) | 40 | 50 | 60 | ns |
| t_{INV} (D) | | | 70 | ns |
| t_{INV} (D) | | 75 | 120 | ns |

工作

工作原理

MT9820 通过单个双绞线产生了一个双向隔离式串行端口接口 (isoSPI)，从而提供了比非隔离接口更高的安全性和抗噪性。MT9820 使用变压器将标准的 SPI 信号(\overline{CS} 、SCK、MOSI 和 MISO)转换为可通过双绞线来回传送的脉冲。

典型系统采用两个 MT9820 器件。第一个器件与一个微控制器或其他 SPI 主控器配对使用。其 IP 和 IM 发送器/接收器引脚横跨一个隔离势垒连接至第二个 MT9820，这个器件负责再生供一个或多个从器件使用的 SPI 信号。

发送器是一个电流调节型差分驱动器。电压幅度由驱动电流和等效阻性负载 (电缆特征阻抗和终端电阻器 RM) 决定。

接收器包括一个具差分电压门限 VTCMP 的窗口比较器。当 $VIP - VIM$ 大于 +VTCMP 时，比较器检测到一个逻辑+1。当 $VIP - VIM$ 小于 -VTCMP 时，比较器检测到一个逻辑-1。一个逻辑零(空值)表示 $VIP - VIM$ 介于正门限和负门限之间。比较器输出被传送至脉冲定时器 (滤波器)，后者负责区别长脉冲和短脉冲。

设定时钟相位和极性(PHA 和 POL)

SPI 器件通常采用一个时钟沿来锁存数据和其他边沿以实现数据移位。这可避免与时钟偏移有关的定时问题。没有规定移位和锁存之先后顺序的标准。而且，对于数据是锁存在时钟上升沿还是下降沿也没有特定的要求，不过最常见的做法是将数据锁存于上升沿。MT9820 支持所有 4 种 SPI 操作模式 (由 PHA 和 POL 引脚负责配置)。

如果 $POL = 0$ ，则 SCK 不工作(低电平)。数据锁存在上升(第一个)时钟沿(若 $PHA = 0$)和下降(第二个)时钟沿(若 $PHA = 1$)。如果 $POL = 1$ ，则 SCK 不工作(高电平)。数据锁存在下降(第一个)时钟沿 (若 $PHA = 0$)和上升(第二个)时钟沿(若 $PHA = 1$)。

两种最常用的配置是模式 0 ($PHA = 0$ 和 $POL = 0$)和模式 3 ($PHA = 1$ 和 $POL = 1$)，因为这些模式将数据锁存在时钟上升沿。

表 1: SPI 模式

| 模式 | POL | PHA | 描述 |
|----|-----|-----|------------------------------|
| 0 | 0 | 0 | SCK 不工作 (低电平), 数据锁存在第一个时钟上升沿 |
| 1 | 0 | 1 | SCK 不工作 (低电平), 数据锁存在第二个时钟下降沿 |
| 2 | 1 | 0 | SCK 不工作 (高电平), 数据锁存在第一个时钟下降沿 |
| 3 | 1 | 1 | SCK 不工作 (高电平), 数据锁存在第二个时钟上升沿 |

慢速模式

当配置为从属操作时, MT9820 将提供两种操作模式以确保与多种 SPI 定时情形的兼容性。这些模式被称为快速模式和慢速模式, 并采用 SLOW 引脚来设定。当配置为主控操作时, SLOW 引脚设定值对 MT9820 的运作没有影响。在这种场合, 建议把 SLOW 引脚连接至 GND。在快速模式中(SLOW 引脚连接至 GND), MT9820 能在高达 1MHz ($t_{CLK} = 1\mu s$) 的时钟速率下运作。然而, 有些 SPI 从器件不能以足够快的速度做出响应, 因而不支持该数据速率。快速模式要求受控器在操作时具有 100ns 的建立时间和响应时间, 以及 100ns 的时钟宽度。此外, 还必须制定 MOSI 和 MISO 之漏极开路输出的 RC 上升时间的容差。在慢速模式中(SLOW 引脚连接至 V+), 定时要求虽然放宽了, 但代价则是最大数据速率有所下降。时钟脉冲和所需的建立和响应时间由最小值 $0.11\mu s$ 增加至 $0.9\mu s$ (最小值)。相应地, 最小 t_{CLK} (受控于主控器) 必须限制为 $5\mu s$ 。SLOW 引脚设定值对主控 MT9820 ($MSTR=1$) 没有影响。

状态图

在无通信期间, 可使用一种低电流 IDLE (或停机) 状态以降低功率消耗。在 IDLE 状态中 MT9820 将关断大部分电路。一个从器件采用低电流比较器以监视动作, 因此其具有较大的 IDLE 电流。

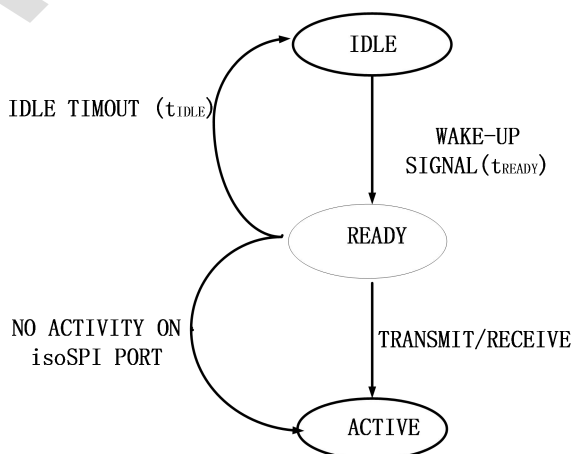


图 1: 状态图

待机模式和唤醒检测

为了省电,处于从模式(MSTR = 0)的 MT9820 将在 IP/IM 引脚的不工作时间(t_{IDLE})达到 5.7ms 之后进入一种 IDLE 状态。在这种情况下, I_{DD} 减小至 6 μ A 以下,并使 SPI 引脚处在空载状态($\overline{CS} = 1$, MOSI = 1 和 SCK = POL)。MT9820 将采用一个低功率 AC 耦合型检测器连续监视 IP 和 IM 引脚。当其检测到一个持续时间为 240ns (或更长)的 240mV (或更大)差分信号时,它将被唤醒。实际上,一个长的 (\overline{CS}) isoSPI 脉冲足以唤醒器件。当比较器产生唤醒信号时,偏置电路实现稳定所需的时间最长可达 8 μ s(t_{READY})。

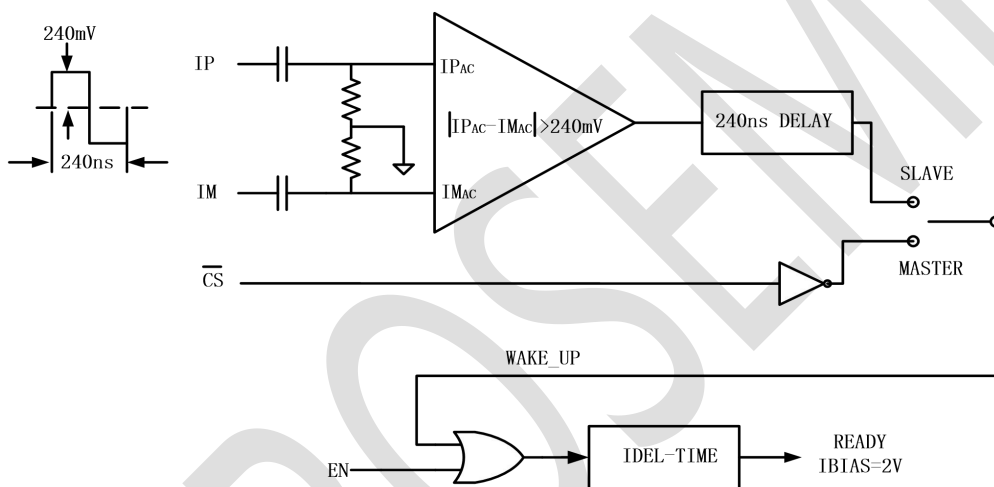


图 2: 唤醒检测和 IDLE 定时

图 3 详细描绘了“唤醒一个从属 MT9820 (将其置于 IDLE 状态)、采用它进行通信、并随后允许它返回低功率 IDLE 状态”的时序。处于主模式 (MSTR = 1) 的 MT9820 未采用唤醒检测比较器。 \overline{CS} 上的一个下降沿将在 t_{READY} 时间之内使能 isoSPI 端口, 而且 MT9820 将在退出 IDLE 状态时发送一个长的 (\overline{CS}) 脉冲(该脉冲的极性与 t_{READY} 末端的 \overline{CS} 状态相匹配)。只要 $\overline{CS} = 0$, 主 MT9820 就将保持在 READY/ACTIVE 状态。假如 \overline{CS} 变换至高电平且 $EN = 0$, 直到 t_{IDLE} 超时, 主 MT9820 才进入待机状态。这可避免器件在数据包之间出现停机。不管是在主模式还是在从模式中, 都可以通过把 EN 驱动至高电平来停用 IDLE 功能。这将强制器件始终保持“就绪”状态。

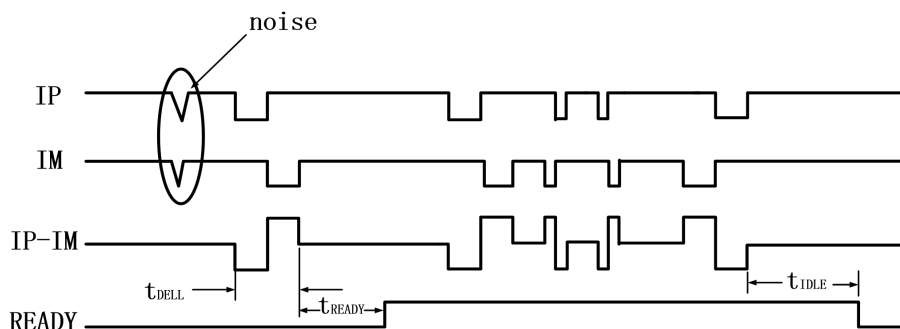


图 3：从属 MT9820 唤醒/不工作定时

图 4 示出了一种用于唤醒一个主控(MSTR = 1) MT9820 及其连接的从属(MSTR = 0) MT9820 的简单程序。 \overline{CS} 上的一个负脉冲边沿致使主控器将 IBIAS 驱动至 2V，并在一个简短的延迟之后发送一个长+1 脉冲。(如果 \overline{CS} 在整个 tREADY 期间处于低电平，则 MT9820 将首先产生一个-1 脉冲，而后在 \overline{CS} 恢复高电平时产生+1 脉冲)。长脉冲充当从器件的唤醒信号，从器件通过将其 IBIAS 引脚驱动至 2V 并进入 READY 状态做出响应。

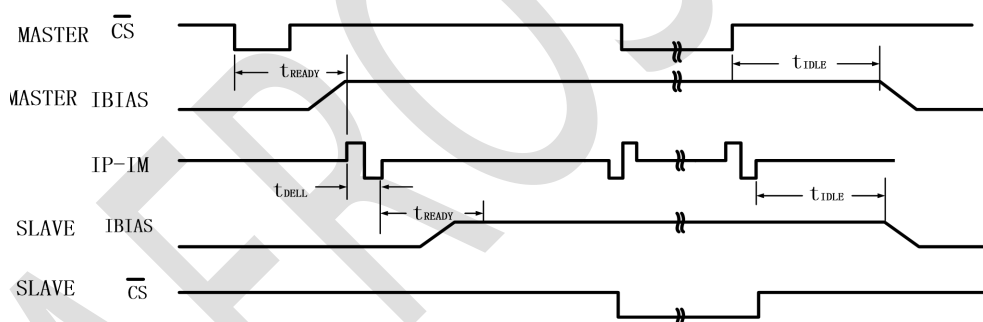


图 4：主控器/受控器唤醒待机时序

应用信息

isoSPI 设置

MT9820 可以针对功耗或抗噪性要求来优化每种应用。isoSPI 系统的功耗和抗噪性由编程 IB 电流决定。IB 电流可在 0.1mA 至 1mA 的范围内变化。低的 IB 可降低 READY 和 ACTIVE 状态中的 isoSPI 功耗，而高的 IB 则将增加匹配终接电阻器 RM 两端之差分信号电压 VA 的幅度。IB 由连接在 IBIAS 引脚和 GND 之间的 RB1 与 RB2 电阻器之和来设置。对

于大多数应用而言，把 I_B 设定为 0.5mA 可很好地兼顾功耗与抗噪性。当采用该 I_B 设定值和一个 1:1 变压器及 $R_M = 120\Omega$ 时， R_{B1} 应设定为 2.8k ，而 R_{B2} 应设定为 1.2k 。采用这些设定值时，在典型 CAT5 双绞线中可实现长达 50m 的通信距离。

对于那些所需电缆长度超过 50m 的应用，建议通过把 I_B 提高至 1mA 来增加 V_A 的幅度。这可补偿电缆中插入损耗的增加并保持高的抗噪性。因此，当使用超过 50m 的电缆时，若仍然采用一个匝数比为 1:1 的变压器及 $R_M = 120\Omega$ ，则将 R_{B1} 设为 1.4k ， R_{B2} 为 600Ω 。根据应用的需要，可以采用其他的 I_B 设定值以降低功耗或增强抗噪性。在这些场合中，当设定 V_{ICMP} 及选择 R_{B1} 和 R_{B2} 电阻器阻值时，应采用下面的规则：

$$I_B = 0.5\text{mA}$$

$$V_A = (20 \cdot I_B) \cdot (R_M/2)$$

$$V_{TCMP} = 1/2 \cdot V_A, \quad V_{ICMP} = 2 \cdot V_{TCMP}$$

$$R_{B2} = V_{ICMP}/I_B$$

$$R_{B1} = \left(\frac{2V}{I_B}\right) - R_{B2}$$

对于 $> 50\text{m}$ 的电缆：

$$I_B = 1\text{mA}$$

$$V_A = (20 \cdot I_B) \cdot (R_M/2)$$

$$V_{TCMP} = 1/4 \cdot V_A, \quad V_{ICMP} = 2 \cdot V_{TCMP}$$

$$R_{B2} = V_{ICMP}/I_B$$

$$R_{B1} = \left(\frac{2V}{I_B}\right) - R_{B2}$$

isoSPI 链路的最大数据速率由所用电缆的长度决定。当电缆长度为 10m 或以下时，可以采用 1MHz 的最大 SPI 时钟频率。随着电缆长度的增加，最大的可用 SPI 时钟速率下降。这是由于通过电缆的传播延迟增加而可能产生的时序违规所致。

上拉电阻

数据输出 (若 $MSTR = 0$ 则为 MOSI，若 $MSTR = 1$ 则为 MISO) 需要一个上拉电阻器 R_{pu} 。上升时间 t_{RISE} 由 R_{pu} 及引脚上的电容决定。 R_{pu} 必须足够小，以提供适当的建立和保持时间。在快速模式中，建议采用 50ns 。

$$R_{pu} < 50\text{ns}/C_{LOAD}$$

在慢速模式中，可以使用较大(最 5k) 的上拉电阻。

隔离势垒的选择

isoSPI 具有高达 1.6V 的可编程脉冲幅度以及 50ns 和 150ns 的脉冲宽度。可以采用一个变压器或一对变压器在两个 MT9820 之间隔离 IP 和 IM 信号。为满足这些要求，应选择一个具有 50μH 至 350μH 磁化电感和 1:1 或 2:1 匝数比的变压器。最大限度地减少变压器插入损耗从而降低需要的发送功率；建议的插入损耗通常小于 -1.5dB。为了获得最优的共模噪声抑制，应选择一个带中心抽头的变压器或具有集成型共模扼流圈的变压器。中心抽头可连接至一个 27pF 或更小的电容器 (较大的电容器将限制驱动器设定共模电压的能力)。假如变压器在主端上同时具有一个中心抽头和扼流圈，则可以使用一个较大的电容器。如图 5 所示，为一个典型的变压器型隔离势垒。

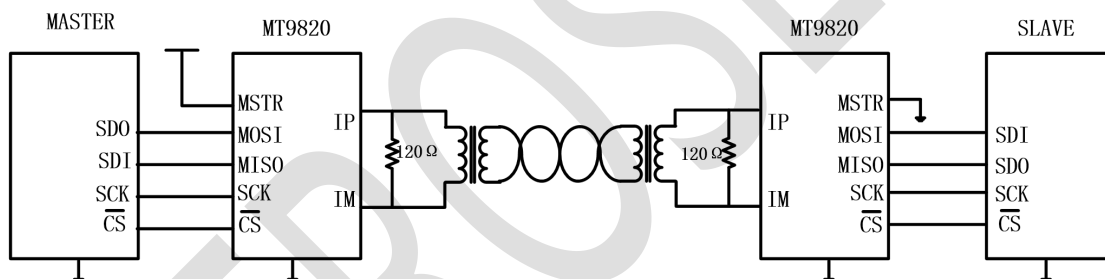
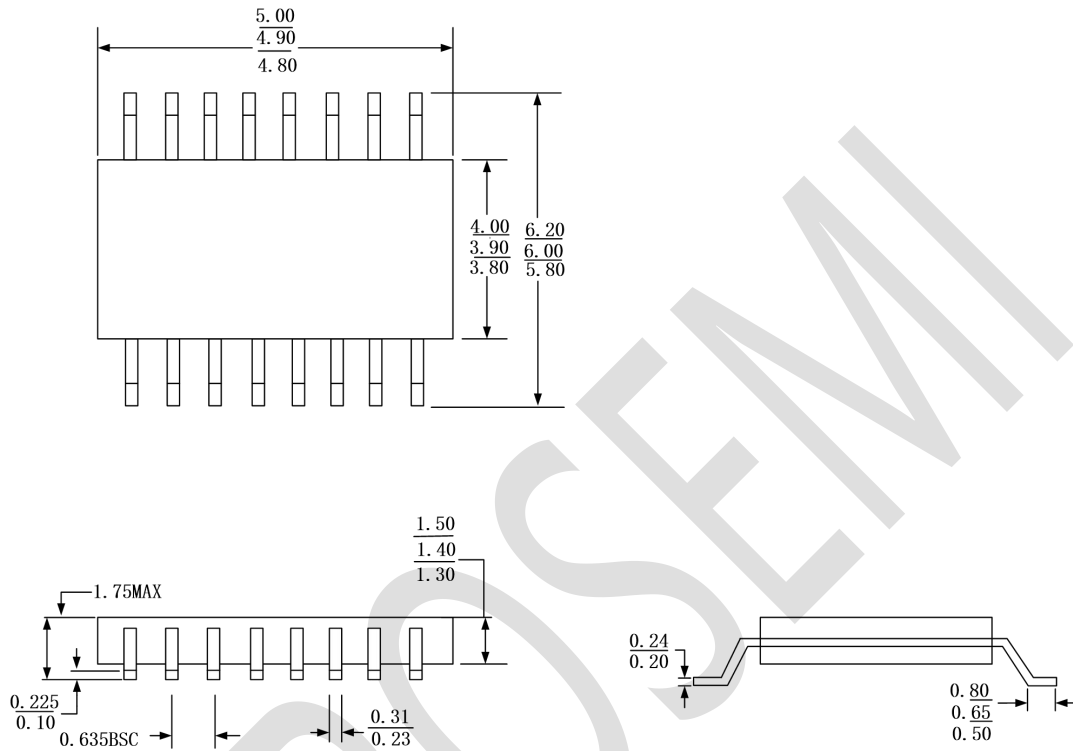


图 5：变压器隔离势垒的典型应用电路

在有些噪声相对很低且只需电气隔离的应用中，可采用电容器替代变压器作为隔离势垒。由于电容性耦合，因此双绞线电缆由一个电压进行驱动并且随着电缆长度的延伸而遭受信号损失。这种低成本的隔离解决方案可适用于短距离互连(1 米或以下)，例如：在相邻电路板之间或横跨一块大型 PCB。电容器将提供电气隔离，但不提供共模抑制。该选项以一种不同的方式使用驱动器，通过采用上拉电阻器将共模保持在靠近 VDD，仅吸收驱动电流具有一些影响。

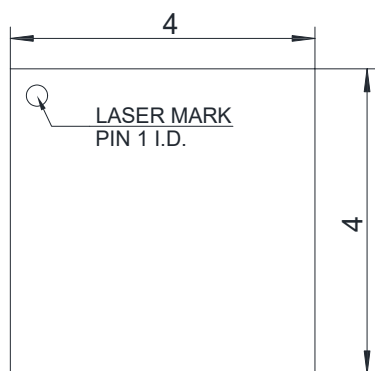
封装形式

16 引脚塑料 SSOP 封装

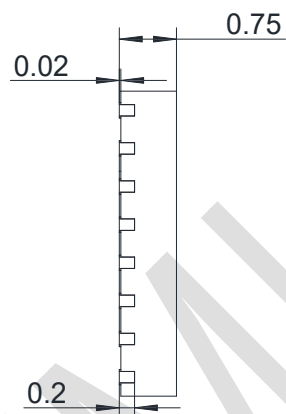


16 引脚塑料 DFN 封装

(Unit:mm)



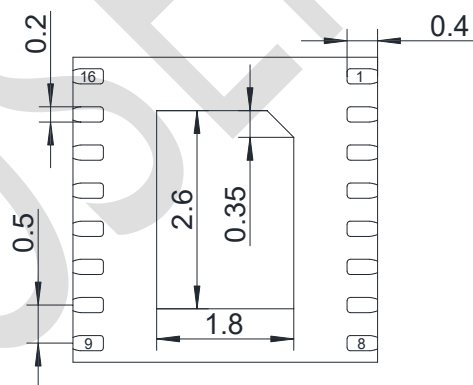
TOP VIEW



SIDE VIEW



SIDE VIEW



BOTTOM VIEW

| 版本号 | 修订内容 | 修订时间 |
|-----|----------------------|------------|
| 1.2 | 格式修订 | 2023-08-25 |
| 1.3 | 增加 DFN16 封装 | 2024-03-04 |
| 1.4 | 增加 AEC-Q100 | 2024-04-30 |
| 1.5 | 封装描述更改 | 2024-07-17 |
| 1.6 | 增加电特性测试条件，工作 电流上限 | 2024-09-29 |

重要声明

西安航天民芯科技有限公司保留对其半导体产品和服务进行更正、增强、改进和其他变更的权利。

西安航天民芯科技有限公司对此类文件的变更不承担任何责任。第三方的信息可能会受到额外的限制。西安航天民芯科技有限公司不承担因任何特定目的使用其产品的责任，也不承担因应用或使用其任意产品或电路而产生的任何责任。

版权所有：©西安航天民芯科技有限公司 2011

<http://www.aerosemi.com>