

UCC23513, 4A 拉电流、5A 灌电流、5.7kV_{RMS} 光耦兼容 单通道隔离式栅极驱动器

1 特性

- 具有光耦兼容输入的 5.7kV_{RMS} 单通道隔离式栅极驱动器
- 适用于光隔离式栅极驱动器的引脚对引脚普适版升级
- 输出 4.5A 峰值拉电流/5.3A 峰值灌电流、峰值电流
- 14V 至 33V 输出驱动器电源电压
 - 8V (B) 或 12V VCC UVLO 选项
- 轨到轨输出
- 105ns (最大值) 传播延迟
- 25ns (最大值) 器件对器件延迟匹配
- 35ns (最大值) 脉宽失真度
- 150kV/μs (最小值) 共模瞬态抗扰度 (CMTI)
- 隔离栅寿命 > 50 年
- 输入级具有 13V 反极性电压处理能力
- 扩展型 SO-6 封装, 爬电距离和间隙大于 8.5mm
- 运行结温 T_J: -40°C 至 +150°C
- 安全相关认证:
 - 符合 DIN V VDE V0884-11:2017-01 标准的 8000V_{PK} 增强型隔离
 - 符合 UL 1577 标准且长达 1 分钟的 5.7kV_{RMS} 隔离
 - 符合 GB4943.1-2011 标准的 CQC 认证

2 应用

- 工业电机控制驱动
- 工业用电源, UPS
- 光伏逆变器
- 感应加热

3 说明

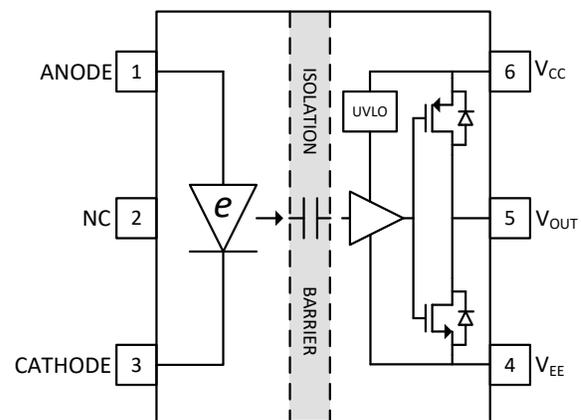
UCC23513 驱动器是适用于 IGBT、MOSFET 和 SiC MOSFET 的光耦兼容单通道隔离式栅极驱动器, 具有 4.5A 峰值拉电流和 5.3A 峰值灌电流以及 5.7kV_{RMS} 增强型隔离额定值。33V 的高电源电压范围允许使用双极电源来有效驱动 IGBT 和 SiC 功率 FET。UCC23513 可以驱动低侧和高侧功率 FET。与基于光耦合器的标准栅极驱动器相比, 此器件的主要特性和特征可显著提高性能和可靠性, 同时在原理图和布局设计中保持引脚对引脚兼容性。性能亮点包括高共模瞬态抗扰度 (CMTI)、低传播延迟和小脉宽失真。严格的过程控制可实现较小的器件对器件偏移。输入级是仿真二极管, 这意味着与传统的 LED 相比, 具有长期可靠性和出色的老化特性。该器件采用扩展型 SO6 封装, 爬电距离和间隙大于 8.5mm, 塑封材料 (材料组 I) 的相对漏电起痕指数 (CTI) 大于 600V。UCC23513 具有高性

能和高可靠性, 因此非常适合用于所有类型的电机驱动器、光伏逆变器、工业电源和电器。更高的工作温度为传统光耦合器以前无法支持的应用开辟了机会。

器件信息(1)

器件型号	封装	封装尺寸 (标称值)
UCC23513	扩展型 SO-6	7.5mm x 4.68mm

(1) 如需了解所有可用封装, 请参阅数据表末尾的可订购产品附录。



UCC23513 (SO6) 的功能方框图



内容

1 特性	1	7 参数测量信息	13
2 应用	1	7.1 传播延迟、上升时间和下降时间.....	13
3 说明	1	7.2 I _{OH} 和 I _{OL} 测试.....	13
4 修订历史记录	2	7.3 CMTI 测试.....	13
5 引脚配置和功能	3	8 详细说明	14
引脚功能.....	3	8.1 概述.....	14
6 规格	4	8.2 功能方框图.....	14
6.1 绝对最大额定值.....	4	8.3 特性说明.....	15
6.2 ESD 等级.....	4	8.4 器件功能模式.....	19
6.3 建议工作条件.....	4	9 应用和实施	20
6.4 热性能信息.....	4	9.1 应用信息.....	20
6.5 额定功率.....	5	9.2 典型应用.....	21
6.6 绝缘规格.....	6	10 电源相关建议	27
6.7 安全相关认证.....	7	11 布局	28
6.8 安全限值.....	7	11.1 布局指南.....	28
6.9 电气特性.....	8	11.2 布局示例.....	29
6.10 开关特性.....	8	11.3 PCB 材料.....	32
6.11 绝缘特性曲线.....	9	12 机械、封装和可订购信息	33
6.12 典型特性.....	10		

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision D (October 2019) to Revision E ()	Page
• 添加了具有 8V UVLO 的 B 版本.....	1

Changes from Revision C (June 2019) to Revision D ()	Page
• 将最小内部缝隙单位从 mm 更改为 μm 。.....	6

Changes from Revision B (June 2019) to Revision C ()	Page
• 将销售状态从“预告信息”更改为“初始发行版”.....	1
• 更改了器件功能模式表.....	19

5 引脚配置和功能

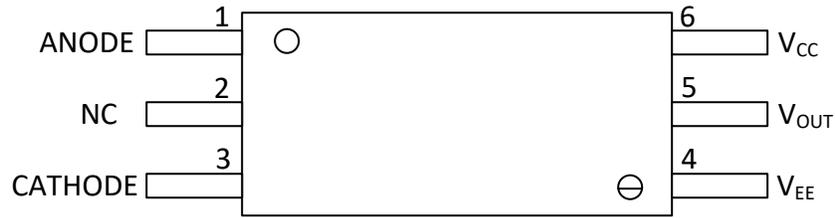


图 5-1. UCC23513、UCC23513B 封装 SO-6 顶视图

引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
ANODE	1	I	正极
CATHODE	3	I	负极
NC	2	-	无连接
V _{CC}	6	P	正输出电源轨
V _{EE}	4	P	负输出电源轨
V _{OUT}	5	O	栅极驱动器输出

(1) P = 电源, G = 接地, I = 输入, O = 输出

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内（除非另有说明）⁽¹⁾

		最小值	最大值	单位
平均输入电流	$I_{F(AVG)}$	-	25	mA
峰值瞬态输入电流	$I_{F(TRAN)} < 1\mu s$ 脉冲, 300pps		1	A
反向输入电压	$V_{R(MAX)}$		14	V
输出电源电压	$V_{CC} - V_{EE}$	-0.3	35	V
输出信号电压	$V_{OUT} - V_{CC}$		0.3	V
输出信号电压	$V_{OUT} - V_{EE}$	-0.3		V
结温	T_J ⁽²⁾	-40	150	°C
存储温度	T_{stg}	-65	150	°C

(1) 应力超出绝对最大额定值下列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

(2) 要保持 T_J 的建议工作条件，请参阅 [节 6.4](#)。

6.2 ESD 等级

		值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS - 001 ⁽¹⁾	±4000
		充电器件模式 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	±1000

(1) JEDEC 文件 JEP155 指出：500V HBM 可实现在标准 ESD 控制流程下安全生产。

(2) JEDEC 文件 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

6.3 建议工作条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{CC}	输出电源电压 ($V_{CC} - V_{EE}$)	UCC23513 (12V UVLO 版本)	14	33	V
		UCC23513B (8V UVLO 版本)	10	33	V
I_F (ON)	输入二极管正向电流 (二极管“导通”)		7	16	mA
V_F (关断)	阳极电压 - 阴极电压 (二极管“关断”)		-13	0.9	V
T_J	结温		-40	150	°C
T_A	环境温度		-40	125	°C

6.4 热性能信息

热指标 ⁽¹⁾		UCC23513、UCC23513B		
		SO6		
		6 引脚		
		单位		
$R_{\theta JA}$	结至环境热阻	126		°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	66.1		°C/W
$R_{\theta JB}$	结至电路板热阻	62.8		°C/W
Ψ_{JT}	结至顶部特征参数	29.6		°C/W
Ψ_{JB}	结至电路板特征参数	60.8		°C/W

(1) 有关新旧热指标的更多信息，请参阅 <http://www.ti.com/lit/SPRA953> 应用报告。

6.5 额定功率

参数		测试条件	最小值	典型值	最大值	单位
P_D	输入端和输出端的最大功率耗散 ⁽¹⁾	$V_{CC} = 20V$, $I_F = 10mA$, 10kHz, 50% 占空比, 方波, 180nF 负载, $T_A = 25^\circ C$			750	mW
P_{D1}	最大输入功率耗散 ⁽²⁾				10	mW
P_{D2}	最大输出功率耗散				740	mW

- (1) 超过 $25^\circ C$ 环境温度时会降低 $6mW/^\circ C$
 (2) 建议最大值 $P_{D1} = 40mW$ 。绝对最大值 $P_{D1} = 55mW$

6.6 绝缘规格

参数		测试条件	规格	单位
CLR	外部间隙 ⁽¹⁾	端子间的最短空间距离	>8.5	mm
CPG	外部爬电距离 ⁽¹⁾	端子间的最短封装表面距离	>8.5	mm
DTI	绝缘穿透距离	最小内部间隙	>17	μm
CTI	相对漏电起痕指数	DIN EN 60112 (VDE 0303-11) ; IEC 60112	>600	V
	材料组	符合 IEC 60664-1	I	
	过压类别 (符合 IEC 60664-1)	额定市电电压 ≤ 600 V _{RMS}	I-IV	
		额定市电电压 ≤ 1000V _{RMS}	I-III	
DIN V VDE 0884-11 (VDE V 0884-11)⁽²⁾				
V _{IORM}	最大重复峰值隔离电压	交流电压 (双极)	1500	V _{PK}
V _{IOWM}	最大隔离工作电压	交流电压 (正弦波) ; 时间依赖型电介质击穿 (TDDB) 测试 ; 请参阅图 1	1060	V _{RMS}
		直流电压	1500	V _{DC}
V _{IOTM}	最大瞬态隔离电压	V _{TEST} = V _{IOTM} , t = 60s (合格测试) V _{TEST} = 1.2 × V _{IOTM} , t = 1s (100% 生产测试)	8000	V _{PK}
V _{IOSM}	最大浪涌隔离电压 ⁽³⁾	采用符合 IEC 62368 的测试方法, 1.2/50ms 波形, V _{TEST} = 1.6 × V _{IOSM} = 12800V _{PK} (鉴定测试)	8000	V _{PK}
q _{pd}	视在电荷 ⁽⁴⁾	方法 a : I/O 安全测试子组 2/3 后, V _{ini} = V _{IOTM} , t _{ini} = 60s ; V _{pd(m)} = 1.2 × V _{IORM} = 1800V _{PK} , t _m = 10s	≤5	pC
		方法 a : 环境测试子组 1 后, V _{ini} = V _{IOTM} , t _{ini} = 60s ; V _{pd(m)} = 1.6 × V _{IORM} = 2400V _{PK} , t _m = 10s	≤5	
		方法 b1 : 常规测试 (100% 生产测试) 和预调节 (类型测试), V _{ini} = V _{IOTM} , t _{ini} = 1s, V _{pd(m)} = 1.875 × V _{IORM} = 2813V _{PK} , t _m = 1s	≤5	
C _{IO}	势垒电容, 输入至输出 ⁽⁵⁾	V _{IO} = 0.4 × sin(2πft), f = 1MHz	0.5	pF
R _{IO}	隔离电阻, 输入至输出 ⁽⁵⁾	V _{IO} = 500V, T _A = 25°C	>10 ¹²	Ω
		V _{IO} = 500V, 100°C ≤ T _A ≤ 125°C	>10 ¹¹	
		V _{IO} = 500V, T _S = 150°C	>10 ⁹	
	污染等级		2	
	气候类别		40/125/21	
UL 1577				
V _{ISO}	可承受的隔离电压	V _{TEST} = V _{ISO} = 5700V _{RMS} , t = 60s (合格), V _{TEST} = 1.2 × V _{ISO} = 6840V _{RMS} , t = 1s (100% 生产测试)	5700	V _{RMS}

- 爬电距离和间隙应满足应用的特定设备隔离标准中的要求。请注意保持电路板设计的爬电距离和间隙, 从而确保印刷电路板上隔离器的安装焊盘不会导致此距离缩短。在特定的情况下, 印刷电路板上的爬电距离和间隙变得相等。在印刷电路板上插入坡口或肋或同时应用这两项技术可帮助提高这些规格。
- 此耦合器仅适用于安全额定值范围内的安全电气绝缘。应借助合适的保护电路来确保符合安全额定值。
- 在空气或油中执行测试, 以确定隔离栅的固有浪涌抗扰度。
- 视在电荷是局部放电 (pd) 引起的电气放电。
- 将隔离层每一侧的所有引脚都连在一起, 构成一个双引脚器件。

6.7 安全相关认证

VDE	UL	CQC
根据 DIN V VDE V 0884-11:2017-01 进行了认证	根据 UL 1577 组件认证计划进行了认证	根据 GB4943.1-2011 进行了认证
增强型绝缘最大瞬态隔离电压 8000V _{PK} ; 最大重复峰值隔离电压 1500V _{PK} ; 最大浪涌隔离电压 8000V _{PK}	单一保护, 5700 V _{RMS}	增强型绝缘, 海拔 ≤ 5000m, 热带气候
证书编号: 40040142 ⁽¹⁾	文件编号: E181974 ⁽¹⁾	正在进行中

(1) UCC23513B (正在认证)

6.8 安全限值

参数		测试条件	最小值	典型值	最大值	单位
I _S	安全输入、输出或电源电流	R _{qJA} = 126°C/W, V _I = 15V, T _J = 150°C, T _A = 25°C			50	mA
		R _{qJA} = 126°C/W, V _I = 30V, T _J = 150°C, T _A = 25°C			25	
P _S	安全输入、输出或总电源	R _{qJA} = 126°C/W, T _J = 150°C, T _A = 25°C			750	mW
T _S	最高安全温度 ⁽¹⁾				150	°C

(1) 最高安全温度 T_S 与器件指定的最大结温 T_J 的值相同。I_S 和 P_S 参数分别表示安全电流和安全功率。请勿超出 I_S 和 P_S 的最大限值。这些限值随环境温度 T_A 的变化而变化。“热性能信息”表中的结至空气热阻 R_{qJA} 所属器件安装在引线式表面贴装封装对应的高 K 测试板上。可以使用这些公式计算每个参数的值: T_J = T_A + R_{qJA} × P, 其中 P 为器件中耗散的功率。T_{J(max)} = T_S = T_A + R_{qJA} × P_S, 其中 T_{J(max)} 为允许的最大结温。P_S = I_S × V_I, 其中 V_I 为最大输入电源电压。

6.9 电气特性

除非另有说明，否则所有典型值都是 $T_A = 25^\circ\text{C}$ ， $V_{CC} - V_{EE} = 15\text{V}$ ， $V_{EE} = \text{GND}$ 条件下的典型值。所有最小值和最大值规格都是建议工作条件 ($T_J = -40^\circ\text{C}$ 至 150°C ， $I_{F(\text{on})} = 7\text{mA}$ 至 16mA ， $V_{EE} = \text{GND}$ ， $V_{CC} = 15\text{V}$ 至 30V ， $V_{F(\text{off})} = -5\text{V}$ 至 0.8V) 下的规格

参数		测试条件	最小值	典型值	最大值	单位
输入						
I_{FLH}	输入正向阈值电流低至高	$V_{\text{OUT}} > 5\text{V}$ ， $C_g = 1\text{nF}$	1.5	2.8	4	mA
V_F	输入正向电压	$I_F = 10\text{mA}$	1.8	2.1	2.4	V
V_{F_HL}	阈值输入电压高到低	$V < 5\text{V}$ ， $C_g = 1\text{nF}$	0.9			V
$\Delta V_F / \Delta T$	输入正向电压的温度系数	$I_F = 10\text{mA}$		1	1.35	mV/°C
V_R	输入反向击穿电压	$I_R = 10\mu\text{A}$	15			V
C_{IN}	输入电容	$F = 0.5\text{MHz}$		15		pF
输出						
I_{OH}	高电平峰值输出电流	$I_F = 10\text{mA}$ ， $V_{CC} = 15\text{V}$ ， $C_{\text{LOAD}} = 0.18\mu\text{F}$ ， $C_{\text{VDD}} = 10\mu\text{F}$ ，脉冲宽度 $< 10\mu\text{s}$	3	4.5		A
I_{OL}	低电平峰值输出电流	$V_F = 0\text{V}$ ， $V_{CC} = 15\text{V}$ ， $C_{\text{LOAD}} = 0.18\mu\text{F}$ ， $C_{\text{VDD}} = 10\mu\text{F}$ ，脉冲宽度 $< 10\mu\text{s}$	3.5	5.3		A
V_{OH}	高电平输出电压	$I_F = 10\text{mA}$ ， $I_O = -20\text{mA}$ (相对于 V_{CC})	0.07	0.18	0.36	V
		$I_F = 10\text{mA}$ ， $I_O = 0\text{mA}$		V_{CC}		V
V_{OL}	低电平输出电压	$V_F = 0\text{V}$ ， $I_O = 20\text{mA}$			25	mV
$I_{\text{CC_H}}$	输出电源电流 (二极管导通)	$I_F = 10\text{mA}$ ， $I_O = 0\text{mA}$			2.2	mA
$I_{\text{CC_L}}$	输出电源电流 (二极管关断)	$V_F = 0\text{V}$ ， $I_O = 0\text{mA}$			2	mA
欠压锁定, UCC23513 (12V UVLO 版本)						
$UVLO_R$	输入欠压锁定 VCC 上升	V_{CC_Rising} ， $I_F = 10\text{mA}$	11	12.5	13.5	V
$UVLO_F$	输入欠压锁定 VCC 下降	$V_{CC_Falling}$ ， $I_F = 10\text{mA}$	10	11.5	12.5	V
$UVLO_{\text{HYS}}$	UVLO 迟滞			1.0		V
欠压锁定, UCC23513B (8V UVLO 版本)						
$UVLO_R$	输入欠压锁定 VCC 上升	V_{CC_Rising} ， $I_F = 10\text{mA}$	7.8	8.5	9.2	V
$UVLO_F$	输入欠压锁定 VCC 下降	$V_{CC_Falling}$ ， $I_F = 10\text{mA}$	7.05	7.75	8.45	V
$UVLO_{\text{HYS}}$	UVLO 迟滞			0.75		V

6.10 开关特性

除非另有说明，否则所有典型值都是 $T_A = 25^\circ\text{C}$ ， $V_{CC} - V_{EE} = 30\text{V}$ ， $V_{EE} = \text{GND}$ 条件下的典型值。所有最小值和最大值规格都是建议工作条件 ($T_J = -40^\circ\text{C}$ 至 150°C ， $I_{F(\text{ON})} = 7\text{mA}$ 至 16mA ， $V_{EE} = \text{GND}$ ， $V_{CC} = 15\text{V}$ 至 30V ， $V_{F(\text{OFF})} = -5\text{V}$ 至 0.8V) 下的规格

参数		测试条件	最小值	典型值	最大值	单位
t_r	输出信号上升时间	$C_g = 1\text{nF}$ $F_{\text{SW}} = 20\text{kHz}$ ，(50% 占空比) $V_{CC} = 15\text{V}$			28	ns
t_f	输出信号下降时间				25	ns
t_{PLH}	传播延迟，从低电平到高电平			70	105	ns
t_{PHL}	传播延迟，从高电平到低电平			70	105	ns
t_{PWD}	脉宽失真度 $ t_{\text{PHL}} - t_{\text{PLH}} $				35	ns
$t_{\text{sk(pp)}}$	任何两个器件之间的器件间传播延迟偏移 ⁽¹⁾	$C_g = 1\text{nF}$ $F_{\text{SW}} = 20\text{kHz}$ ，(50% 占空比) $V_{CC} = 15\text{V}$ ， $I_F = 10\text{mA}$			25	ns

除非另有说明，否则所有典型值都是 $T_A = 25^\circ\text{C}$ ， $V_{CC}-V_{EE} = 30\text{V}$ ， $V_{EE} = \text{GND}$ 条件下的典型值。所有最小值和最大值规格都是建议工作条件 ($T_J = -40^\circ\text{C}$ 至 150°C ， $I_{F(\text{ON})} = 7\text{mA}$ 至 16mA ， $V_{EE} = \text{GND}$ ， $V_{CC} = 15\text{V}$ 至 30V ， $V_{F(\text{OFF})} = -5\text{V}$ 至 0.8V) 下的规格

参数	测试条件	最小值	典型值	最大值	单位
$t_{\text{UVLO_rec}}$	UVLO 恢复延迟		20	30	μs
CMT_{H}	共模瞬态抗扰度 (输出高电平)	150			$\text{kV}/\mu\text{s}$
CMT_{L}	共模瞬态抗扰度 (输出低电平)	150			$\text{kV}/\mu\text{s}$

(1) $t_{\text{sk(pp)}}$ 是在特性确保的相同电源电压、温度、输入信号和负载下工作时，在相同方向上开关的不同器件输出之间的传播延迟时间差幅度。

6.11 绝缘特性曲线

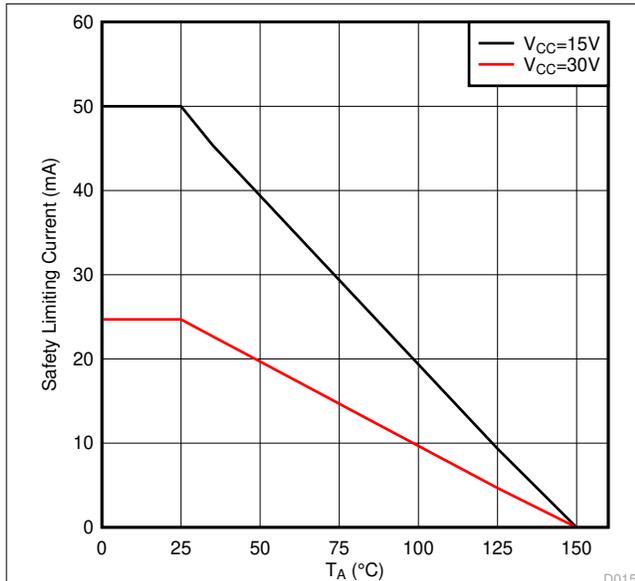


图 6-1. 根据 VDE 标准限制电流的热降额曲线

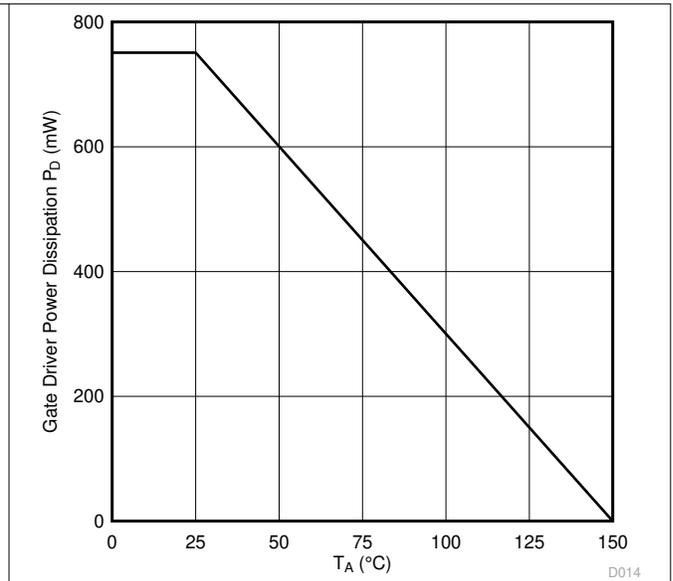


图 6-2. 根据 VDE 标准限制功率的热降额曲线

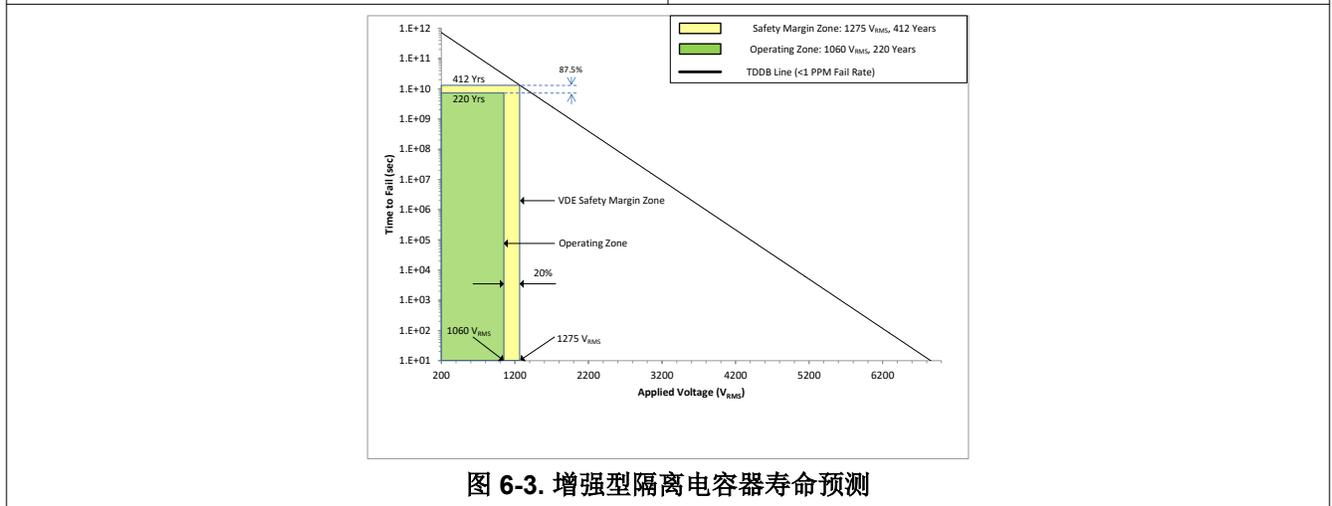


图 6-3. 增强型隔离电容器寿命预测

6.12 典型特性

$V_{CC} = 15V$, $1\mu F$ 电容器 (V_{CC} 至 V_{EE} , $C_{LOAD} = 1nF$ (对于时序测试)、 $180nF$ (对于 I_{OH} 和 I_{OL} 测试), $T_J = -40^\circ C$ 至 $+150^\circ C$ (除非另有说明)

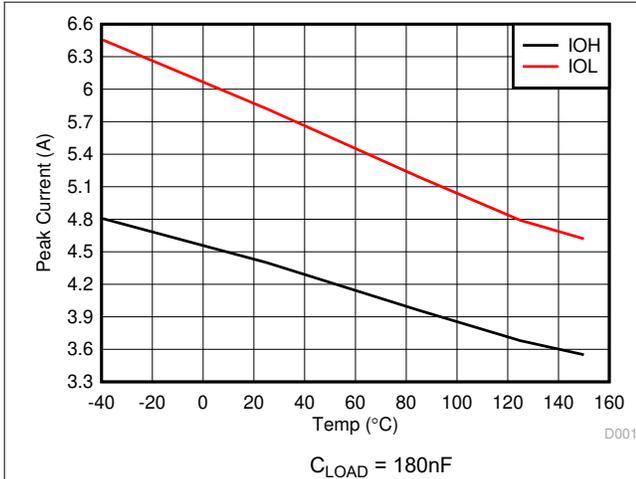


图 6-4. 输出驱动电流与温度间的关系

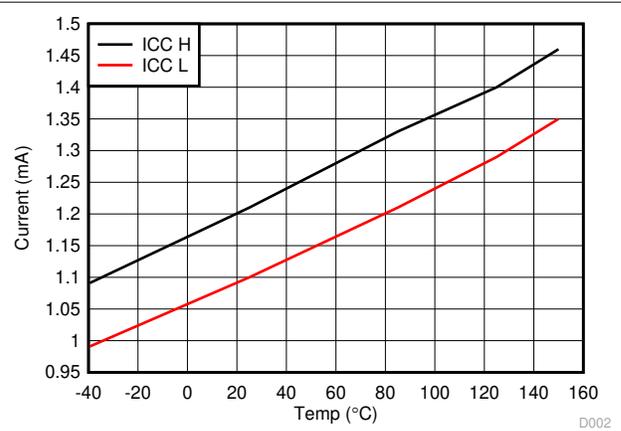


图 6-5. 电源电流与温度间的关系

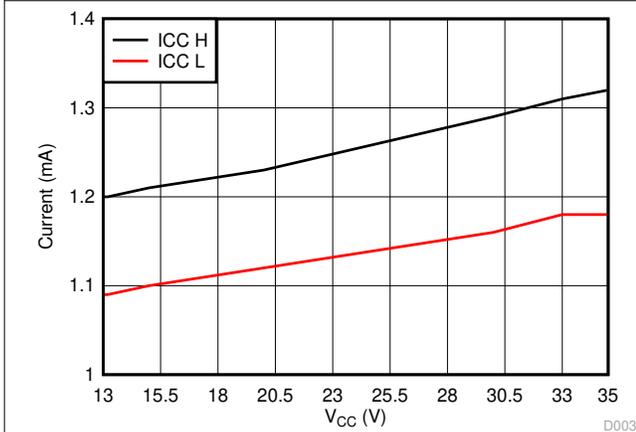


图 6-6. 电源电流与电源电压间的关系

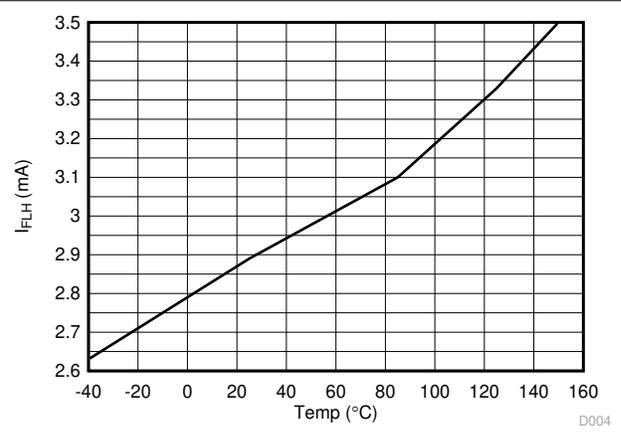


图 6-7. 正向阈值电流与温度间的关系

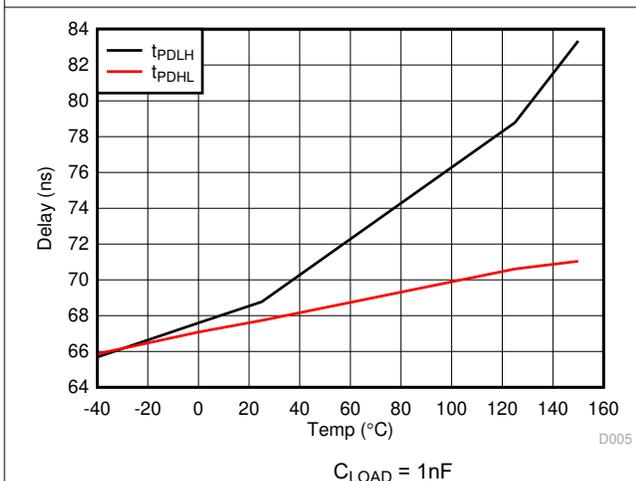


图 6-8. 传播延迟与温度间的关系

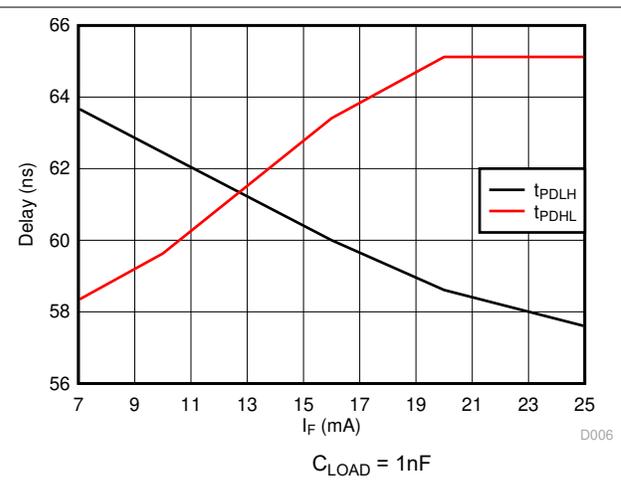
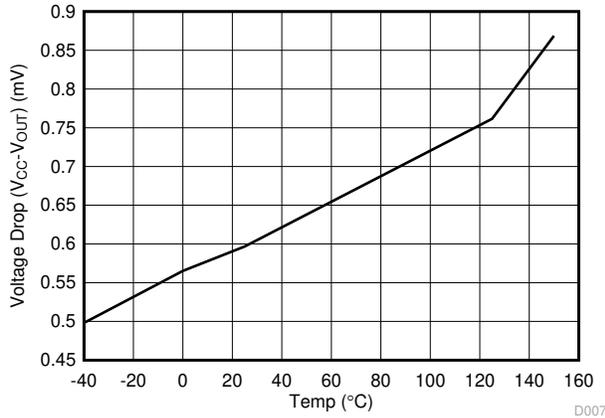
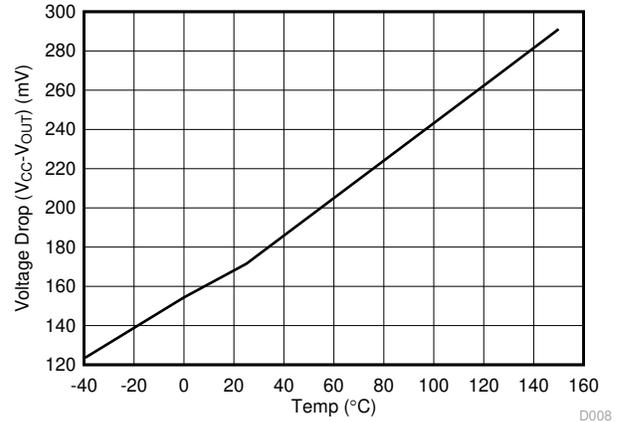


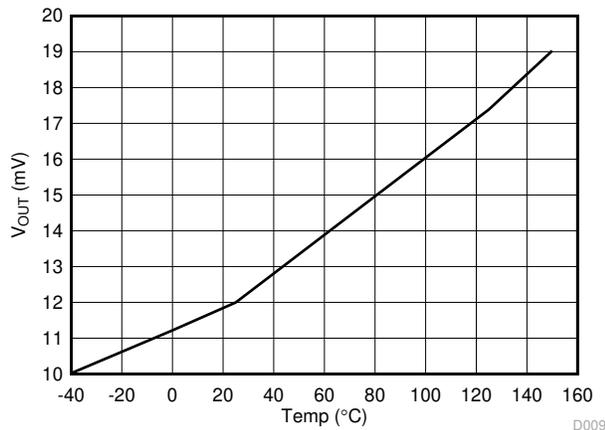
图 6-9. 传播延迟与正向电流间的关系



A. $I_{OUT} = 0mA$
图 6-10. V_{OH} (无负载) 与温度间的关系



A. $I_{OUT} = 20mA$ (拉电流)
图 6-11. V_{OH} (20mA 负载) 与温度间的关系



A. $I_{OUT} = 20mA$ (灌电流)
图 6-12. V_{OL} 与温度间的关系

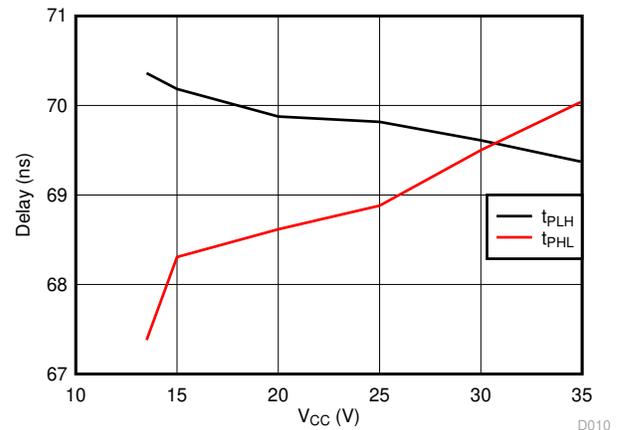


图 6-13. 传播延迟与电源电压间的关系

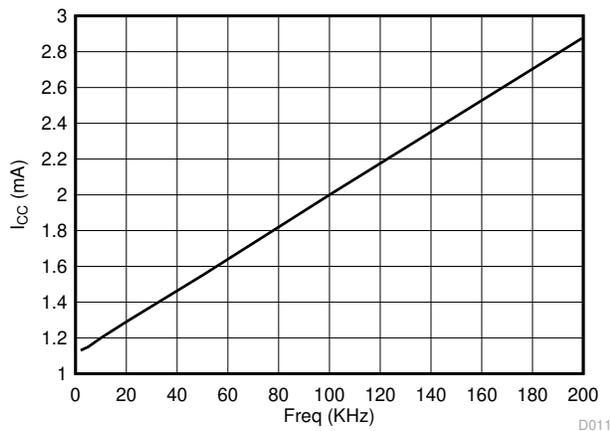
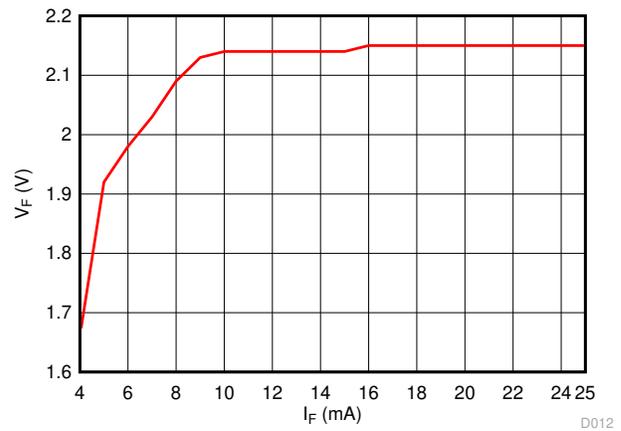
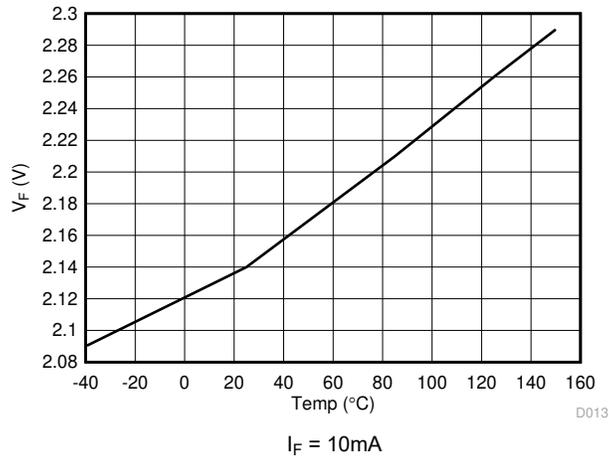


图 6-14. 电源电流与频率间的关系



A. $T_A = 25^\circ C$
图 6-15. 正向电流与正向压降间的关系



A.

图 6-16. 正向压降与温度间的关系

7 参数测量信息

7.1 传播延迟、上升时间和下降时间

图 7-1 显示了从输入正向电流 I_F 到 V_{OUT} 之间的传播延迟。该图还显示了用于测量上升时间 (t_r) 和下降时间 (t_f) 以及传播延迟 $t_{PD,LH}$ 和 $t_{PD,HL}$ 的电路。

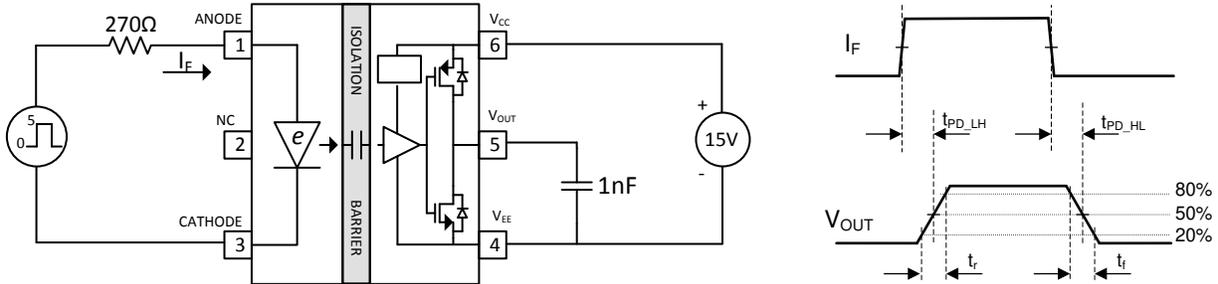


图 7-1. I_F 到 V_{OUT} 的传播延迟、上升时间和下降时间

7.2 I_{OH} 和 I_{OL} 测试

图 7-2 显示了用于测量输出驱动电流 I_{OH} 和 I_{OL} 的电路。输出端使用 180nF 的负载电容。测量电容器电压的峰值 dv/dt ，以确定栅极驱动器的峰值拉电流和灌电流。

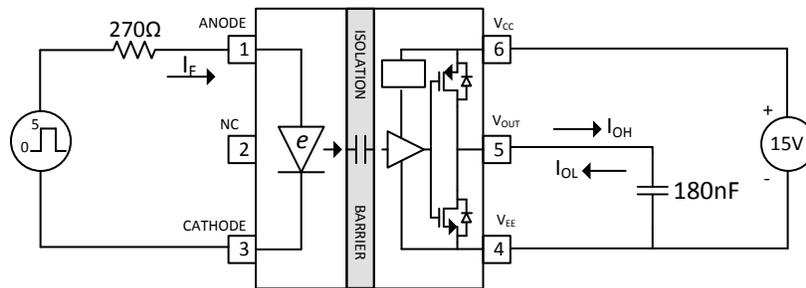


图 7-2. I_{OH} 和 I_{OL}

7.3 CMTI 测试

图 7-3 是 CMTI 测试的简化示例图。共模电压设置为 1500V。测试在 $I_F = 6mA$ ($V_{OUT} =$ 高电平) 和 $I_F = 0mA$ ($V_{OUT} =$ 低电平) 的条件下进行。该图还显示了两种情况的失败标准。在 $I_F = 6mA$ 的情况下在 CMTI 脉冲上应用期间，如果 V_{OUT} 从 V_{CC} 下降到 $1/2V_{CC}$ ，则将其视为失败。在 $I_F = 0mA$ 时，如果 V_{OUT} 上升至 1V 以上，则将其视为失败。

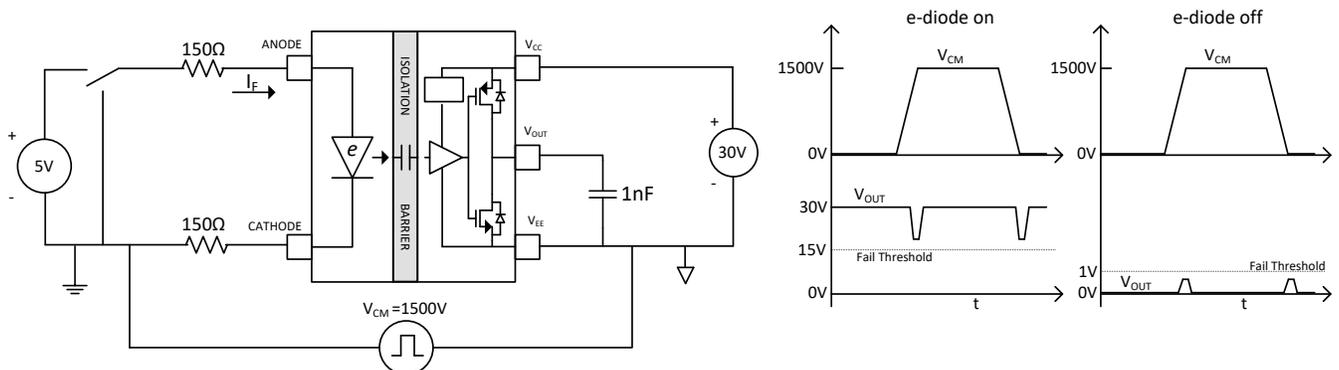


图 7-3. UCC23513 的测试电路

8 详细说明

8.1 概述

UCC23513 是一款单通道隔离式栅极驱动器，具有可驱动 IGBT、MOSFET 和 SiC FET 的光耦兼容输入级。它具有 4A 的峰值输出电流能力，最大输出驱动器电源电压为 33V。输入和输出是电隔离的。UCC23513 采用工业标准 6 引脚 (SO6) 封装，爬电距离和间隙大于 8.5mm。该器件的工作电压为 1060V_{RMS}，增强型隔离额定值为 5.7KV_{RMS} (持续时间长达 60s)，浪涌额定值为 8kV_{PK}。它与标准光电隔离式栅极驱动器引脚对引脚兼容。虽然标准光电隔离式栅极驱动器使用 LED 作为输入级，但 UCC23513 使用仿真二极管作为输入级，不使用光发射来穿过隔离层传输信号。输入级通过采用全差分配置的双串联 HV SiO₂ 电容器与驱动级隔离，不仅能够提供增强的隔离，而且还提供 > 150kV/us 的一流共模瞬态抗扰度。仿真二极管输入级和电容隔离技术使 UCC23513 具有多项相对于标准光电隔离式栅极驱动器的性能优势。这些预定义符号如下：

1.

1. 由于仿真二极管不使用光发射，因此 UCC23513 的可靠性和老化特性自然优于标准光电隔离式栅极驱动器。
2. 125°C 的更高环境工作温度范围 (大多数光电隔离式栅极驱动器仅为 105°C)
3. 仿真二极管正向压降具有更小的器件间变化和更小的温度变化。因此，输入级的工作点在不同的器件和工作温度下更稳定且更可预测。
4. 与光隔离式栅极驱动器相比具有更高的共模瞬态抗扰度
5. 比光隔离式栅极驱动器更小的传播延迟
6. 由于电容隔离可实现比光电隔离更出色的过程控制，因此传播延迟中的器件间偏移更小，使系统设计更简单且更可靠
7. 比光隔离式栅极驱动器更小的脉冲宽度失真

隔离信号具有开关键控 (OOK) 调制方案，以在基于二氧化硅的隔离层上传输数字数据 (请参阅图 8-1)。发送器在隔离层上发送高频载波以表示一个数字状态，通过不发送信号来表示另一个数字状态。接收器在高级信号调节后对信号进行解调并通过缓冲器级产生输出。UCC23513 还采用了先进的电路技术，可更大幅度地提高 CMTI 性能，并更大幅度地减少高频载波和 IO 缓冲器开关产生的辐射。图 8-2 显示了 OOK 方案工作原理的概念细节。

8.2 功能方框图

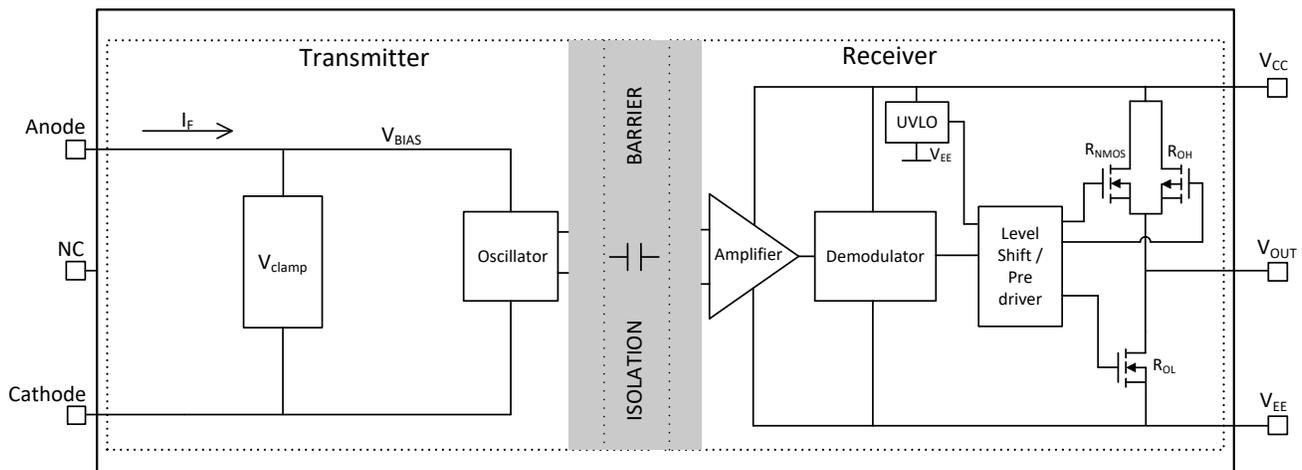


图 8-1. 具有光仿真输入级 (SO6 封装) 的隔离式栅极驱动器的概念方框图

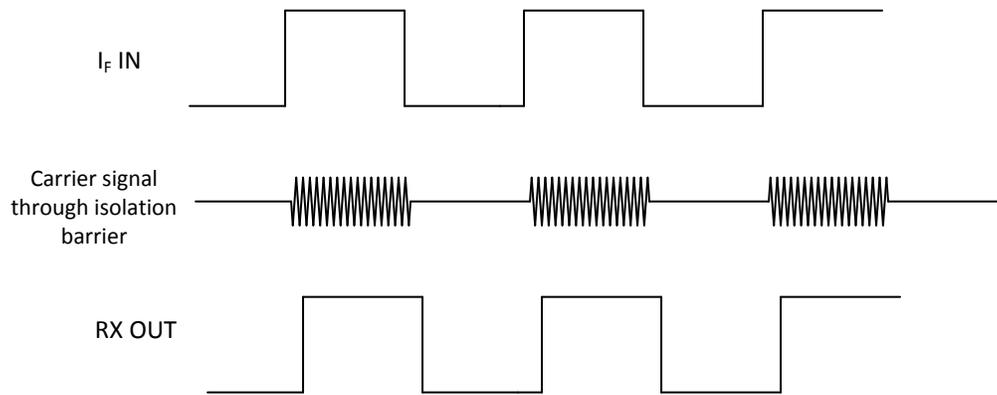


图 8-2. 基于开关键控 (OOK) 的调制方案

8.3 特性说明

8.3.1 电源

由于输入级是仿真二极管，因此输入端不需要电源。

输出电压 V_{CC} 支持 14V 至 33V 的电压范围。对于使用双极性电源的操作，电源器件通过栅极上相对于发射极或源极的负电压关断。该配置防止电源器件由于米勒效应引起的电流而意外导通。双极工作的 V_{CC} 和 V_{EE} 输出电压的典型值相对于 GND 为 15V 和 -8V (对于 IGBT) 以及 20V 和 -5V (对于 SiC MOSFET)。

对于单极电源工作， V_{CC} 电源连接至相对于 GND 的 15V 电压 (对于 IGBT) 以及 20V 电压 (对于 SiC MOSFET)。 V_{EE} 电源连接至 0V 电压。

8.3.2 输入级

UCC23513 的输入级为仿真二极管，因此具有阳极 (引脚 1) 和阴极 (引脚 3)。引脚 2 没有内部连接，可以保持开路或接地。输入级没有电源和接地引脚。当通过向阳极施加相对于阴极的正电压来正向偏置仿真二极管时，正向电流 I_F 会流入仿真二极管。仿真二极管上的正向压降通常为 2.1V (典型值)。应使用外部电阻器来限制正向电流。建议的正向电流范围为 7mA 至 16mA。当 I_F 超过阈值电流 I_{FLH} (典型值为 2.8mA) 时，会穿过隔离栅通过高压 SiO_2 电容器传输一个高频信号。接收器检测到该 HF 信号， V_{OUT} 被驱动为高电平。有关如何选择输入电阻器的信息，请参阅节 9.2.2.1。仿真二极管的动态阻抗非常小 (不到 1.0Ω)，并且仿真二极管正向压降的温度系数小于 $1.35\text{mV}/^\circ\text{C}$ 。因此，在所有工作条件下，正向电流 I_F 均具有出色的稳定性。如果阳极电压降至 V_{F_HL} (0.9V) 以下或反向偏置，则栅极驱动器输出被驱动为低电平。仿真二极管的反向击穿电压大于 15V。因此，对于正常操作，允许高达 13V 的反向偏置。仿真二极管的大反向击穿电压使 UCC23513 能够以互锁架构工作 (请参阅图 8-3 中的示例)，其中 V_{SUP} 可高达 12V。系统设计人员可以灵活地选择 3.3V、5.0V 或高达 12V 的 PWM 信号源，从而使用适当的输入电阻驱动 UCC23513 的输入级。该示例展示了两个可驱动一组 IGBT 的栅极驱动器。栅极驱动器的输入如图所示进行连接，通过两个由 MCU 控制的缓冲器驱动。互锁结构可防止两个仿真二极管同时“导通”，从而防止 IGBT 中发生击穿。它还确保如果两个 PWM 信号同时错误地保持高电平 (或低电平)，则两个栅极驱动器输出将被驱动为低电平。

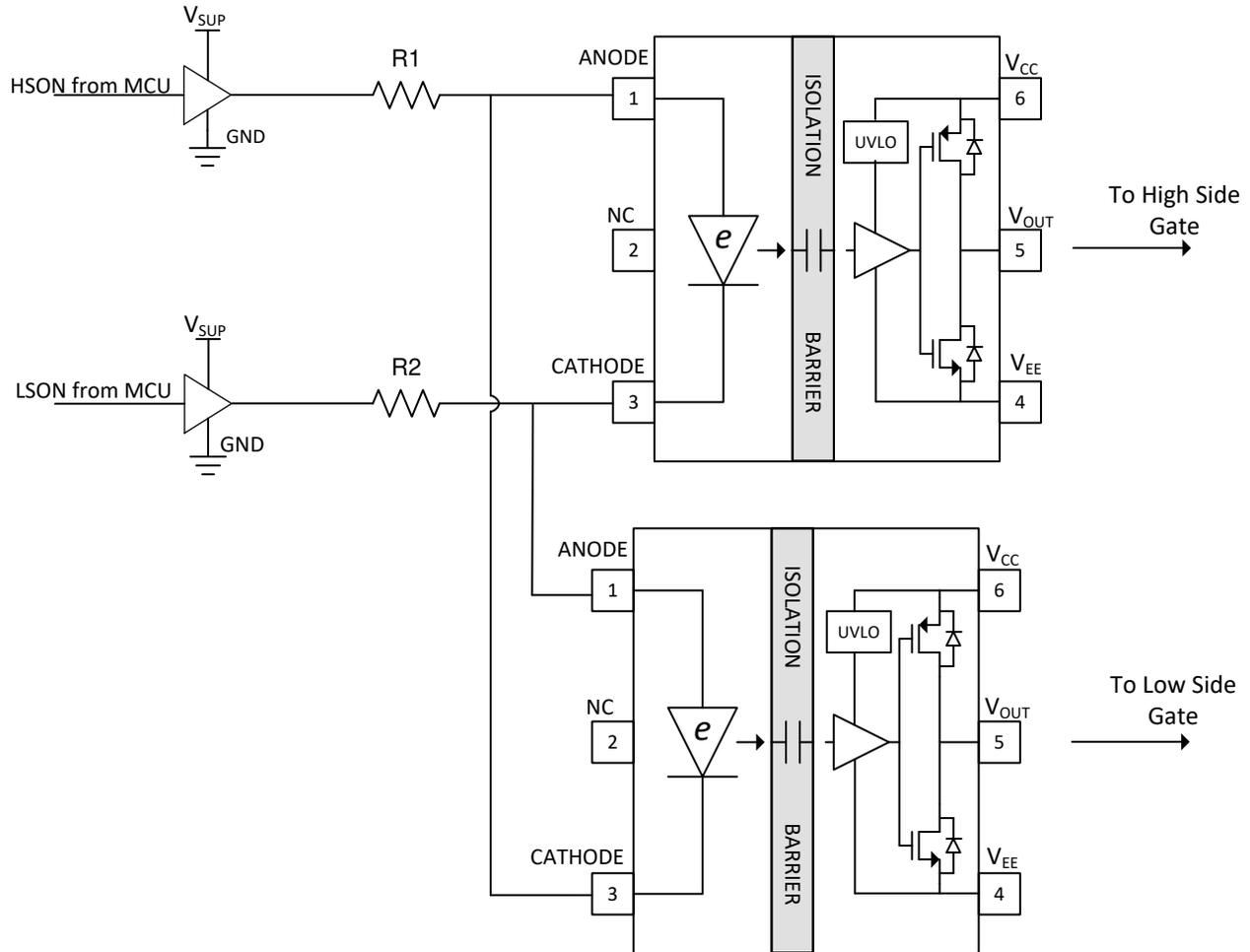


图 8-3. 互锁

8.3.3 输出级

UCC23513 系列的输出级采用上拉结构，从而在电源开关导通转换的米勒平坦区期间最需要时（此时电源开关漏极或集电极电压经历 dV/dt ）提供最高的峰值拉电流。输出级上拉结构具备一个 P 沟道 MOSFET 与一个额外的上拉 N 沟道 MOSFET（并联）。N 沟道 MOSFET 的功能是提供峰值源电流的短暂提升，从而实现快速导通。当输出状态从低变为高时，通过在短时间内短暂导通 N 沟道 MOSFET 来实现快速导通。该 N 沟道 MOSFET 的导通电阻 (R_{NMOS}) 在激活时约为 $5.1\ \Omega$ 。

表 8-1. UCC23513 和 UCC23513B 导通电阻

R_{NMOS}	R_{OH}	R_{OL}	单位
5.1	9.5	0.40	Ω

R_{OH} 参数是直流测量值，仅代表 P 沟道器件的导通电阻。此参数仅适用于 P 沟道器件，因为上拉 N 沟道器件在直流条件下保持在关断状态，并且仅在输出状态从低电平变为高电平时短暂导通。因此，在该短暂导通阶段 UCC235133 上拉级的有效电阻远低于 R_{OH} 参数表示的有效电阻，从而能够更快地导通。导通阶段输出电阻是并联组合 $R_{OH} \parallel R_{NMOS}$ 。

UCC23513 中的下拉结构仅包含 N 沟道 MOSFET。由于可提供极低压降的 MOS 输出级，因此 V_{CC} 和 V_{EE} 之间的输出电压摆动能够实现轨到轨运行。

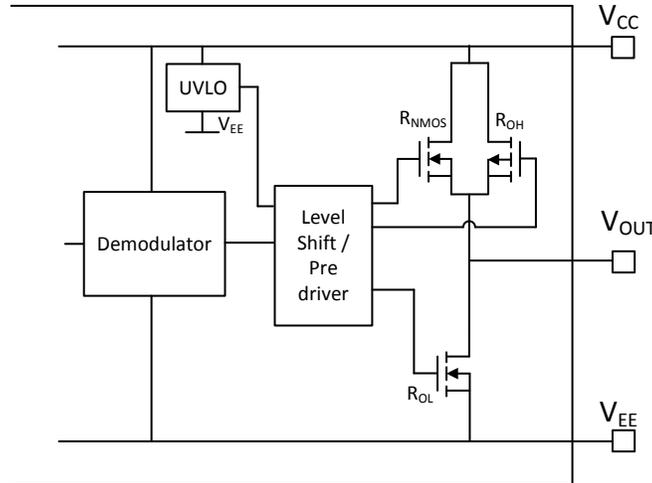


图 8-4. 输出级

8.3.4 保护特性

8.3.4.1 欠压锁定 (UVLO)

针对 V_{CC} 和 V_{EE} 引脚实现 UVLO 功能，防止 IGBT 和 MOSFET 上出现欠驱动情况。如果 V_{CC} 在器件启动时低于 $UVLO_R$ 或在启动后低于 $UVLO_F$ ，则无论输入正向电流如何，电压源 UVLO 功能都会将受影响的输出保持为低电平，如表 8-2 所示。 V_{CC} UVLO 保护还具有迟滞功能 ($UVLO_{hys}$)。当电源产生接地噪声时，该迟滞可防止抖动，这样器件就允许偏置电压小幅下降（在器件开始开关和工作电流消耗突然增加时会发生这种情况）。

当 V_{CC} 降至 $UVLO_F$ 以下时，如果电源电压再次上升至 $UVLO_R$ 以上，则在输出上产生 t_{UVLO_rec} 。

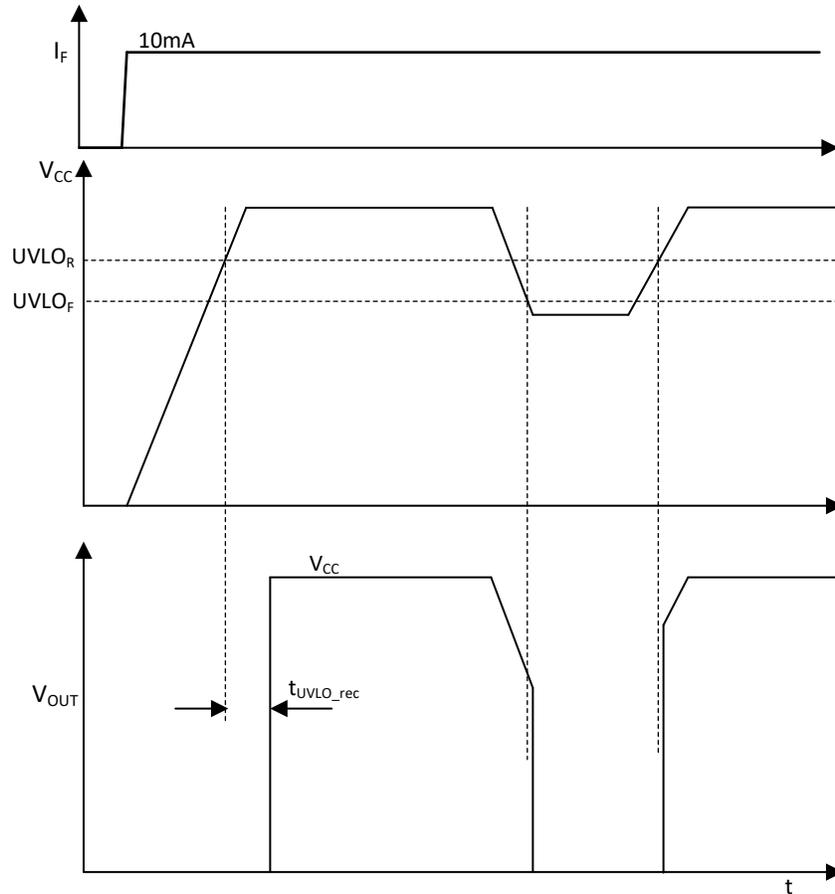


图 8-5. UVLO 功能

8.3.4.2 有源下拉

当没有电源连接到 V_{CC} 电源时，有源下拉功能会将 IGBT 或 MOSFET 栅极拉至低电平状态。此功能通过将 V_{OUT} 引脚钳位至约 2V 来防止错误的 IGBT 和 MOSFET 导通。

当驱动器的输出级处于未偏置状态 (V_{CC} 悬空) 时，驱动器输出 (请参阅图 8-4) 通过限制驱动器输出上的电压上升的有源钳位电路保持低电平。在这种情况下，上部 PMOS 和 NMOS 保持关断，而下部 NMOS 栅极通过内部 $500k\Omega$ 电阻器连接到驱动器输出端。在此配置中，下部 NMOS 器件有效地将输出 (V_{OUT}) 钳制在 2V 以下。

8.3.4.3 短路钳位

短路钳位功能用于钳位驱动器输出端的电压，并在短路情况下将输出引脚 V_{OUT} 拉至稍高于 V_{CC} 电压。短路钳位功能有助于保护 IGBT 或 MOSFET 栅极免受受过压击穿或降级。可通过在专用引脚和驱动器内部的 V_{CC} 引脚之间添加二极管连接来实现短路钳位功能。内部二极管可以传导高达 500mA 且持续时间为 $10\mu s$ 的电流以及 20mA 的连续电流。可根据需要使用外部肖特基二极管来提高电流传导能力。

8.4 器件功能模式

表 8-2 列出了 UCC23513 的功能模式

表 8-2. UCC23513 和 UCC23513B 的功能表 (VCC 上升)

仿真二极管	VCC	V _{OUT}
关断 ($I_F < I_{FLH}$)	0V - 33V	低
导通 ($I_F < I_{FLH}$)	0V - UVLO _R	低
导通 ($I_F > I_{FLH}$)	UVLO _R - 33V	高

表 8-3. UCC23513 和 UCC23513B 的功能表 (VCC 下降)

仿真二极管	VCC	V _{OUT}
关断 ($I_F < I_{FLH}$)	0V - 33V	低
导通 ($I_F < I_{FLH}$)	UVLO _F - 0V	低
导通 ($I_F > I_{FLH}$)	33V - UVLO _F	高

8.4.1 ESD 结构

图 8-6 展示了 UCC23513 器件的 ESD 保护元件中涉及的多个二极管。这提供了器件的绝对最大额定值的图形表示。

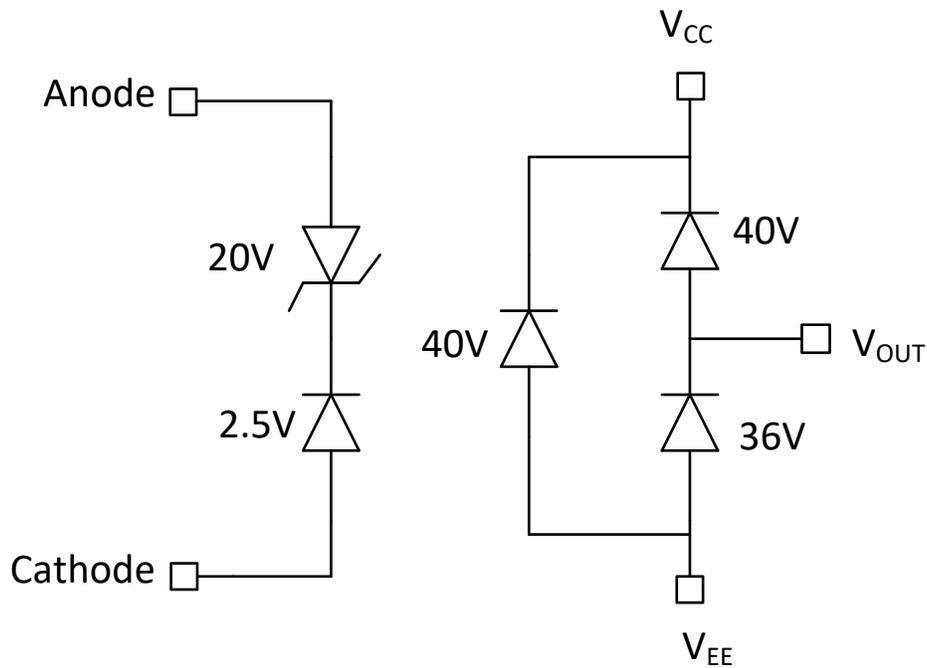


图 8-6. ESD 结构

9 应用和实施

备注

以下应用部分的信息不属于 TI 组件规范，TI 不担保其准确性和完整性。客户应负责确定 TI 组件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

UCC23513 是单通道隔离式栅极驱动器，具有适用于功率半导体器件（如 MOSFET、IGBT 或 SiC MOSFET）的光耦兼容输入。它适用于电机控制、工业逆变器和开关模式电源等应用。它与标准光隔离式栅极驱动器不同，因为它没有 LED 输入级。它有一个仿真二极管，而不是 LED。要使仿真二极管“导通”，应将 7mA 至 16mA 范围内的正向电流驱动到阳极中。这会将栅极驱动器输出驱动为高电平并使功率 FET 导通。通常，MCU 无法提供所需的正向电流。因此，必须在 MCU 和 UCC23513 的输入级之间使用缓冲器。典型的缓冲电源为 5V 或 3.3V。需要在缓冲器和 UCC23513 的输入级之间放置一个电阻器，来限制电流。选择正确的电阻值很简单，但很重要。在选择电阻器时必须考虑电阻器容差、缓冲器电源电压容差和缓冲器的输出阻抗。这将确保仿真二极管正向电流保持在 7mA 至 16mA 的建议范围内。节 9.1 中提供了详细设计建议。电流驱动输入级可提供出色的抗噪性能，这是大功率电机驱动系统所需要的，尤其是在 MCU 不能靠近隔离式栅极驱动器的情况下。UCC23513 在 1500V 共模电压下可提供大于 150kV/us 的出色 CMTI 性能。

仿真二极管在正向方向上能够提供 25mA 的连续电流。仿真二极管的正向压降具有非常小的部件间变化（最小为 1.8V，最大为 2.4V）。正向压降的温度系数小于 1.35mV/°C。在正向偏置区域中，仿真二极管的动态阻抗约为 ~1Ω。所有这些因素都有助于实现出色的仿真二极管正向电流稳定性。要将仿真二极管“关断”，阳极 - 阴极电压应小于 0.8V，或 I_F 应小于 I_{FLH} 。仿真二极管也可以反向偏置至 13V（最大 14V abs），以便将其关断并使栅极驱动器输出处于低电平。输入级的大反向击穿电压让系统设计人员可以灵活地使用 12V PWM 信号驱动输入级，而无需在阳极和阴极引脚上连接额外的钳位电路。

UCC23513 的输出电源可高达 33V（绝对最大值 35V）。输出电源可在外部配置为高达 33V 的单个隔离式电源或隔离式双极电源，使 $V_{CC}-V_{EE}$ 不超过 33V，或者如果系统使用单个电源，可以自举（使用外部二极管和电容器），所述电压都是相对于电源接地的值。 V_{CC} 上的典型静态电源电流为 1.2mA（最大值为 2.2mA）。

9.2 典型应用

图 9-1 中的电路显示了一个用于驱动 IGBT 的典型应用。

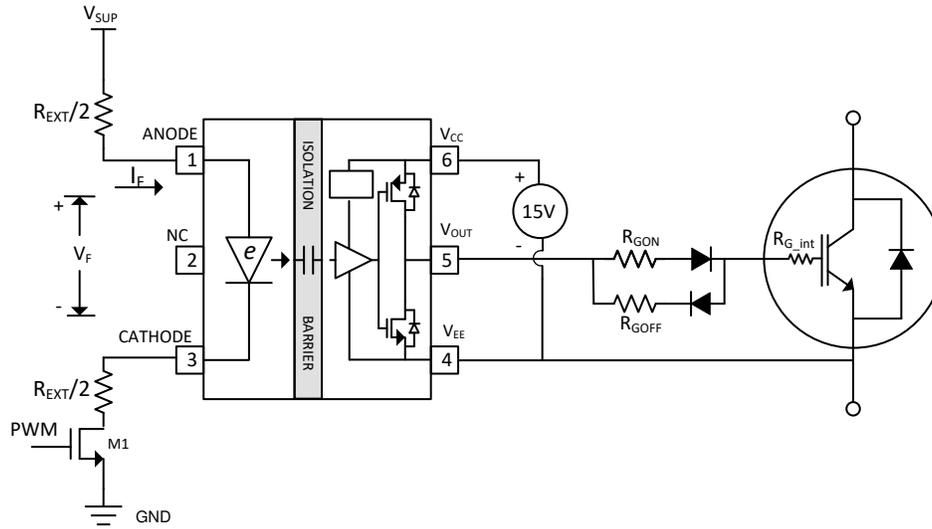


图 9-1. UCC23513 和 UCC23513B 用于驱动 IGBT 的典型应用电路

9.2.1 设计要求

表 9-1 列出了观察 UCC23513 栅极驱动器输入和输出的建议条件。

表 9-1. UCC23513 和 UCC23513B 设计要求

参数	值	单位
V_{CC}	15	V
I_F	10	mA
开关频率	8	kHz

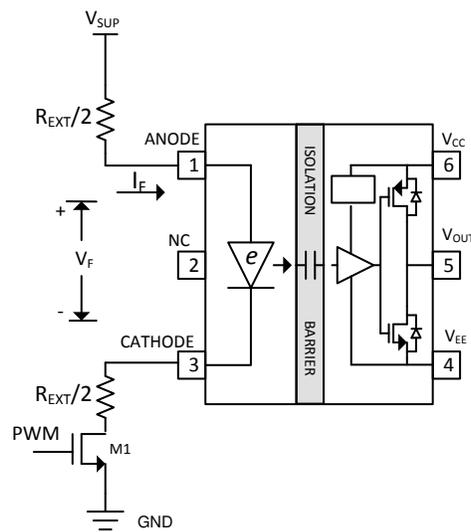
9.2.2 详细设计过程

9.2.2.1 选择输入电阻器

输入电阻器可限制仿真二极管正向偏置时流入到其中的电流。阈值电流 I_{FLH} 的典型值为 **2.8mA**。建议的正向电流工作范围为 **7mA 至 16mA** (仿真二极管导通)。在此范围内保证所有电气规格。应选择电阻器, 使得在典型工作条件下 I_F 为 **10 mA**。以下是将影响此电流确切值的因素列表:

1. 电源电压 V_{SUP} 变化
2. 制造商的电阻器容差和温度引起的变化
3. 仿真二极管正向压降变化 ($I_F=10mA$, $V_F=2.1V$ 典型值、 $1.8V$ 最小值、 $2.4V$ 最大值, 温度系数小于 $1.35mV/^\circ C$, 动态阻抗小于 1Ω)

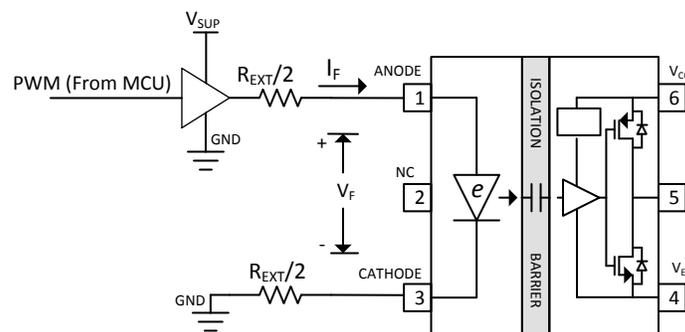
有关使用单个 NMOS 和分离电阻器组合来驱动 UCC23513 输入级的原理图, 请参阅图 9-2。可以使用所示的等式来选择输入电阻器。



$$R_{EXT} = \frac{V_{SUP} - V_F}{I_F} - R_{M1}$$

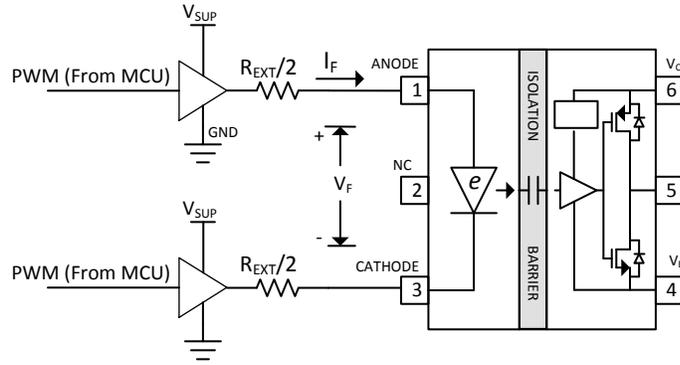
图 9-2. 配置 1 : 使用单个 NMOS 和分离电阻器来驱动 UCC23513 的输入级

图 9-3 展示了使用单个缓冲器来驱动 UCC23513 的输入级, 图 9-4 展示了使用 2 个缓冲器的情况。



$$R_{EXT} = \frac{V_{SUP} - V_F}{I_F} - R_{OH_buf}$$

图 9-3. 配置 2 : 使用一个缓冲器和分离电阻器来驱动 UCC23513 的输入级



$$R_{EXT} = \frac{V_{SUP} - V_F}{I_F} - (R_{OH_buf} + R_{OL_buf})$$

图 9-4. 配置 3：使用 2 个缓冲器和分离电阻器来驱动 UCC23513 的输入级

表 9-2 显示了图 9-2、图 9-3 和图 9-4 中显示的 3 种不同配置的 R_{EXT} 的值范围。导出 R_{EXT} 范围时所使用的假设如下：

1. 目标正向电流 I_F 最小值为 7mA，典型值为 10mA，最大值为 16mA
2. 仿真二极管正向压降为 1.8V 至 2.4V
3. V_{SUP} (缓冲器电源电压) 为 5V (容差为 $\pm 5\%$)
4. 制造商的 R_{EXT} 容差为 1%
5. NMOS 电阻为 $0.25\ \Omega$ 至 $1.0\ \Omega$ (对于配置 1)
6. R_{OH} (输出“高”状态下的缓冲器输出阻抗) 最小值为 $13\ \Omega$ ，典型值为 $18\ \Omega$ ，最大值为 $22\ \Omega$
7. R_{OH} (输出“低”状态下的缓冲器输出阻抗) 最小值为 $10\ \Omega$ ，典型值为 $14\ \Omega$ ，最大值为 $17\ \Omega$

表 9-2. 用于驱动输入级的 R_{EXT} 值

配置	$R_{EXT}\ \Omega$		
	最小值	典型值	最大值
单个 NMOS 和 R_{EXT}	218	290	331
单个缓冲器和 R_{EXT}	204	272	311
两个缓冲器和 R_{EXT}	194	259	294

9.2.2.2 栅极驱动器输出电阻器

外部栅极驱动器电阻器 $R_{G(ON)}$ 和 $R_{G(OFF)}$ 用于：

1. 限制寄生电感和电容引起的振铃
2. 限制由高电压或高电流开关 dv/dt 、 di/dt 和体二极管反向恢复引起的振铃
3. 微调栅极驱动强度，尤其是峰值灌电流和拉电流，以优化开关损耗
4. 降低电磁干扰 (EMI)

输出级具有包含并联 P 沟道 MOSFET 和 N 沟道 MOSFET 的上拉结构。组合峰值拉电流为 4.5 A。例如，可使用方程式 1 来估算峰值拉电流。

$$I_{OH} = \min \left[4.5A, \frac{V_{CC} - V_{GDF}}{(R_{NMOS} || R_{OH} + R_{GON} + R_{GFET_INT})} \right] \quad (1)$$

其中

- R_{GON} 是外部导通电阻。

- R_{GFET_int} 是功率晶体管内部栅极电阻（见于功率晶体管数据表）。我们将在实例中采用 0Ω
- I_{OH} 是峰值拉电流，它是 $4.5A$ 、栅极驱动器峰值拉电流和根据栅极驱动回路电阻计算所得值中的最小值。
- V_{GDF} 是与 R_{GON} 和 R_{GOFF} 串联的每个二极管的正向压降。该示例的二极管压降为 $0.7V$ 。

在本示例中，根据[方程式 2](#) 的计算，峰值拉电流大约为 $1.7A$ 。

$$I_{OH} = \min \left[4.5A, \frac{15 - 0.7}{(5.1\Omega || 9.5\Omega + 5\Omega + 0\Omega)} \right] = 1.72A \quad (2)$$

类似地，可以使用[方程式 3](#) 来计算峰值灌电流。

$$I_{OL} = \min \left[5.3A, \frac{V_{CC} - V_{GDF}}{(R_{OL} + R_{GOFF} + R_{GFET_INT})} \right] \quad (3)$$

其中

- R_{GOFF} 是外部关断电阻。
- I_{OL} 是峰值灌电流，它是 $5.3A$ 、栅极驱动器峰值灌电流和根据栅极驱动回路电阻计算所得值中的最小值。

在本例中，峰值灌电流是[方程式 4](#) 和 $5.3A$ 中的最小值。

$$I_{OL} = \min \left[5.3A, \frac{15 - 0.7}{(0.4\Omega + 10\Omega + 0\Omega)} \right] = 1.38A \quad (4)$$

[图 9-1](#) 中所示分别与 R_{GON} 和 R_{GOFF} 串联的二极管确保栅极驱动电流在导通和关断期间分别流经预期路径。请注意，二极管正向压降将降低电源开关栅极上的电压电平。要实现轨到轨栅极电压电平，请在 V_{OUT} 引脚与电源开关栅极之间添加一个电阻器，其电阻值约为 R_{GON} 和 R_{GOFF} 的 20 倍。对于本节中所述的示例， 100Ω 至 200Ω 是不错的选择。

备注

估算峰值电流也受 PCB 布局和负载电容的影响。栅极驱动器环路中的寄生电感可以减慢峰值栅极驱动电流并导致过冲和下冲。因此，TI 强烈建议最大程度地减小栅极驱动器环路。相反，当功率晶体管的负载电容 (C_{ISS}) 非常小（通常小于 $1nF$ ）时，峰值拉电流和灌电流取决于环路寄生效应，因为上升和下降时间太短，接近于寄生振铃周期。

9.2.2.3 估算栅极驱动器功率损耗

栅极驱动器子系统中的总损耗 P_G 包括 UCC23513 器件的功率损耗 (P_{GD}) 和外围电路（如外部栅极驱动电阻器）中的功率损耗。

P_{GD} 值是关键功率损耗，它决定了 UCC23513 器件的热安全相关限值，可以通过计算几个分量产生的损耗来对其进行估算。

第一个分量是静态功率损耗 P_{GDQ} ，其中包括输入级中耗散的功率 (P_{GDQ_IN}) 以及在无负载时以特定开关频率工作时输出级中耗散的静态功率 (P_{GDQ_OUT})。 P_{GDQ_IN} 由 I_F 和 V_F 决定，[方程式 5](#) 给出了算法。 P_{GDQ_OUT} 参数在给定 V_{CC} 、开关频率和环境温度下没有负载连接到 V_{OUT} 引脚时在工作台上测量。在此示例中， V_{CC} 为 $15V$ 。PWM 开关频率为 $10kHz$ 时电源上的电流测量为 $I_{CC} = 1.33mA$ 。因此，可以使用[方程式 6](#) 来计算 P_{GDQ_OUT} 。

$$P_{GDQ_IN} = \frac{1}{2} * V_F * I_F \quad (5)$$

$$P_{GDQ_OUT} = V_{CC} * I_{CC} \quad (6)$$

栅极驱动器中消耗的总静态功率 (没有任何负载电容) 由 [方程式 5](#) 和 [方程式 6](#) 之和给出, 如 [方程式 7](#) 所示

$$P_{GDQ} = P_{GDQ_IN} + P_{GDQ_OUT} = 10 \text{ mW} + 20\text{mW} = 30\text{mW} \quad (7)$$

第二个分量是开关操作损耗 P_{GDSW} , 此时具有给定的负载电容, 驱动器在每个开关周期中对其进行充电和放电。使用 [方程式 8](#) 来计算负载开关产生的总动态损耗 P_{GSW} 。

$$P_{GSW} = V_{CC2} \times Q_G \times f_{sw} \quad (8)$$

其中

- Q_G 是 V_{CC} 下功率晶体管的栅极电荷。

因此, 对于此示例应用, 根据 [方程式 9](#) 的计算, 负载开关产生的总动态损耗约为 18mW。

$$P_{GSW} = 15 \text{ V} \times 120 \text{ nC} \times 10 \text{ kHz} = 18 \text{ mW} \quad (9)$$

Q_G 表示功率晶体管在以 50A 的电流和 520V 的电压进行开关时的总栅极电荷, 该电荷随测试条件的变化而变化。输出级上的 UCC23513 栅极驱动器损耗 P_{GDO} 是 P_{GSW} 的一部分。如果外部栅极驱动器电阻和功率晶体管内部电阻为 0Ω , 则 P_{GDO} 等于 P_{GSW} , 所有栅极驱动器损耗将在 UCC23513 内耗散。如果存在外部导通和关断电阻, 则总损耗分布在栅极驱动器上拉/下拉电阻、外部栅极电阻和功率晶体管内部电阻之间。重要的是, 如果拉电流/灌电流未达到 4.5A/5.3A 饱和值, 则上拉/下拉电阻是线性的固定电阻, 然而, 如果拉电流/灌电流达到饱和, 它将是非线性的。因此, P_{GDO} 在这两种情形下是不同的。

案例 1 - 线性上拉/下拉电阻器 :

$$P_{GDO} = \frac{P_{GSW}}{2} \left[\frac{R_{OH} || R_{NMOS}}{R_{OH} || R_{NMOS} + R_{GON} + R_{GFET_int}} + \frac{R_{OL}}{R_{OL} + R_{GOFF} + R_{GFET_int}} \right] \quad (10)$$

在此设计示例中, 所有预测的拉电流和灌电流均小于 4.5A 和 5.3A, 因此, 使用 [方程式 10](#) 来估算 UCC23513 栅极驱动器损耗。

$$P_{GDO} = \frac{18 \text{ mW}}{2} \left[\frac{9.5\Omega || 5.1\Omega}{9.5\Omega || 5.1\Omega + 5.1\Omega + 0\Omega} + \frac{0.4\Omega}{0.4\Omega + 10\Omega + 0\Omega} \right] = 3.9 \text{ mW} \quad (11)$$

案例 2 - 非线性上拉/下拉电阻器 :

$$P_{GDO} = f_{sw} \times \left[4.5\text{A} \times \int_0^{T_{R_Sys}} (V_{CC} - V_{OUT}(t)) dt + 5.3\text{A} \times \int_0^{T_{F_Sys}} V_{OUT}(t) dt \right] \quad (12)$$

其中

- $V_{OUT}(t)$ 是导通和关断期间的栅极驱动器 OUT 引脚电压。在输出饱和一段时间的情况下, 该值可以简化为恒流源 (在导通时为 4.5 A, 在关断时为 5.3 A), 对负载电容器进行充电或放电。因此, $V_{OUT}(t)$ 波形将是线性的, 可以轻松地预测 T_{R_Sys} 和 T_{F_Sys} 。

对于某些情形，如果只有一个上拉或下拉电路饱和，而另一个不饱和，则 P_{GD0} 是情况 1 和情况 2 的组合，可以根据此处的说明轻松地识别上拉和下拉的方程。

可使用 [方程式 13](#) 计算 UCC23513 栅极驱动器中耗散的总栅极驱动器损耗 P_{GD} 。

$$P_{GD} = P_{GDQ} + P_{GD0} = 30\text{mW} + 3.9\text{mW} = 33.9\text{mW} \quad (13)$$

9.2.2.4 估算结温

可使用 [方程式 14](#) 来估算 UCC23513 的结温 (T_J)。

$$T_J = T_C + \Psi_{JT} \times P_{GD} \quad (14)$$

其中

- T_C 是用热电偶或其他仪器测量的 UCC23513 外壳顶部温度。
- Ψ_{JT} 是来自表的结至顶特征参数。

使用结至顶特征参数 (Ψ_{JT}) 代替结至外壳热阻 ($R_{\theta JC}$) 可以极大地提高结温估算的准确性。大多数 IC 的大部分热能通过封装引线释放到 PCB 中，而总能量中仅有一小部分通过外壳顶部（通常在此处进行热电偶测量）进行释放。只有在大部分热能通过外壳释放时（例如采用金属封装或对 IC 封装应用散热器时），才能有效地使用 $R_{\theta JC}$ 电阻。在所有其他情况下，使用 $R_{\theta JC}$ 将无法准确地估算真实的结温。 Ψ_{JT} 参数是通过假设通过 IC 顶部的主导能量在测试环境 and 应用环境中相似而通过实验得出的。只要遵循建议的布局指南，就可以准确地进行结温估算，将误差限制在几摄氏度内。

9.2.2.5 选择 V_{CC} 电容器

V_{CC} 的旁路电容器对于实现可靠的性能至关重要。TI 建议选择具有足够额定电压、温度系数和电容容差的低 ESR 和低 ESL、表面贴装、多层陶瓷电容器 (MLCC)。针对 C_{VCC} 电容器选择一个 50V、10 μF MLCC 和一个 50V、0.22 μF MLCC。如果偏置电源输出与 V_{CC} 引脚的距离相对较长，则应使用值大于 10 μF 且与 C_{VCC} 并联的钽或电解电容器。

备注

某些 MLCC 上的直流偏置会影响实际电容值。例如，当施加 15V_{DC} 的直流偏置时，测得 25V、1 μF X7R 电容器仅为 500nF。

10 电源相关建议

UCC23513 器件的建议输入电源电压 (V_{CC}) 为 14V 至 33V。输出偏置电源电压 (V_{CC}) 范围的下限由器件的内部 UVLO 保护功能决定。对于正常操作, V_{CC} 电压不应低于 UVLO 阈值, 否则 UVLO 保护功能可将栅极驱动器输出钳位至低电平超过 20 μ s。 V_{CC} 范围的上限取决于由 UCC23513 器件驱动功率器件的最大栅极电压, 并且不应超过建议的 V_{CC} 最大值 (33V)。本地旁路电容器应置于 V_{CC} 和 V_{EE} 引脚之间, 其值为 220nF 至 10 μ F, 用于进行器件偏置。TI 建议放置一个与器件偏置电容器并联的附加 100nF 电容器, 以实现高频滤波。两个电容器都应尽可能靠近器件放置。建议使用低 ESR 陶瓷表面贴装电容器。

如果应用中只有单个初级侧电源, 则可以借助德州仪器 (TI) 的 [SN6501](#) 或 [SN6505A](#) 等变压器驱动器为次级侧生成隔离式电源。对于此类应用, [SN6501 用于隔离电源的变压器驱动器数据表](#) 和 [SN6505A 用于隔离电源的低噪声 1A 变压器驱动器数据表](#) 中提供了详细的电源设计和变压器选择建议。

11 布局

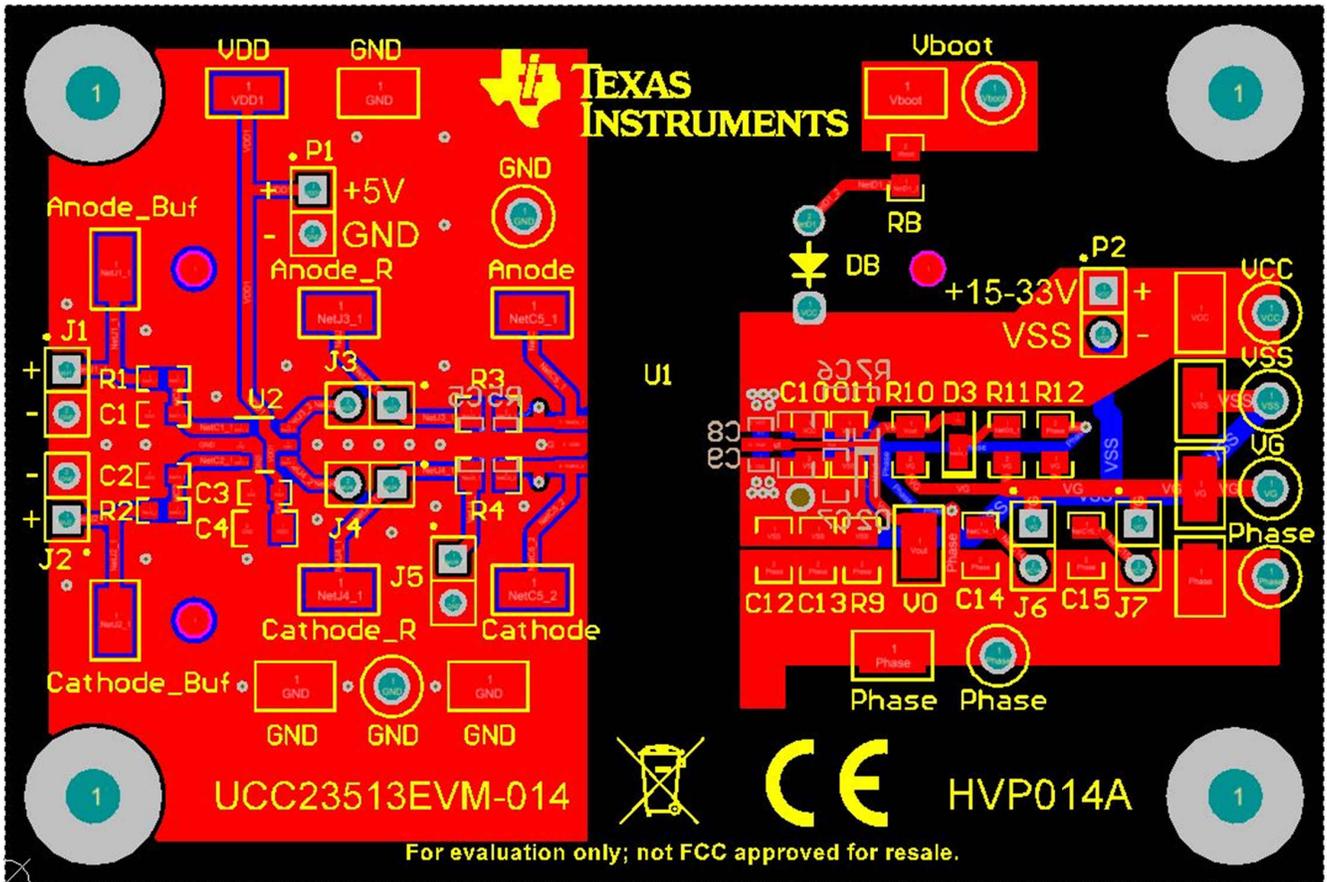
11.1 布局指南

设计人员必须密切关注 PCB 布局，以便实现 UCC23513 的出色性能。以下是一些主要的指导准则：

- 组件放置：
 - 必须在 V_{CC} 和 V_{EE} 引脚之间靠近器件的位置连接低 ESR 和低 ESL 电容器，以旁路噪声并在外部功率晶体管导通时支持高峰值电流。
 - 为了避免连接到开关节点的 V_{EE} 引脚上产生较大的负瞬态，必须最大程度地减小顶部晶体管源极和底部晶体管源极之间的寄生电感。
- 接地注意事项：
 - 将对晶体管栅极进行充电和放电的高峰值电流限制在最小的物理区域内至关重要。该限制可降低环路电感并最大程度地降低晶体管栅极端子上的噪声。栅极驱动器必须尽可能靠近晶体管放置。
- 高电压注意事项：
 - 为确保初级侧和次级侧之间的隔离性能，请避免在驱动器器件下方放置任何 PCB 迹线或铜。建议使用 PCB 切口或坡口，以防止可能影响隔离性能污染。
- 散热注意事项：
 - 如果驱动电压较高，负载较重或开关频率较高，那么 UCC23513 可能会耗散较大的功率。适当的 PCB 布局有助于将器件产生的热量散发到 PCB，并最大限度地降低结到电路板的热阻抗 (θ_{JB})。
 - 建议增加连接到 V_{CC} 和 V_{EE} 引脚的 PCB 铜，优先最大程度地增加到 V_{EE} 的连接。不过，必须考虑前面提到的高电压 PCB 注意事项。
 - 如果系统有多个层，TI 还建议通过具有足够尺寸的通孔将 V_{CC} 和 V_{EE} 引脚连接到内部接地或电源平面。这些通孔应靠近 IC 引脚，以最大限度地提高热导率。不过，请记住，不要重叠来自不同高电压平面的迹线或铜。

11.2 布局示例

图 11-1 显示了一个 PCB 布局示例，其中标记了信号和主要组件。



A. 初级侧和次级侧之间没有 PCB 迹线或铜，从而确保了隔离性能。

图 11-1. 布局示例

图 11-2 和图 11-3 显示了顶层和底层迹线和铜。

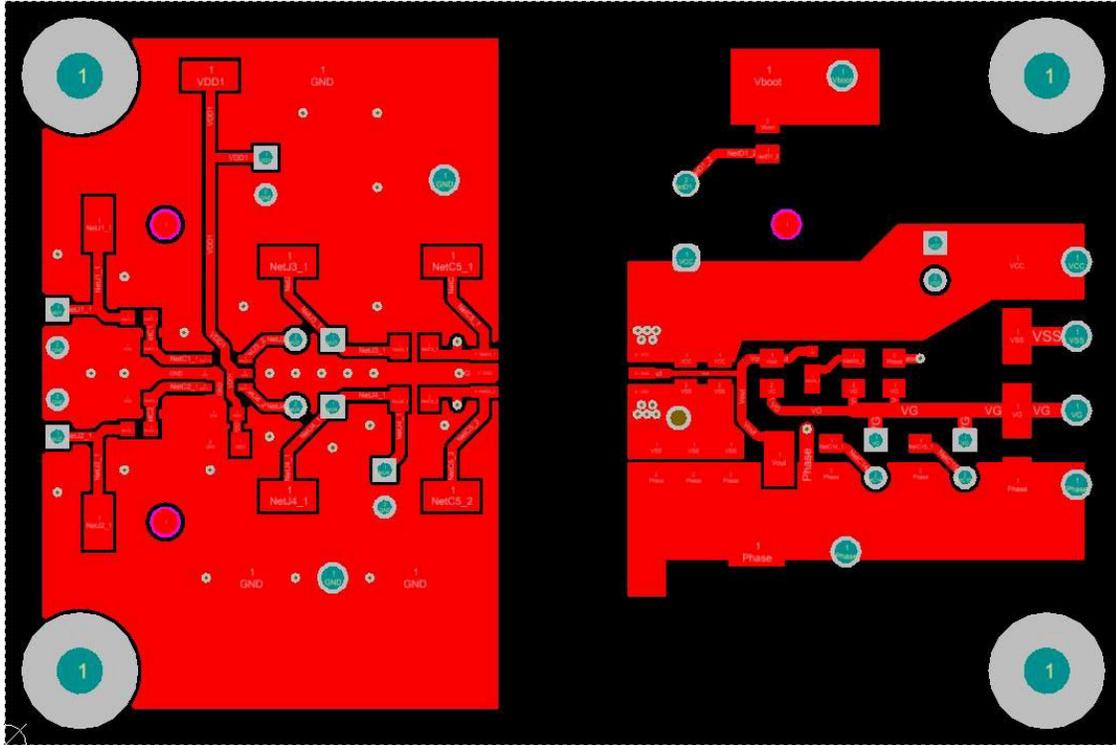


图 11-2. 顶层迹线和铜

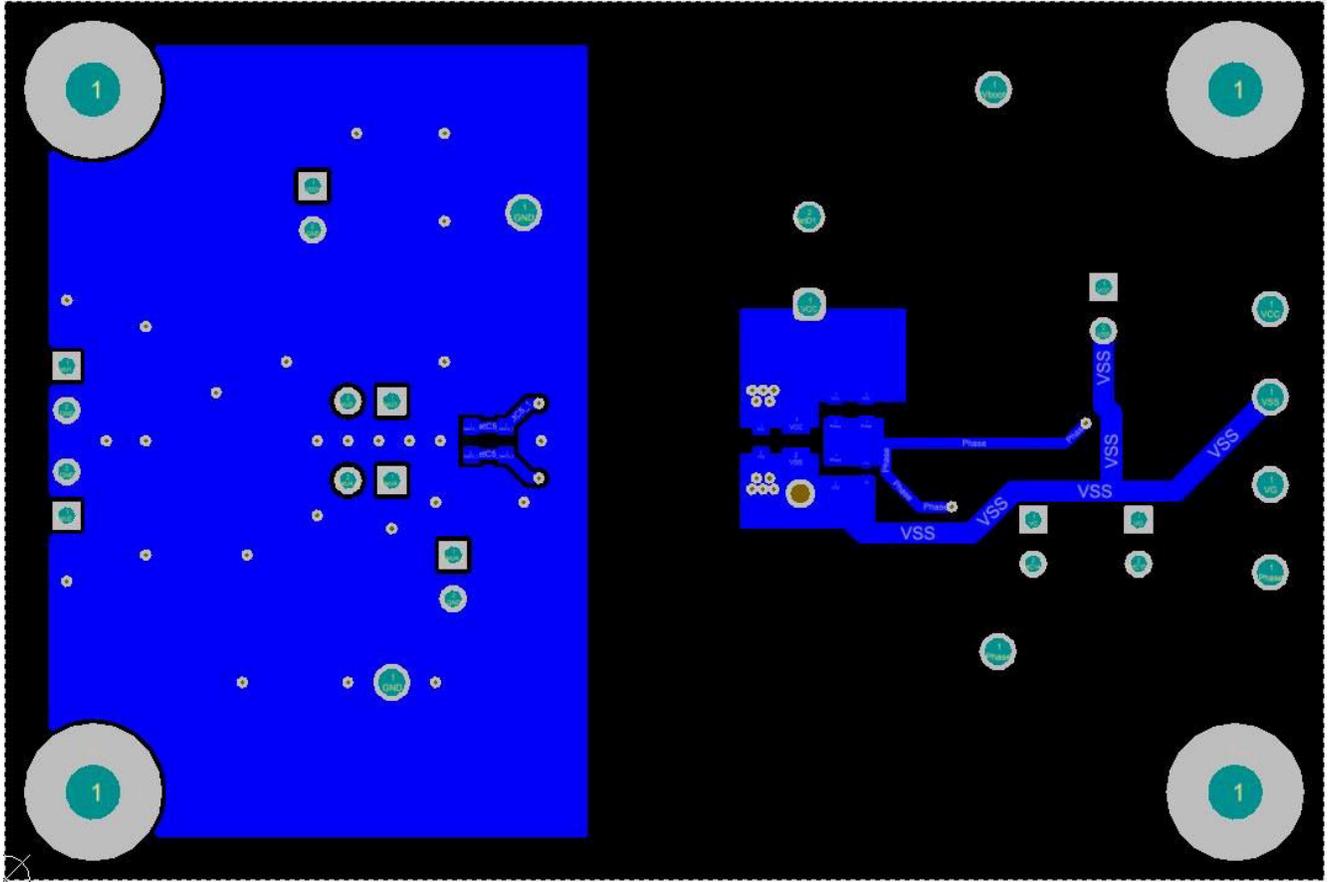
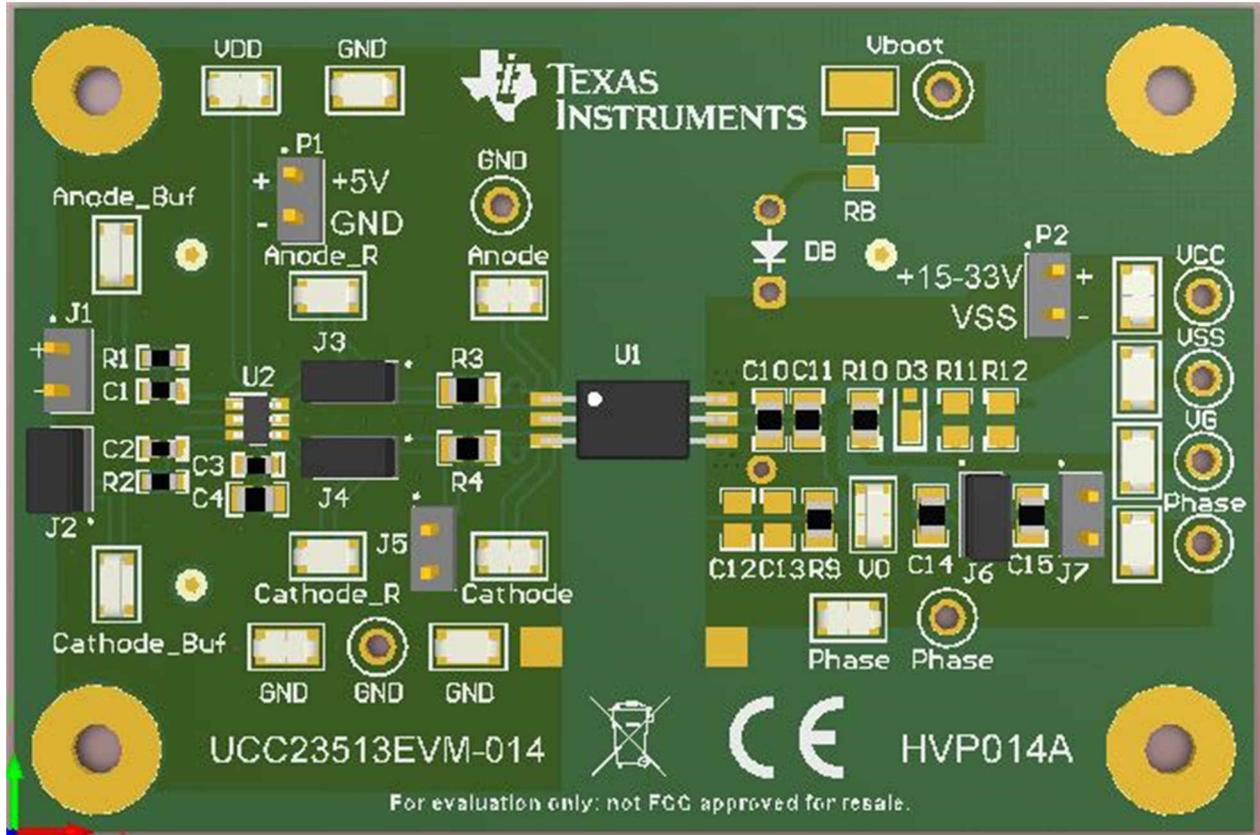


图 11-3. 底层迹线和铜 (翻转)

图 11-4 显示了 PCB 俯视图的 3D 布局。



A. 初级侧和次级侧之间的 PCB 切口位置确保了隔离性能。

图 11-4. 3D PCB 视图

11.3 PCB 材料

使用标准 FR-4 UL94V-0 印刷电路板。由于在高频下具有较低的电介质损耗、较低的吸湿性、较高的强度和刚度以及自熄性可燃性特征，因此该 PCB 优于较便宜的替代产品。

12 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UCC23513BDWYR	Active	Production	SOIC (DWY) 6	850 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UC23513B
UCC23513BDWYR.A	Active	Production	SOIC (DWY) 6	850 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UC23513B
UCC23513BDWYR.B	Active	Production	SOIC (DWY) 6	850 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UC23513B
UCC23513DWY	Obsolete	Production	SOIC (DWY) 6	-	-	Call TI	Call TI	-40 to 125	UCC23513
UCC23513DWYR	Active	Production	SOIC (DWY) 6	850 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UCC23513
UCC23513DWYR.A	Active	Production	SOIC (DWY) 6	850 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UCC23513
UCC23513DWYR.B	Active	Production	SOIC (DWY) 6	850 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UCC23513

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

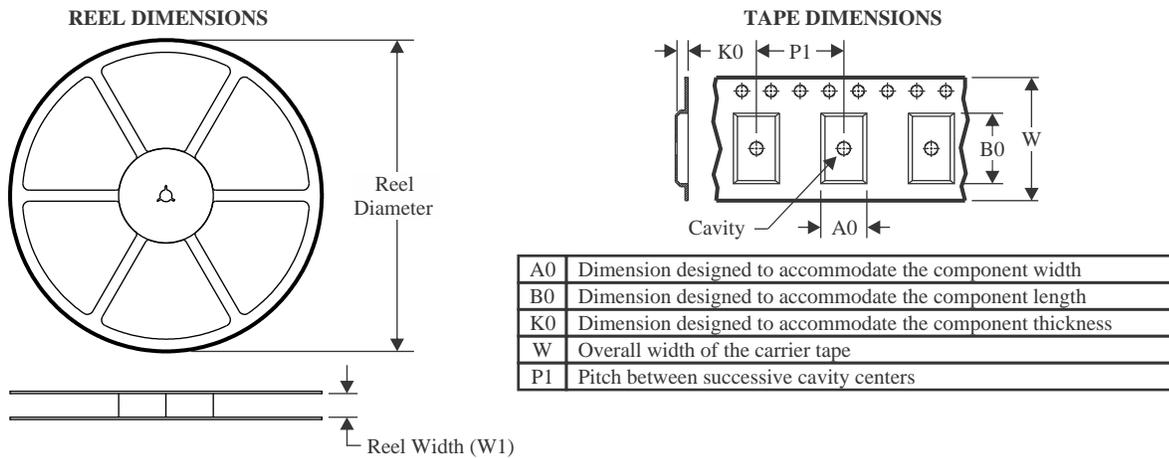
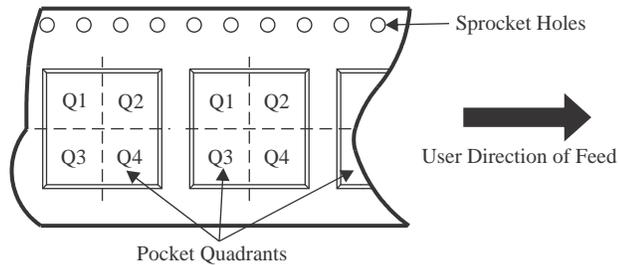
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF UCC23513 :

- Automotive : [UCC23513-Q1](#)

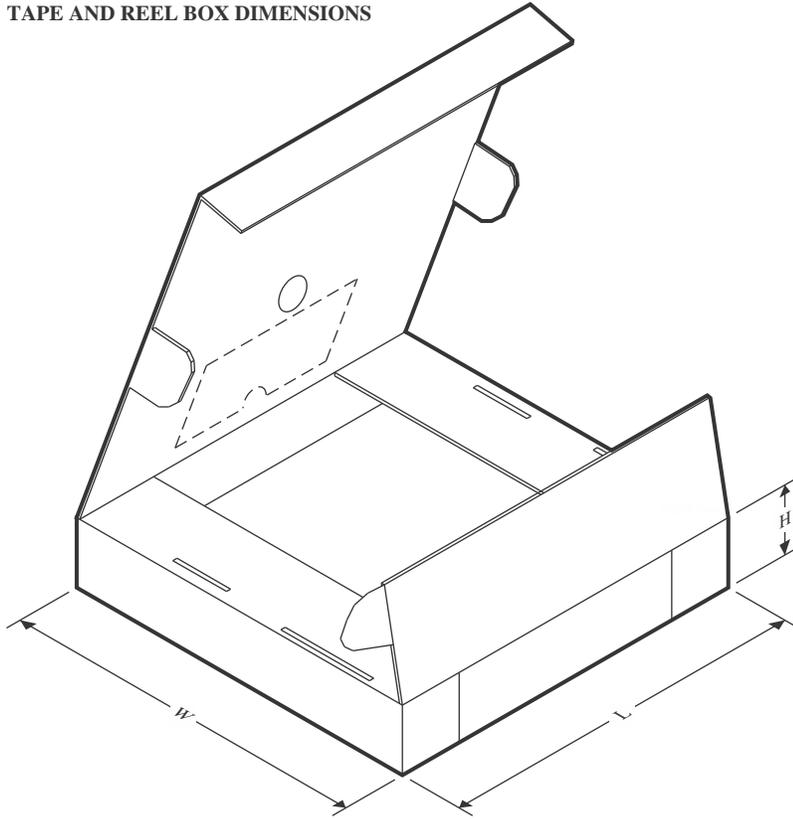
NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


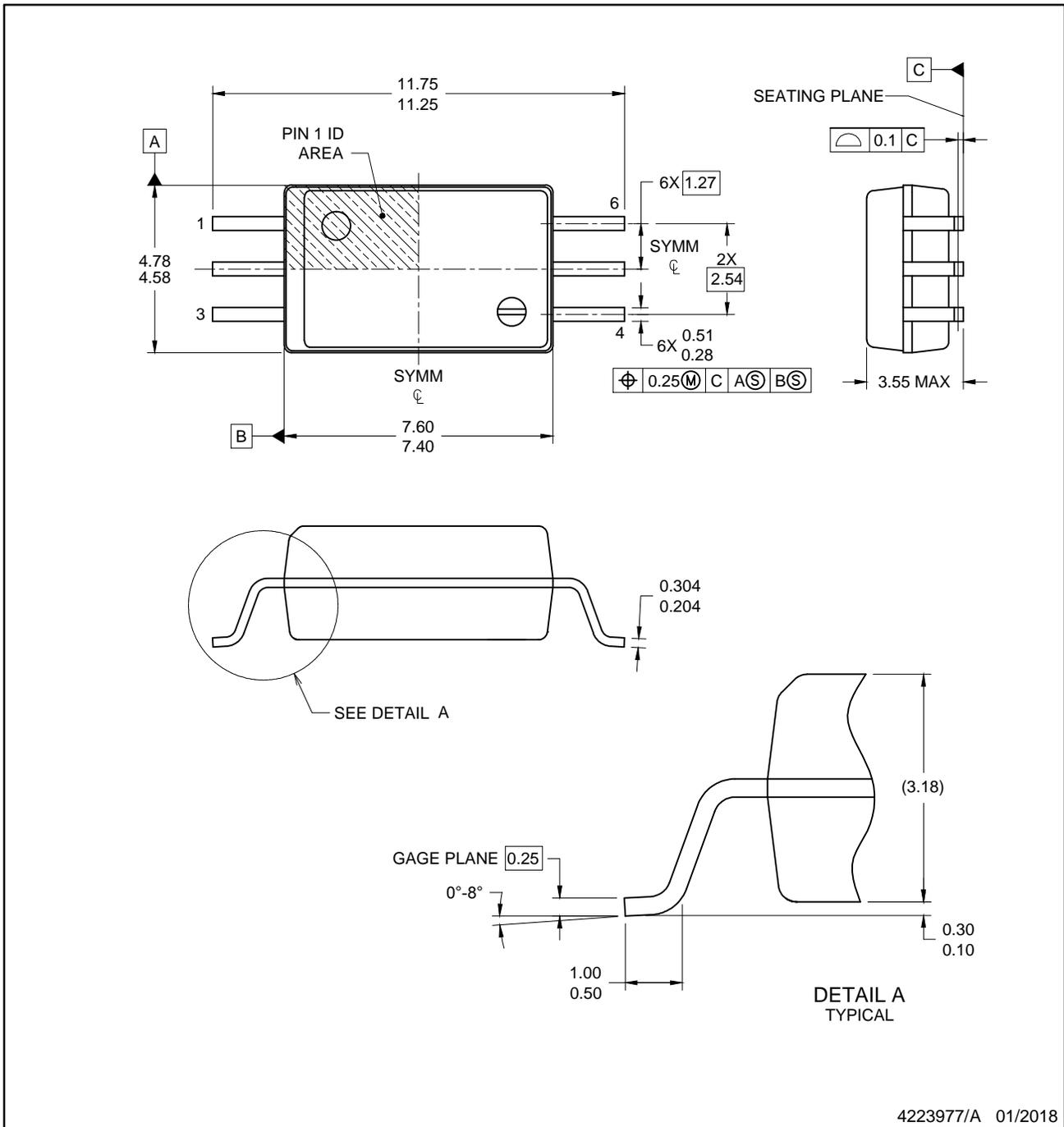
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC23513BDWYR	SOIC	DWY	6	850	330.0	16.4	12.15	5.0	3.9	16.0	16.0	Q1
UCC23513BDWYR	SOIC	DWY	6	850	330.0	16.4	12.15	5.0	3.9	16.0	16.0	Q1
UCC23513DWYR	SOIC	DWY	6	850	330.0	16.4	12.15	5.0	3.9	16.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC23513BDWYR	SOIC	DWY	6	850	353.0	353.0	32.0
UCC23513BDWYR	SOIC	DWY	6	850	356.0	356.0	35.0
UCC23513DWYR	SOIC	DWY	6	850	356.0	356.0	35.0



NOTES:

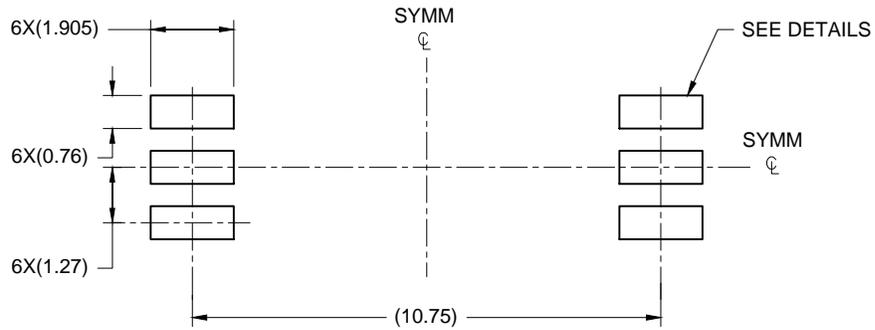
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.70 per side.

EXAMPLE BOARD LAYOUT

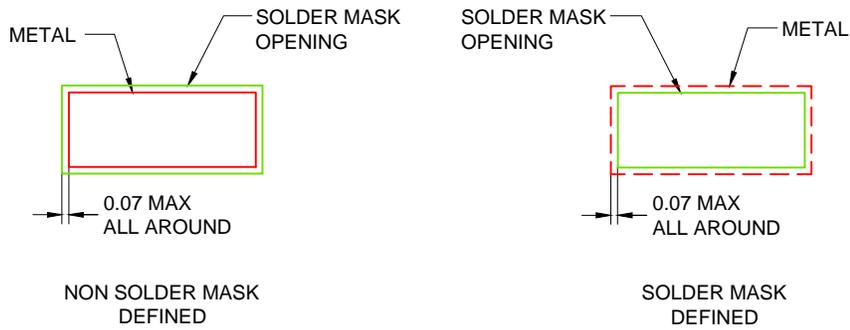
SOIC - 3.55 mm max height

DWY0006A

SOIC



LAND PATTERN EXAMPLE
SCALE:6X



SOLDER MASK DETAILS

4223977/A 01/2018

NOTES: (continued)

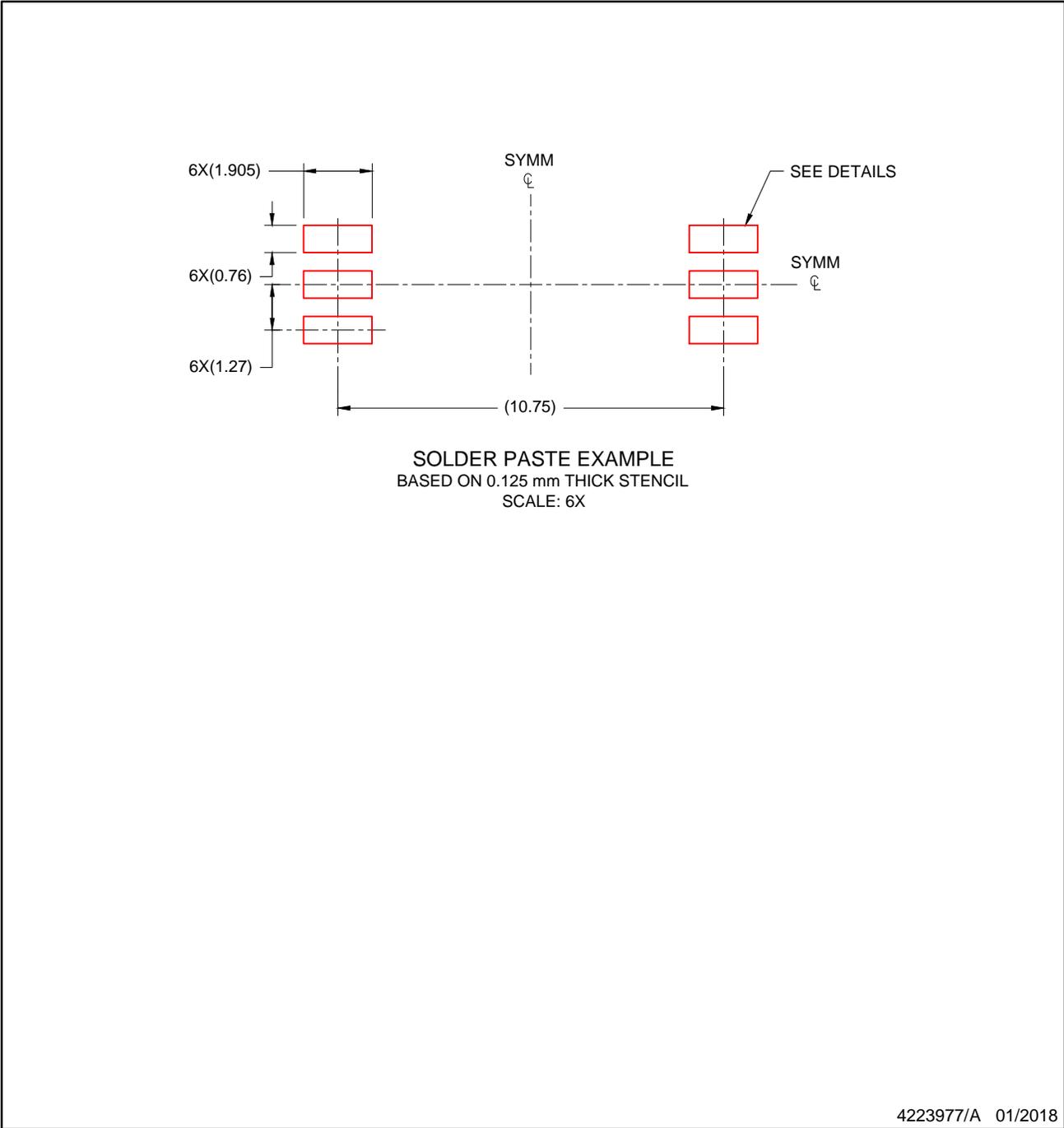
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

SOIC - 3.55 mm max height

DWY0006A

SOIC



NOTES: (continued)

- 7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
- 8. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司