

N32H487xE

数据手册

N32H487系列采用32 bit ARM Cortex-M4F内核，最高工作主频240MHz，支持浮点运算和DSP指令，集成高达512KB嵌入式Flash，192KB SRAM（包括32KB CCM SRAM）+ 4KB Backup SRAM，集成4个12bit 4.7Mps ADC、2个12bit DAC，集成USB FS Device、USB HS DualRole、U(S)ART、I2C、SPI、CAN-FD、Ethernet等通信接口，支持DVP接口，支持SDIO、FEMC、xSPI高速存储接口，支持I2S音频接口，支持多个高级定时器、通用定时器、基本定时器、低功耗定时器，内置密码算法硬件加速引擎，支持AES/TDES、SHA、SM3、SM4、MD5算法，支持TRNG真随机数发生器，支持CRC16/32

关键特性

- 内核 CPU
 - 32 位 ARM Cortex-M4F 内核+ FPU，单周期硬件乘除法指令，支持 DSP 指令和 MPU
 - 内置 8KB 指令 Cache 缓存，支持 Flash 加速单元执行程序 0 等待
 - 最高主频 240MHz，300DMIPS
- 加密存储器
 - 512KByte 片内 Flash，支持加密存储、分区管理及数据保护，1 万次擦写次数，10 年数据保持
 - 160KB 通用 SRAM，支持奇偶校验
 - 32KB CCM SRAM，上电默认为通用 SRAM，可配置为 CCM SRAM，支持 ECC
 - 4KB Backup SRAM，支持 ECC，可在 Standby 模式保持
- 功耗
 - Run 模式：45mA @240MHz（外设关闭，3.3V@25°C）
 - Stop0 模式：SRAM 保持，所有寄存器保持，RTC Run
 - Standby 模式：6uA 典型值，Backup SRAM 保持，所有备份寄存器保持，可选 RTC 使能，IO 保持
 - VBAT 模式：4uA 典型值，Backup SRAM 保持，所有备份寄存器保持，可选 RTC 使能
- 时钟
 - 4MHz~32MHz 外部高速晶体
 - 32.768KHz 外部低速晶体
 - 内置多个高速 PLL
 - 支持 2 路时钟输出，可独立配置时钟源输出时钟
 - 内部高速 RC 8MHz，-1.5%~+2%精度（全温度范围）
 - 内部低速 RC 32KHz，+/-10%精度（全温度范围）
- 复位
 - 支持上电/掉电/外部引脚复位
 - 支持看门狗复位
 - 支持可编程的电压检测
- 最大支持 118 GPIOs
- 通信接口
 - 1 个 USB FS Device 接口，内置 PHY，支持无晶体模式

- 1 个 USB HS DualRole 接口，内置 PHY
- 6 个 SPI 接口，2 个 I2S，支持半/全双工模式，与 SPI 复用接口
- 4 个 USART 接口/4 个 UART 接口，支持 ISO7816、IrDA、LIN，USART3/UART5/UART8 的 TX/RX 均可全部引脚映射
- 4 个 I2C 接口，速率高达 1 MHz，主从模式可配，从机模式下支持双地址响应
- 3 个 CAN-FD 总线接口，可以全引脚映射
- 1 个 IEEE-802.3-2002 兼容的 Ethernet MAC 接口，支持 10M/100M 以太网、IEEE1588 同步以太网协议
- 1 个 DVP (Digital Video Port)，支持 8/10/12/16 位数据
- **高性能模拟接口**
 - 4 个 12bit 4.7Mps ADC，支持 12bit、10bit、8bit、6bit 采样精度，可以硬件过采样至 16bit，每个 ADC 多达 16 路外部单端输入通道，3 个内部单端输入通道，支持单端模式和差分模式
 - 2 个 12 bit DAC，每个 DAC 支持对芯片内 1 个输出通道和对芯片外一个输出通道，采样速率 1Mps，支持带 Buffer 和不带 Buffer 输出，可以支持对内输出、对外输出、同时对内对外输出；
 - 1 个温度传感器
- **高速存储扩展接口**
 - 1 个 xSPI 接口，支持 1/2/4/8 位数据宽度可配置，可用于外扩 SRAM、PSRAM 和 Flash，支持 XIP
 - 1 个 FEMC(Flexible External Memory Controller) 接口，8/16 位数据宽度可配置，支持 SRAM、PSRAM、NOR Flash、NAND Flash
 - 1 个 SDIO 接口，支持 SD/SDIO/MMC 格式
- **电机控制用数学函数硬件加速器 Cordic**
- **内置滤波算法加速器 FMAC，支持 FIR、IIR 滤波**
- **2 个高速 DMA 控制器，每个控制器支持 8 通道，通道源地址及目的地址任意可配**
- **RTC 实时时钟，支持闰年万年历，闹钟事件，周期性唤醒，支持内外部时钟校准**
- **定时计数器**
 - 3 个 16bit 高级定时计数器，支持输入捕获，互补输出，正交编码输入等功能，最高控制精度 4.16ns；每个定时器有 6 个独立的通道，其中 4 个通道支持 4 对互补 PWM 输出
 - 10 个 16 位通用定时器(GTIM1~10):
 - GTIM1~7，最高控制精度 5.56ns，每个定时器多达 4 个独立通道，每个通道都支持输入捕获、输出比较、PWM 生成和单脉冲模式输出；
 - GTIM8~10，最高控制精度 4.16ns，每个定时器多达 4 个独立通道，每个通道都支持输入捕获、输出比较、PWM 生成和单脉冲模式输出，仅通道 1 支持带死区互补输出，支持刹车输入；
 - 2 个 32bit 基本定时计数器
 - 2 个 16bit 低功耗定时器，可在 Stop0、Standby 模式下工作
 - 1x 24bit SysTick、1x 14bit 窗口看门狗(WWDG)、1x 12bit 独立看门狗(IWDG)
- **编程方式**
 - 支持 SWD/JTAG 在线调试接口
 - 支持 USB、UART Bootloader
- **安全特性**
 - Flash 存储加密，多用户分区管理 (SMPU)

- 支持写保护（WRP），多种读保护（RDP）等级（L0/L1/L2）
- 内置密码算法硬件加速引擎，支持 AES/TDES、SHA、SM3、SM4、MD5 算法
- TRNG 真随机数发生器、CRC16/32 运算
- 支持安全启动，程序加密下载，安全更新、支持外部高速和低速时钟失效监测
- 支持防拆监测

- **96 位 UID 和 128 位 UCID**

- **工作条件**

- 工作电压范围：1.8V~3.6V
- 工作温度范围：-40°C~105°C
- ESD: $\pm 4\text{KV}$ （HBM 模型）， $\pm 1\text{KV}$ （CDM 模型）
- EFT: VDD（+/-4KV，A 级），I/O（+/-2KV，A 级）

- **封装**

- LQFP64(10mm x 10mm)
- LQFP100(14mm x 14mm)
- LQFP144(20mm x 20mm)

目 录

关键特性	1
目 录	4
1 产品简介	11
1.1 器件一览	12
2 功能简介	14
2.1 处理器内核	14
2.2 存储器	14
2.2.1 嵌入式闪存存储器	15
2.2.2 嵌入式SRAM	16
2.2.3 嵌套的向量式中断控制器(NVIC)	16
2.3 外部中断/事件控制器(EXTI)	16
2.4 时钟系统	16
2.5 启动模式	17
2.6 供电方案	18
2.7 复位	18
2.8 可编程电压监测器	18
2.9 低功耗模式	18
2.10 直接存储器存取(DMA)	19
2.11 实时时钟(RTC)	19
2.12 定时器和看门狗	20
2.12.1 基本定时器(BTIM1~2)	20
2.12.2 通用定时器(GTIM1~7)	21
2.12.3 通用定时器(GTIM8~10)	21
2.12.4 高级定时器(ATIM1~3)	22
2.12.5 低功耗定时器(LPTIM1~2)	22
2.12.6 系统时基定时器(Systick)	23
2.12.7 看门狗定时器(WDG)	23
2.13 I ² C总线接口	24
2.14 通用同步异步收发器(USART)	24
2.15 数据波特率可变的控制器局域网(FDCAN)	25
2.16 串行外设接口/内置音频总线 (SPI/I2S)	26
2.17 多线串行外设接口 (xSPI)	27
2.18 灵活的外部存储控制器 (FEMC)	27
2.19 SDIO接口	28
2.20 通用串行总线全速设备接口(USB_FS_DEVICE)	29
2.21 通用串行总线高速双角色接口(USB_HS_DUALROLE)	29
2.22 滤波算法加速器 (FMAC)	30
2.23 CORDIC处理器 (CORDIC)	30
2.24 通用输入输出接口(GPIO)	31
2.25 模拟/数字转换器(ADC)	31
2.26 数字模拟转换(DAC)	33
2.27 循环冗余校验计算单元(CRC)	33
2.28 密码算法硬件加速引擎(SAC)	34
2.29 以太网(ETH)	34
2.29.1 MAC特性	34
2.29.2 事务层 (MTL) 特性	35

2.29.3	DMA特性	36
2.30	DVP接口	36
2.31	唯一设备序列号(UID)	37
2.32	串行单线JTAG调试口(SWJ-DP)	37
3	引脚定义和描述	38
3.1	封装示意图	38
3.1.1	LQFP64	38
3.1.2	LQFP100	39
3.1.3	LQFP144	40
3.2	引脚复用定义	41
4	电气特性	59
4.1	测试条件	59
4.1.1	最小和最大数值	59
4.1.2	典型数值	59
4.1.3	典型曲线	59
4.1.4	负载电容	59
4.1.5	引脚输入电压	59
4.1.6	供电方案	61
4.1.7	电流消耗测量	62
4.2	绝对最大额定值	62
4.3	工作条件	63
4.3.1	通用工作条件	63
4.3.2	上电和掉电时的工作条件	63
4.3.3	内嵌复位和电源控制模块特性	63
4.3.4	内置的参考电压	64
4.3.5	供电电流特性	65
4.3.6	外部时钟源特性	69
4.3.7	内部时钟源特性	72
4.3.8	从低功耗模式唤醒的时间	73
4.3.9	PLL特性	73
4.3.10	FLASH存储器特性	74
4.3.11	绝对最大值(电气敏感性)	74
4.3.12	I/O端口特性	75
4.3.13	NRST引脚特性	78
4.3.14	TIM定时器特性	79
4.3.15	看门狗特性	80
4.3.16	I ² C接口特性	81
4.3.17	SPI/I ² S接口特性	82
4.3.18	xSPI特性	86
4.3.19	FEMC特性	88
4.3.20	USB_FS_Device特性	100
4.3.21	USB_HS_DualRole特性	101
4.3.22	控制器局域网络(CAN)接口特性	101
4.3.23	SDIO接口特性	102
4.3.24	以太网(Ethernet)接口特性	103
4.3.25	数字视频端口(DVP)接口特性	104
4.3.26	12位模数转换器(ADC)电气参数	105
4.3.27	12位数模转换器(DAC)电气参数	108
4.3.28	温度传感器(TS)特性	109
5	封装尺寸	111
5.1	LQFP64	111

5.2	LQFP100	112
5.3	LQFP144	113
6	丝印说明	114
7	订购信息	115
7.1	命名规则	115
7.2	订货代码信息	115
8	版本历史	116
9	声明	117

表目录

表 1-1 N32H487系列资源配置	12
表 2-1 定时器功能比较	20
表 3-1 管脚定义	41
表 4-1 电压特性	62
表 4-2 电流特性	62
表 4-3 温度特性	63
表 4-4 通用工作条件	63
表 4-5 上电和掉电时的工作条件	63
表 4-6 内嵌复位和电源控制模块特性	63
表 4-7 内置的参照电压	64
表 4-8 运行模式下的最大电流消耗，数据处理代码从内部闪存中运行	65
表 4-9 睡眠模式下的最大电流消耗	65
表 4-10 停机和待机模式下的典型和最大电流消耗	66
表 4-10 外设电流消耗	67
表 4-11 高速外部用户时钟特性	69
表 4-12 低速外部用户时钟特性	69
表 4-13 HSE 4~32MHz振荡器特性 ⁽¹⁾⁽²⁾	70
表 4-14 LSE振荡器特性($F_{LSE}=32.768\text{KHz}$) ⁽¹⁾	71
表 4-15 HSI振荡器特性 ⁽¹⁾⁽²⁾	72
表 4-16 LSI振荡器特性 ⁽¹⁾	72
表 4-17 低功耗模式的唤醒时间	73
表 4-18 PLL特性	73
表 4-19 SHRTPLL特性	73
表 4-20 闪存存储器特性	74
表 4-21 闪存存储器寿命和数据保存期限	74
表 4-22 ESD绝对最大值	74
表 4-23 EMS特性	75
表 4-24 静态栓锁	75
表 4-25 I/O静态特性	75
表 4-26 IO驱动能力表 ⁽¹⁾	76
表 4-27 输出电压特性 ⁽³⁾	76
表 4-28 输入输出交流特性 ⁽¹⁾	77
表 4-29 NRST引脚特性	79
表 4-30 ATIM1/2/3特性 ⁽¹⁾	79
表 4-31 GTIM1/2/3/4/5/6/7特性 ⁽¹⁾	79
表 4-32 GTIM8/9/10特性 ⁽¹⁾	80
表 4-33 LPTIM1/2特性 ⁽¹⁾	80
表 4-34 IWDG 最大和最小计数复位时间 (LSI = 32 KHz)	80
表 4-35 WWDG最大和最小计数复位时间(PCLK1 = 120MHz)	81
表 4-36 I ² C接口特性 ⁽¹⁾	81
表 4-37 SPI特性 ⁽¹⁾	83
表 4-38 I ² S特性 ⁽¹⁾	85
表 4-39 xSPI在SDR模式下的特性	86
表 4-40 xSPI在DDR模式下的特性	87
表 4-41 xSPI在RXDS模式下的特性	87
表 4-42 异步非总线复用的SRAM/PSRAM/NOR读操作时序 ⁽¹⁾⁽²⁾	89
表 4-43 异步非总线复用的SRAM/PSRAM/NOR写操作时序 ⁽¹⁾⁽²⁾	90
表 4-44 异步总线复用的PSRAM/NOR读操作时序 ⁽¹⁾⁽²⁾	91
表 4-45 异步总线复用的PSRAM/NOR写操作时序 ⁽¹⁾⁽²⁾	92
表 4-46 同步非总线复用NOR/PSRAM读时序 ⁽¹⁾⁽²⁾	93
表 4-47 同步非复用PSRAM写时序 ⁽¹⁾⁽²⁾	94

表 4-48 同步复用NOR/PSRAM读时序 ⁽¹⁾⁽²⁾	95
表 4-49 同步复用PSRAM写时序 ⁽¹⁾⁽²⁾	97
表 4-50 NAND闪存读写周期的时序特性 ⁽¹⁾	99
表 4-51 USBFS启动时间	100
表 4-52 USBFS直流特性	100
表 4-53 USB全速电气特性	100
表 4-54 USBHS直流电气特性	101
表 4-55 USB动态特性 ⁽¹⁾	101
表 4-56 SD/MMC接口特性	102
表 4-57 以太网直流电气特性	103
表 4-58 以太网SMI信号动态特性	103
表 4-59 以太网RMII信号动态特性	104
表 4-60 以太网MII信号动态特性	104
表 4-61 DVP信号动态特性	105
表 4-62 ADC特性	105
表 4-63 ADC采样时间 ⁽¹⁾	106
表 4-64 ADC精度 – 局限的测试条件 ⁽¹⁾⁽²⁾	107
表 4-65 DAC 1MSPS特性	108
表 4-66 温度传感器特性	109
表 7-1 N32H487系列订货代码信息	115

图目录

图 1-1 N32H487系列框图	11
图 2-1 存储器映射图	15
图 2-2 时钟树	17
图 3-1 LQFP64引脚分布	38
图 3-2 LQFP100引脚分布	39
图 3-3 LQFP144引脚分布	40
图 4-1 引脚的负载条件	59
图 4-2 引脚输入电压	60
图 4-3 供电方案	61
图 4-4 电流消耗测量方案	62
图 4-5 外部高速时钟源的交流时序图	70
图 4-6 外部低速时钟源的交流时序图	70
图 4-7 使用8MHz晶体的典型应用	71
图 4-8 使用32.768kHz晶体的典型应用	72
图 4-9 输入输出交流特性定义	78
图 4-10 传输延迟	78
图 4-11 建议的NRST引脚保护	79
图 4-12 I ² C总线交流波形和测量电路 ⁽¹⁾	82
图 4-13 SPI时序图 – 从模式和CLKPHA=0	83
图 4-14 SPI时序图 – 从模式和CLKPHA=1 ⁽¹⁾	84
图 4-15 SPI时序图 – 主模式 ⁽¹⁾	84
图 4-16 I ² S从模式时序图(飞利浦协议) ⁽¹⁾	85
图 4-17 I ² S主模式时序图(飞利浦协议) ⁽¹⁾	86
图 4-18 xSPI在SDR模式下的时序	86
图 4-19 xSPI在DDR模式下的时序	87
图 4-20 xSPI在RXDS模式下的时序	88
图 4-21 异步非总线复用的SRAM/PSRAM/NOR读操作波形	89
图 4-22 异步非总线复用的SRAM/PSRAM/NOR写操作波形	90
图 4-23 异步总线复用PSRAM/NOR读操作波形	91
图 4-24 异步总线复用PSRAM/NOR写操作波形	92
图 4-25 同步非总线复用NOR/PSRAM读时序	93
图 4-26 同步非复用PSRAM写时序	94
图 4-27 同步复用NOR/PSRAM读时序	95
图 4-28 同步复用PSRAM写时序	96
图 4-29 NAND控制器读操作波形	98
图 4-30 NAND控制器写操作波形	98
图 4-31 NAND控制器在通用存储空间的读操作波形	99
图 4-32 NAND控制器在通用存储空间的写操作波形	99
图 4-33 USB时序：数据信号上升和下降时间定义	100
图 4-34 SDIO高速模式	102
图 4-35 SD默认模式	102
图 4-36 以太网SMI时序图	103
图 4-37 以太网RMII时序图	103
图 4-38 以太网MII时序图	104
图 4-39 DVP接口时序图	105
图 4-40 ADC精度特性	107
图 4-41 使用ADC典型的连接图	108
图 5-1 LQFP64封装尺寸	111
图 5-1 LQFP64封装焊盘建议 ⁽¹⁾	111
图 5-2 LQFP100封装尺寸	112
图 5-1 LQFP100封装焊盘建议 ⁽¹⁾	112

图 5-3 LQFP144封装尺寸	113
图 5-1 LQFP144封装焊盘建议 ⁽¹⁾	113
图 5-4 丝印说明图	114
图 7-1 N32H487系列订货代码信息图示	115

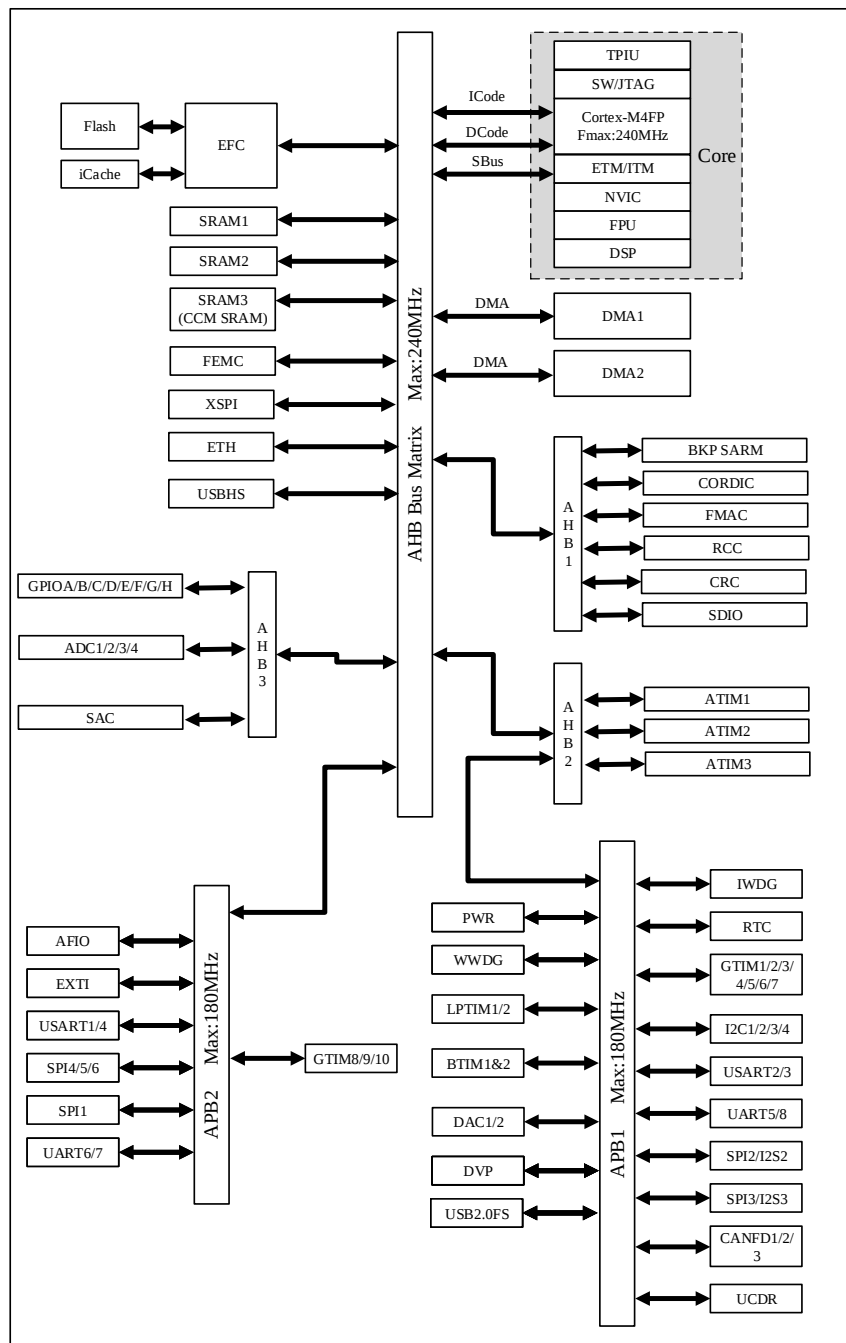
1 产品简介

N32H487系列微控制器产品采用32位ARM Cortex®-M4F内核，支持单精度浮点运算和DSP指令，最高工作主频240MHz，集成高达512KB嵌入式Flash，192KB SRAM(包括32KB CCM SRAM) + 4KB Backup SRAM，集成4个12bit 4.7Mps ADC、2个12bit DAC，集成USB FS Device、USB HS DualRole、U(S)ART、I2C、SPI、CAN-FD、Ethernet等通信接口，支持DVP接口，支持SDIO、FEMC、xSPI高速存储接口，支持I2S音频接口，支持多个高级定时器、通用定时器、基本定时器、低功耗定时器，内置密码算法硬件加速引擎，支持AES/TDES、SHA、SM3、SM4、MD5算法，支持TRNG真随机数发生器，支持CRC16/32。

N32H487系列产品可稳定工作于-40℃至+105℃的温度范围，供电电压1.8V至3.6V，提供多种功耗模式。

图 1-1给出了该系列产品的总线框图。

图 1-1 N32H487 系列框图



1.1 器件一览

表 1-1 N32H487 系列资源配置

器件型号		N32H487REL7	N32H487VEL7	N32H487ZEL7
工作环境		1.8~3.6V/-40~105℃		
CPU频率		ARM Cortex-M4F @240MHz, 300DMIPS		
Flash容量（KB）		512	512	512
Total SRAM (KB)	General SRAM	160	160	160
	CCM SRAM ⁽¹⁾	32		
	Backup SRAM	4		
定时器	ATIM	3*16bit		
	GTIM	7*16bit 3*16bit ⁽²⁾		
	BTIM	2*32bit		
	LPTIM	2*16bit		
	SysTick timer	1		
	WWDG	1*14bit		
	IWDG	1*12bit		
	RTC	Yes		
通讯	SPI/I2S	5/2	6/2	
	I ² C	4		
	USART	4		
	UART	4		
	USB FS Device	Yes		
	USB HS DualRole	Yes		
	FDCAN	3		
	Ethernet	Yes		
存储扩展	XSPI	Yes		
	FEMC	No	Yes ⁽³⁾	Yes
	SDIO	Yes		
人机交互	DVP	Yes		
GPIO WKUP Pins		54 4	85 5	118 5
DMA Number of channels		2 16Channel		
12bit ADC Number of channels		4 26Channel	4 42Channel	4 51Channel
12bit DAC Number of channels		2 2 External		
算法支持		DES/3DES、AES、SHA1/SHA224/SHA256、SM3、SM4、MD5、CRC16/CRC32		
TRNG		Yes		
Cordic		Yes		
FMAC		Yes		

安全保护	读写保护（RDP/WRP）、存储加密、分区保护、安全启动		
封装	LQFP64	LQFP100	LQFP144

注：

1. CCM SRAM 上电默认是通用 SRAM，用户可以配置为 CCM SRAM
2. 支持刹车，通道 1 支持互补通道输出
3. 仅支持地址总线 and 数据总线复用

2 功能简介

2.1 处理器内核

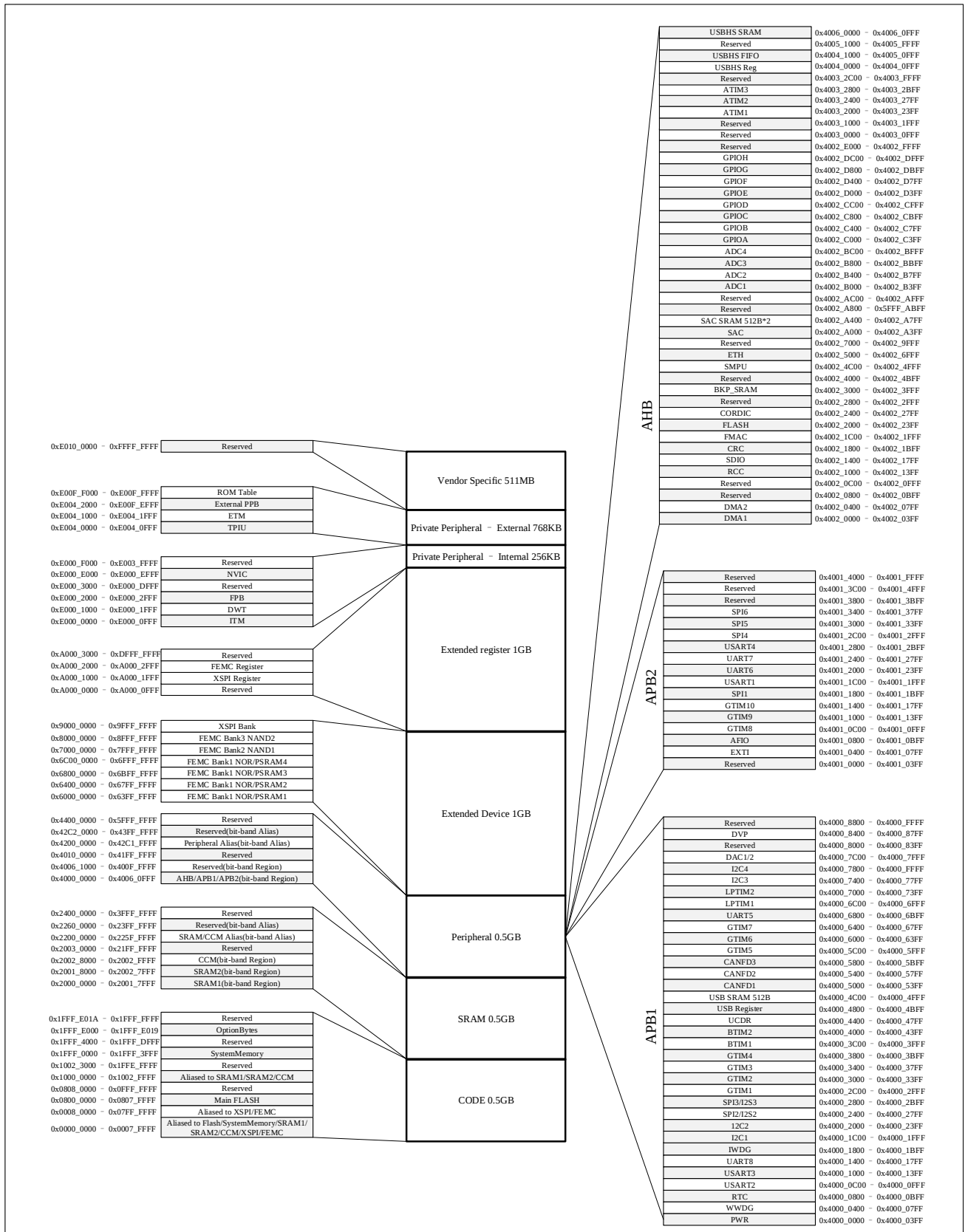
N32H487系列集成ARM Cortex™-M4F处理器，支持浮点运算处理单元（FPU）、DSP和并行计算指令，提供300DMIPS的优异性能。同时其高效的信号处理能力与Cortex-M系列处理器的低功耗，低成本和易于使用的优点组合，用以满足需要控制和信号处理混合能力且易于使用的应用场景。

ARM Cortex™-M4F 32位精简指令集处理器具有优异的代码效率。

2.2 存储器

N32H487系列器件包含嵌入式加密闪存（Flash）存储器、嵌入式SRAM，下图为存储器地址映射图。

图 2-1 存储器映射图



2.2.1 嵌入式闪存存储器

片内集成从512K字节嵌入式闪存（FLASH），用于存放程序和数据，页面大小8Kbyte，支持页擦除、双字

写、字读、半字读、字节读操作。

支持存储加密保护，写入自动加密、读出自动解密（包括程序执行操作）。

支持用户分区管理，最多可分为3个用户分区，不同用户之间不可相互访问数据（仅可执行代码）。

2.2.2 嵌入式 SRAM

片内集成多达 192KB 的 SRAM(包括 160KB 通用 SRAM 和 32KB CCM SRAM)和 4KB Backup SRAM，具体如下：

160KB 通用 SRAM，支持奇偶校验。

32KB CCM SRAM，上电默认为通用 SRAM，可配置为 CCM SRAM，支持 ECC。

4KB BKP SRAM 容量，支持 ECC，在 VBAT 和 Standby 模式下数据可选保持，其他工作模式(Run/Sleep/Stop0)数据可以正常保持。。

2.2.3 嵌套的向量式中断控制器(NVIC)

主要特性如下：

- 107 个可屏蔽中断通道（不包含 16 个 Cortex-M4 的中断线）。
- 16 个可编程的优先等级（使用了 4 位中断优先级）；
- 低延迟的异常和中断处理；
- 电源管理控制；
- 系统控制寄存器的实现；

嵌套向量中断控制器（NVIC）和处理器核的接口紧密相连，可以实现低延迟的中断处理和高效地处理晚到的中断。嵌套向量中断控制器管理着包括内核异常等中断。

2.3 外部中断/事件控制器(EXTI)

外部中断/事件控制器包含 25 个产生中断/事件触发的边沿检测电路，每条输入线可以独立地配置脉冲或挂起输入类型，以及上升沿、下降沿或者双边沿 3 种触发事件类型，也可以独立地被屏蔽。挂起寄存器保持着状态线的中断请求，可通过在挂起寄存器的对应位写‘1’操作，清除中断请求。

2.4 时钟系统

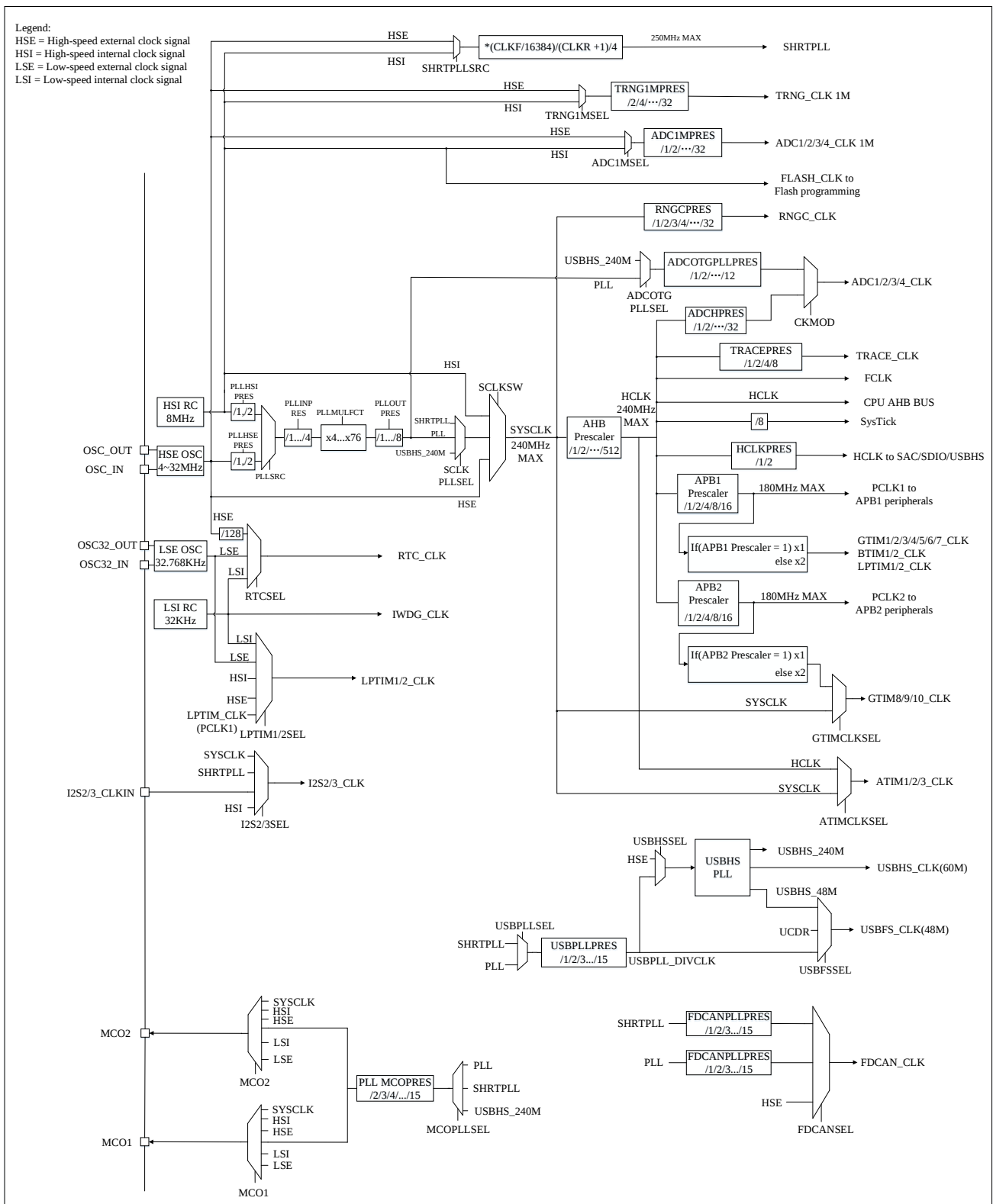
提供多种时钟源供用户选择，包括内部高速 RC 时钟 HSI（8MHz），内部低速时钟 LSI（32KHz），外部高速时钟 HSE（4MHz~32MHz），外部低速时钟 LSE（32.768KHz）。

系统时钟来源可选 HSI、HSE、PLL、SHRTPLL、USBHS240M。复位时内部 HSI 时钟被默认设置为系统时钟，随后用户可以选择外部具有失效监控功能的 HSE 时钟；当检测到外部时钟失效时，它将被隔离，系统将自动地切换到 HSI，如果使能了中断，软件可以接收到相应的中断。

多个预分频器用于配置 AHB 的频率、高速 APB(APB2)和低速 APB(APB1)区域。AHB 的最高频率是 240MHz，APB2 的最高频率是 180MHz，APB1 的最高频率为 180MHz。

参考下图时钟树。

图 2-2 时钟树



2.5 启动模式

在系统启动时，可以通过BOOT0引脚和选项字节boot配置来选择在复位后的启动模式：

- 从主闪存存储器(Main Flash)启动，包括 Main Flash 前 bank (0x0800_0000) 和后 bank (0x0804_0000) 启动

- 从系统存储器(System Memory)启动
- 从内置 SRAM 启动

启动加载程序(Bootloader)存放于系统存储器中，可以通过 USART1 和 USB 接口对 FLASH Memory 进行编程。

还可以通过配置 RCC_BOOTREMAP.REMAPSEL[2:0]进行物理 0 号地址重映射：

- 从 xSPI 外部存储器 remap 启动
- 从 FEMC 外部存储器 remap 启动

2.6 供电方案

4个外部电源：VDD、VDDA、VREF、VBAT。其中VDD是芯片电源，主要给供电系统、时钟系统供电；VDDA为模拟外设电源，主要给模拟外设供电；VREF给模拟外设提供参考电源，以提供更高的精度。VBAT连接电池，为备份域提供电源。

5个电源区域，通过外部电源给不同电源区域供电：

- V_{DD} 域：电压范围为 1.8V~3.6V，主要为 MR、大部分 GPIO、HSE、HSI、PLL、POR/PDR、BOR、PVD、USB PHY 供电。
- V_{DDA} 域：电压范围为 1.8V~3.6V，主要为 ADC、DAC、TS 等供电。
- V_{DDBK} 域：电压范围为 1.8V~3.6V，主要为 WKUP 引脚、NRST、PC13/14/15、LSE、LSI 等供电。
- V_{DDD} 域：电压为 1.1V 或 0.9V，主要为 CPU、AHB、APB、SRAM、FLASH、RCC、TRNG 和大部分外设供电
- V_{DDDBK} 域：电压为 0.9V 或 0.8V，主要为 PWR、Backup SRAM(4KB)、RTC、LPTIM、WKUP 引脚、NRST、PC13/14/15、备份 IOM、IWDG 和 RCC_BDCTRL 寄存器供电

2.7 复位

内部集成了上电复位(POR)和掉电复位(PDR)电路，这部分电路始终处于工作状态，保证系统在供电超过1.8V时工作；当V_{DD}低于设定的阈值(V_{POR/PDR})时，置器件于复位状态，而不必使用外部复位电路。

2.8 可编程电压监测器

内置一个可编程电压监测器(PVD)，它监视V_{DD}/V_{DDA}供电并与阈值V_{PVD}比较，当V_{DD}低于或高于阈值V_{PVD}时将产生中断，中断处理程序可以发出警告信息。PVD功能需要通过程序开启。关于V_{POR/PDR}和V_{PVD}的值参考表 4-6。

2.9 低功耗模式

N32H487 支持四种低功耗模式：

- SLEEP模式

在SLEEP模式下，只有CPU停止，所有外设处于工作状态并可在发生中断/事件时唤醒CPU。

- STOP0模式

STOP0模式基于Cortex-M4F深度睡眠模式，在SRAM和寄存器内容不丢失的情况下，STOP0模式可以达到较低的电能消耗。在STOP0模式下，主电源域的大部分时钟关闭，例如PLL、HSI、HSE。

唤醒：可以通过任意配置成EXTI的信号把芯片从STOP0模式中唤醒，EXTI信号可以是外部16个EXTI信号（I/O相关）、PVD的输出、RTC唤醒、RTC闹钟等。

- STANDBY模式

在STANDBY模式下可以达到最低的电流消耗状态。内部的电压调压器被关闭，PLL、HSI的RC振荡器和HSE

晶体振荡器也被关闭；进入STANDBY模式后，大部分寄存器的内容将丢失，备份寄存器的内容仍然保留，backup SRAM可选保持，备份域电路仍工作。

唤醒：NRST上的外部复位信号、IWDG复位、WKUP引脚上的边沿、RTC唤醒或RTC的闹钟，LPTIM唤醒事件。

■ VBAT模式

在任何时候，只要 V_{DD} 掉电时，都将自动进入 VBAT 模式。在 VBAT 模式下，除了 NRST、WKUP、PC13_TAMPER、PC14、PC15 之外，大多数 I/O 引脚处于高阻状态。

唤醒：VDD 开启

2.10 直接存储器存取(DMA)

DMA控制器总共可以访问如下从机：Flash、Sram1、Sram2、CCM Sram3、FEMC、XSPI、CRC、SDIO、FMAC、CORDIC、APB1、APB2、ATIM、ADC、DAC。

DMA控制器由CPU控制以执行从源到目的的快速数据移动。配置完成后，无需CPU干预即可传输数据。因此，可以释放CPU用于其他计算/控制任务或节省整体系统功耗。

芯片有两个DMA（DMA1、DMA2）控制器，每个DMA控制器有8个逻辑通道。每个逻辑通道用于服务来自单个或多个外设的内存访问请求。内部仲裁器控制不同DMA通道的优先级。

主要特性如下：

- 16 个可独立配置的 DMA 通道：DMA1 和 DMA2 各有 8 个通道。
- 支持内存到内存、内存到外设和外设到内存三种传输类型。
- 每个 DMA 通道支持硬件请求和软件触发来启动传输，并由软件配置。
- 每个 DMA 通道都有专用的软件优先级（DMA_CHCFGx.PRIOLVL[1:0]位，对应 4 个优先级），可以单独配置。具有相同软件优先级的通道将进一步比较硬件索引（通道号）以确定最终优先级（索引号越低的通道优先级越高）。
- 可配置的源和目标大小。地址设置应与数据大小相对应。
- 每个通道可配置循环传输模式。
- 每个通道有 3 个独立的事件标志和中断（传输完成、半传输、传输错误）和 1 个全局中断标志（由 3 个事件的逻辑或设置）。
- 可访问从机：Flash、Sram1、Sram2、CCM Sram3、FEMC、XSPI、CRC、SDIO、FMAC、CORDIC、APB1、APB2、ATIM、ADC、DAC。
- 可配置数据传输数（0~65535）。
- 支持突发传输，突发长度可配置，可设置 1/2/3/4/5/6/7/8 单元

2.11 实时时钟(RTC)

RTC是一组连续运行的计数器，内置日历时钟模块，可提供万年历功能，还具有闹钟中断和周期性中断功能。

主要特性如下：

- 实时时钟（RTC）是一个独立的 BCD 定时器/计数器
- 软件支持夏令时补偿
- 可编程周期性自动唤醒定时器
- 两个 32 位寄存器包含时、分、秒、年、月、日（几号）、星期（星期几）
- 独立的 32 位寄存器包含亚秒

- 两个编程闹钟
- 两个 32 位寄存器包含编程闹钟时、分、秒、年、月、日（几号）、星期（星期几）
- 两个独立的 32 位寄存器包含编程闹钟亚秒
- 数字精密校准功能
- 参考时钟检测：一个更加精确的外部时钟源（50 或 60Hz）能够用于改进日历精度
- 三个可配置滤波和内部上拉的入侵检测事件
- 时间戳功能
- 20 个备份寄存器，可在低功耗模式下保持数据
- 多个中断/事件唤醒源，包括闹钟 A、闹钟 B、唤醒定时器、时间戳、入侵
- RCC 寄存器使能 RTC 模块且电压保持在工作范围内，RTC 在任何模式下都不会停止（包括 RUN 模式、SLEEP 模式、STOP0 模式、STANDBY 模式和 VBAT 模式）
- RTC 提供多种唤醒源可以使 MCU 从所有的低功耗模式下唤醒（SLEEP 模式，STOP0 模式和 STANDBY 模式）

2.12 定时器和看门狗

N32H487 支持最多 3 个高级定时器、10 个通用定时器、2 个基本定时器、2 个低功耗定时器，以及 1 个独立看门狗定时器、1 个窗口看门狗定时器和 1 个系统滴嗒定时器。

下表比较了高级定时器、通用定时器、基本定时器和低功耗定时器的功能：

表 2-1 定时器功能比较

定时器	计数器分辨率	计数器类型	预分频系数	捕获/比较通道	互补输出
ATIM1~3	16位	向上， 向下， 向上/下	1~65536之间的任意整数	4	4
GTIM1~7	16位	向上， 向下， 向上/下	1~65536之间的任意整数	4	无
GTIM8~10	16位	向上， 向下， 向上/下	1~65536之间的任意整数	4	1
BTIM1~2	32位	向上	1~65536之间的任意整数	0	无
LPTIM1~2	16位	向上	1、2、4、8、16、32、64、128	0	无

2.12.1 基本定时器(BTIM1~2)

基本定时器包含一个32位自动装载计数器。

主要特性如下：

- 32 位自动重载向上计数计数器。
- 16 位可编程预分频器。（分频系数可配置为 1 到 65536 之间的任意值）
- 产生中断/DMA 的事件如下：

2.12.2通用定时器(GTIM1~7)

通用定时器（GTIM1/ GTIM2/ GTIM3/ GTIM4/ GTIM5/ GTIM6/ GTIM7）主要用于以下场合：对输入信号进行计数、测量输入信号的脉冲宽度和产生输出波形等。

主要特性如下：

- 16 位自动装载计数器。（可实现向上计数、向下计数、向上/下计数）。
- 16 位可编程预分频器。（分频系数可配置为 1 到 65536 之间的任意值）
- GTIMx 最多支持 4 个通道
- 通道工作模式：PWM 输出、输出比较、单脉冲模式输出、输入捕获
- 如下事件发生时产生中断/DMA：
 - ◆ 更新事件
 - ◆ 触发事件
 - ◆ 输入捕获
 - ◆ 输出比较
- 可通过外部信号控制定时器
- 多个定时器内部连接在一起，以实现定时器的同步或链接
- 增量（正交）编码器接口：用于追踪运行轨迹和解析旋转方位
- 霍尔传感器接口：用于三相电机控制

2.12.3通用定时器(GTIM8~10)

通用定时器（GTIMx）主要用于以下场合：对输入信号进行计数、测量输入信号的脉冲宽度和产生输出波形等。通用定时器具有互补输出功能、死区插入和刹车功能。适用于电机控制。

主要特性如下：

- 16 位自动装载计数器。（可实现向上计数、向下计数、向上/下计数）
- 16 位可编程预分频器。（分频系数可配置为 1 到 65536 之间的任意值）
- 可编程重复计数器
- GTIMx 最多 5 个通道
- 4 个捕获/比较通道，工作模式为：PWM 输出、输出比较、单脉冲模式输出、输入捕获
- 1 个支持数字滤波的刹车输入信号，用于将定时器的输出信号置于安全的用户可选配置中
- 如下事件发生时产生中断/DMA：
 - ◆ 更新事件
 - ◆ 触发事件
 - ◆ 输入捕获
 - ◆ 输出比较
 - ◆ 刹车信号输入
- 死区时间可编程的互补输出

◆ 对于 GTIMx，通道 1 支持此功能

- 可通过外部信号控制定时器
- 多个定时器内部连接在一起，以实现定时器的同步或链接
- 增量（正交）编码器接口：用于追踪运行轨迹和解析旋转方位
- 霍尔传感器接口：用于三相电机控制
- 触发输入作为外部时钟或者逐周期电流管理

2.12.4 高级定时器(ATIM1~3)

高级控制定时器（ATIMx）主要用于以下场合：对输入信号进行计数、测量输入信号的脉冲宽度和产生输出波形等。高级定时器具有互补输出功能、死区插入和刹车功能。适用于电机控制。

主要特性如下：

- 16 位自动装载计数器。（可实现向上计数、向下计数、向上/下计数）
- 16 位可编程预分频器。（分频系数可配置为 1 到 65536 之间的任意值）
- 可编程重复计数器
- ATIMx 最多 9 个通道
- 4 个捕获/比较通道，工作模式为：PWM 输出、输出比较、单脉冲模式输出、输入捕获
- 2 个支持数字滤波的刹车输入信号
- 如下事件发生时产生中断/DMA：
 - ◆ 更新事件
 - ◆ 触发事件
 - ◆ 输入捕获
 - ◆ 输出比较
 - ◆ 刹车信号输入
- 死区时间可编程的互补输出
 - ◆ 对于 ATIMx，通道 1、2、3、4 支持此功能
- 可通过外部信号控制定时器
- 多个定时器内部连接在一起，以实现定时器的同步或链接
- 增量（正交）编码器接口：用于追踪运行轨迹和解析旋转方位
- 霍尔传感器接口：用于三相电机控制
- 触发输入作为外部时钟或者逐周期电流管理

2.12.5 低功耗定时器(LPTIM1~2)

LPTIM 是一个具有多个时钟源的 16 位定时器，它可以在所有功耗模式下保持运行。LPTIM 可以在没有内部时钟源的情况下运行，可以用作“脉冲计数器”。此外，LPTIM 可以将系统从低功耗模式唤醒，以极低的功耗实现“超时功能”。

主要特性如下：

- 16 位向上计数器
- 3bit 预分频，8 种分频因子（1、2、4、8、16、32、64、128）

- 多个时钟源
 - ◆ 内部时钟源：LSE, LSI, HSI, HSE 或者 APB1 时钟
 - ◆ 外部时钟源：通过 LPTIM Input1 输入的外部时钟源（工作时无 LP 振荡器运行，用于脉冲计数器应用）
- 16 bit 自动装载寄存器（LPTIM_ARR）
- 16 bit 比较寄存器（LPTIM_CMP）
- 连续或单触发计数模式
- 可编程软件或硬件输入触发
- 用于过滤毛刺的可编程数字滤波器
- 可配置输出（PWM）
- 可配置 IO 极性
- 编码器模式
- 脉冲计数模式，支持单脉冲计数、双脉冲计数（正交和非正交）

2.12.6 系统时基定时器(Systick)

这个定时器专用于实时操作系统，也可当成一个标准的递减计数器。

它具有下述特性：

- ◆ 24 位的递减计数器
- ◆ 自动重加载功能
- ◆ 当计数器为 0 时能产生一个可屏蔽系统中断
- ◆ 可编程时钟源

2.12.7 看门狗定时器(WDG)

内置独立看门狗（IWDG）和窗口看门狗（WWDG）定时器，解决软件错误导致的问题。看门狗定时器使用非常灵活，提高了系统的安全性和定时控制的准确性。

独立看门狗（IWDG）

独立看门狗（IWDG）由运行在32KHz的低速内部时钟（LSI时钟）驱动，在死循环事件或MCU卡死发生时，它仍然可以运行。这可以提供更高的安全级别、定时精度和看门狗的灵活性。它可以通过重置来解决由于软件故障引起的系统故障。IWDG最适合需要看门狗在主应用程序之外作为完全独立进程运行但时序精度限制较低的应用程序。

当电源控制寄存器PWR_CTRL2.IWDGRSTEN位置‘1’，IWDG计数器达到0时，会产生系统复位（若该位置‘0’，IWDG会计数但不产生复位）。

主要特性如下：

- 独立的 12 位递减计数器
- RC 振荡器提供独立的时钟源，可以工作在 SLEEP、STOP0 和 STANDBY 模式
- 可以匹配复位和低功耗唤醒
- 当递减计数器达到 0x000 时，系统复位（如果激活了看门狗）

窗口看门狗（WWDG）

窗口看门狗（WWDG）的时钟是APB1时钟频率除以4096得到的，通过时间窗口的配置来检测程序运行是否异常。因此，WWDG适用于精确定时，常用于监控因外部干扰或无法预见的逻辑条件导致应用程序偏离其正常操作顺序的软件故障。当WWDG递减计数器在达到窗口寄存器值之前刷新或WWDG_CTRL.T6位变为0之后，发生系统复位。

主要特性如下：

- 14 位独立递减计数器可编程
- WWDG 启用后，在以下情况下会发生复位
 - ◆ 递减计数器的值小于 0x40
 - ◆ 当递减后的计数器值大于窗口寄存器的值时，重新加载
- 提前唤醒中断：如果看门狗启动并且中断使能，当计数值达到 0x40 时会产生唤醒中断（WWDG_CFG.EWINT）

2.13 I²C 总线接口

I²C(inter-integrated circuit)总线是一种广泛应用的总线结构，它只有两根双向线，即数据总线SDA和时钟总线SCL，通过这两根线，所有与I²C总线兼容的设备都可以通过I²C总线彼此直接通信。

I²C 接口连接微控制器和串行 I²C 总线，可用于 MCU 和外部 I²C 设备的通讯。I²C 接口模块实现了 I²C 协议的标速模式和快速模式，具备 CRC 计算和校验功能、支持 SMBus(系统管理总线)和 PMBus (电源管理总线)，此外它提供多主机功能，控制所有 I²C 总线特定的时序、协议、仲裁。I²C 接口模块也支持 DMA 模式，可有效减轻 CPU 的负担。

I2C 接口的主要功能描述如下：

- 同一接口既可实现主机功能又可实现从机功能
- 是并行总线到 I²C 总线协议的转换器
- 支持 7 位和 10 位的地址模式和广播寻址
- 作为 I²C 主设备可以产生时钟、起始信号和停止信号
- 作为 I²C 从设备具有可编程的 I²C 地址检测、停止位检测的功能
- 支持标速(最高 100kHz)、快速(最高 400kHz)模式和快速+(最高 1MHz)模式
- 支持中断向量，字节成功传输中断和错误事件中断
- 可选的时钟延展功能
- 支持 DMA 模式
- 可选择的 PEC（报文错误检测）生成和校验
- 兼容 SMBus 2.0 和 PMBus
- 支持 FIFO 模式

2.14 通用同步异步收发器(USART)

通用同步异步收发器（USART）是一种全双工串行数据交换接口，支持同步或异步通信。可灵活配置，以便于与多种外部设备进行全双工数据交换。

USART 接口发送与接收波特率可配置，也支持通过 DMA 进行连续通信。USART 还支持多处理器通信、LIN 模式、同步模式、单线半双工通信、智能卡异步协议、IrDA SIR ENDEC 功能、以及硬件流控制功能。

USART 主要特性如下：

- 支持全双工,异步通信

- 支持单线半双工通信
- 波特率可配置，最高波特率可达 15Mbit/s
- 支持 8 倍或 16 倍过采样
- 支持 8bit 或 9bit 数据帧
- 支持两个用于收发数据的内部 FIFO
- 支持 1bit 或 2bit 停止位
- 支持硬件生成校验位及校验位检查
- 支持硬件流控: RTS、CTS
- 支持 DMA 收发
- 支持多处理器通信：如果地址不匹配，则进入静默模式，可通过空闲总线检测或地址标识唤醒
- 支持同步模式，允许用户在主模式下控制双向同步串行通信
- 支持智能卡异步协议，符合 ISO7816-3 标准
- 支持串行红外协议（IrDA SIR）编码与解码，提供正常与低功耗两种运行模式
- 支持 LIN 模式
- 支持多钟错误检测：数据溢出错误、帧错误、噪声错误、检验错误
- 支持多个中断请求：发送数据寄存器为空、CTS 标志、发送完成、数据已接收、数据溢出、总线空闲、检验错误、LIN 模式断开帧检测、以及多缓冲区通信中的噪声标志/溢出错误/帧错误

模式配置：

通信模式	USART1	USART2	USART3	USART4	UART5	UART6	UART7	UART8
异步模式	Y	Y	Y	Y	Y	Y	Y	Y
多处理器	Y	Y	Y	Y	Y	Y	Y	Y
LIN	Y	Y	Y	Y	Y	Y	Y	Y
同步模式	Y	Y	Y	Y	N	N	N	N
单线模式（半双工）	Y	Y	Y	Y	Y	Y	Y	Y
智能卡模式	Y	Y	Y	Y	N	N	N	N
IrDA 红外模式	Y	Y	Y	Y	Y	Y	Y	Y
DMA 通讯模式	Y	Y	Y	Y	Y	Y	Y	Y
硬件流控模式	Y	Y	Y	Y	Y	Y	Y	Y

Y = 支持该模式，N = 不支持该模式

2.15 数据波特率可变的控制器局域网(FDCAN)

N32H487提供3个FDCAN，符合ISO 11898-1:2015标准，支持CAN 2.0A/B与CAN FD协议，兼容非ISO标准的Bosch协议。

所有 FDCAN 模块共享一个消息 RAM 区域，用于接收消息过滤器、接收 FIFO、接收缓冲区、发送缓冲区以及发送事件 FIFO。消息 RAM 位于 MCU 内部 SRAM 中，起始地址可配置，最大可分配 4480 字（32bit）。

主要特性如下：

- 符合 ISO 11898-1:2015 和 ISO 11898-4 标准
- 支持 CAN FD，最多 64 字节数据
- 支持 CAN 错误日志记录
- 支持 AUTOSAR 标准

- 支持 SAE J1939 标准
- 增强的接收过滤器功能
- 两个可配置的接收 FIFO
- 接收高优先级消息时单独发出信号指示
- 最多 64 个专用接收缓冲区
- 最多 32 个专用发送缓冲区
- 可配置的发送 FIFO 或队列
- 可配置的发送事件 FIFO
- 支持可配置的消息 RAM，所有 FDCAN 控制器共享
- 可编程的环回测试模式
- 可屏蔽的模块中断
- 两个时钟域：CAN 内核时钟和 APB 总线时钟
- 支持掉电模式

2.16 串行外设接口/内置音频总线（SPI/I2S）

SPI允许芯片与外部设备以半/全双工、同步、串行方式通信。SPI可以被配置成主模式和多主模式，并为外部从设备提供通信时钟(SCK)。可用于多种用途，包括使用一条双向数据线的双线单工同步传输，还支持硬件CRC校验。

I2S 也是一种同步串行接口通讯协议。它支持四种音频标准，包括飞利浦 I2S 标准，MSB 和 LSB 对齐标准，以及 PCM 标准。它在全双工通讯中，可以工作在主和从 2 种模式下。当它作为主设备时，能通过接口向外部的从设备提供时钟信号。

SPI 接口的主要功能如下：

- 全双工和单工同步模式
- 支持主模式、从模式和多主模式
- 支持 8bit 或 16bit 数据帧格式
- 数据位顺序可编程
- 硬件或软件片选管理
- 时钟极性和时钟相位可配置
- 发送和接收支持硬件 CRC 计算及校验
- 支持DMA传输功能
- 接收/发送FIFO 8字节

I2S 接口的主要功能如下：

- 半双工和全双工同步模式
- 支持主模式和从模式操作
- 4 种音频标准可以支持：飞利浦 I2S 标准、MSB 对齐标准、LSB 对齐标准和 PCM 标准
- 音频采样频率可配置，范围从 8KHz 到 192KHz
- 稳态时钟极性可配置

- 数据方向 MSB
- 支持DMA传输功能
- 支持多种时钟源可选

2.17 多线串行外设接口（xSPI）

xSPI是用于单/双/四/八线SPI外设通信的接口。可以在间接和内存映射2种模式下工作。

支持间接模式：使用xSPI寄存器执行所有操作；内存映射模式：外部闪存映射至微控制器地址空间，系统将其视为内部存储空间。

主要特性如下：

- 可配置1/2/4/8位数据
- 支持Single SPI/Normal SPI、DUAL SPI、QUAD SPI、Dual-QUAD、OCTAL SPI模式
- 支持Motorola SPI:
 - ◆ Standard/Dual/Quad/Octal SPI
- 支持 SDR 和 DDR 模式
- 读取数据选通，数据掩码支持DDR传输
- 支持时钟延长
- 在间接模式和内存映射模式下，帧格式与操作码可软件配置
- 集成 FIFO 用于发送和接收
- 允许 8/16/32 位数据访问
- 专用16Word TX FIFO和16Word RX FIFO
- 支持DMA
- XIP模式支持SPI读写，支持串行NOR FLASH
 - ◆ 支持连续传输模式
 - ◆ 支持数据预取
- 支持XSPI外设执行代码自动解密，即XSPI外设代码密文存储，执行代码时读取密文自动解密为明文CPU执行，不影响对外设存储的访问速度，解密可软件控制使能/禁能，根密钥存放于NVR区，用户不可访问
- 支持串行NAND FLASH和PSRAM
- xSPI对外部存储进行读写访问，当做完xSPI初始化后，写外扩存储和读外扩存储之间或读外扩存储和写外扩存储之间不需要对xSPI做额外配置，即直接操作内存方式（通过SRAM地址）进行读写外扩存储
- 主机模式支持2个对外片选输出控制，从机模式支持1个片选输入，主机模式下所有复用为片选输出的IO，从机模式下都可复用为片选输入
- 支持多主仲裁功能

2.18 灵活的外部存储控制器（FEMC）

灵活的外部存储控制器（FEMC）用来访问各种片外存储器，可根据应用需要，方便地进行不同类型大容量静态存储器的扩展，能够在不增加外部接口的情况下同时扩展多种不同类型的静态存储器。所有的外部存储器共享FEMC控制器输出的地址、数据和控制信号，FEMC通过一个唯一的片选信号来区分不同的外部设

备。

主要特性如下：

- 支持外扩以下器件：
 - ◆ SRAM
 - ◆ PSRAM
 - ◆ ROM
 - ◆ NOR Flash
 - ◆ NAND Flash (SLC)
 - ◆ LCD (8080/6800)
- 支持两个 NAND 闪存块，硬件 1bit-ECC 可检测多达 8K 字节数据
- 支持对同步器件的成组 (Burst) 访问模式，如 NOR 闪存和 PSRAM
- 8 或 16 位数据总线
- 每一个存储器块都有独立的片选控制
- 通过时序编程可以支持各种不同的器件
- 根据外部存储器的数据宽度，将 32 位的 AHB 访问请求，自动转换为连续的 16 位或 8 位，实现和外部 16 位或 8 位存储器件的通信将 32 位的 AHB 访问请求，转换到连续的 16 位或 8 位的，对外部 16 位或 8 位器件的访问
- PSRAM 和 SRAM 器件支持写使能和字节选择输出

2.19 SDIO接口

SDIO接口定义了SD卡、SD I/O卡、多媒体卡(MMC)主机接口。它提供了AHB外设总线和多媒体卡(MMC)、SD存储卡、SDIO卡之间的数据传输。其中，所支持的多媒体卡系统规格书由MMCA技术委员会发布，可以在多媒体卡协会的网站上(www.mmca.org)获得，所支持的SD存储卡和SD I/O卡系统规格书可以通过SD卡协会网站(www.sdcard.org)获得。

主要特性如下：

- SD 卡：与 SD 存储卡规格版本 2.0 全兼容。
- SD I/O：与 SD I/O 卡规格版本 2.0 全兼容，支持两种不同的数据总线模式：1 位（默认）和 4 位。
- MMC：与多媒体卡系统规格书版本 4.2 及之前的版本全兼容。支持三种不同的数据总线模式：1 位（默认）、4 位和 8 位。
- 在 8 位数据总线模式下可达 50MHz 数据传输速率。
- 支持中断和 DMA 请求
- 数据和命令输出使能信号，用于控制外部双向驱动器。

注意：

1、SDIO 没有 SPI 兼容的通信模式

2、在多媒体卡系统规格书版本 2.11 中，定义 SD 存储卡协议只支持 I/O 模式的 SD 卡或复合卡中的 I/O 部分，不支持 SD 存储设备中很多需要的命令，比如擦除等一些命令在 SD I/O 设备中不起作用，因此 SDIO 也不支持这些命令。另外，SD 存储卡和 SD I/O 卡中有些命令是不同的，SDIO 也不支持这些命令。

SDIO 在同一时间仅支持一个 SD/SDIO/MMC 4.2 卡，但可以支持多个 MMC 版本 4.1 或以前版本的卡。

2.20 通用串行总线全速设备接口(USB_FS_Device)

通用串行总线全速设备接口（USB_FS_Device）模块是一个符合USB2.0全速协议的外设。它包含了物理层的USB PHY，不需要额外的PHY芯片。USB_FS_Device支持USB2.0协议中定义的控制传输、批量传输、中断传输和同步传输共四种传输类型。

主要特性如下：

- 符合 USB2.0 全速设备规格
- 最多支持 8 个可配置的 USB 端点
- 每个端点都支持 USB2.0 协议中的四种传输类型：
 - 控制传输
 - 批量传输
 - 中断传输
 - 同步传输
- 批量端点/同步端点支持双缓冲机制
- CRC(循环冗余校验)生成/校验，反向不归零(NRZI)编码/解码和位填充
- 支持 USB 挂起/恢复操作
- 帧锁定时钟脉冲生成

2.21 通用串行总线高速双角色接口(USB_HS_DualRole)

USB高速双角色接口（USB HS Dual Role），以下称USBHS。USBHS控制器旨在提供高速数据传输和连接外部设备的标准接口。USBHS支持Host模式和Device模式，USBHS包含了一个内部的USB高速PHY，可以配置成高速、全速，不再需要外部PHY芯片。USBHS可以支持USB 2.0协议所定义的所有四种传输方式（控制传输、批量传输、中断传输和同步传输）。另外，在USBHS内部还有一个DMA，可作为AHB总线主机在USBHS和系统之间加速数据传输。

主要特性如下：

- 支持 USB 2.0 高速（480Mb/s）/全速（12Mb/s）/低速（1.5Mb/s）Host 模式
- 支持 USB 2.0 高速（480Mb/s）/全速（12Mb/s）Device 模式
- 支持所有的 4 种传输方式：控制传输、批量传输、中断传输和同步传输；
- USBHS 内置高速 PHY，支持高速，全速和低速，无需外接 PHY
- 支持 HS SOF，FS SOF 和 LS Keep-alive 令牌
- SOF 脉冲可通过 PAD 输出
- SOF 脉冲通过内部连接到定时器 (TIMx)
- 支持 A-B 器件识别（ID 线）
- USBHS 内嵌 DMA，并可软件配置 AHB 的批量传输类型
- 具有省电功能，例如在 USB 挂起期间停止系统、关闭数字模块时钟、对 PHY 和 DFIFO 电源加以管理
- 具有 4 KB 专用 RAM
- Host 模式下包含 16 个主机通道，每个通道都支持任何类型的 USB 传输
- Host 模式下内置硬件调度器：

- 在周期性硬件队列中存储多达 16 个中断加同步传输请求
- 在非周期性硬件队列中存储多达 16 个控制加批量传输请求
- Host 模式下包含一个 RX FIFO、一个周期性传输 TX FIFO 和一个非周期性传输 TX FIFO
- Device 模式下包含 1 个双向控制端点 0，还包含 8 个 IN 端点和 7 个 OUT 端点，IN 端点和 OUT 端点均可配置为批量传输、中断传输或同步传输
- Device 模式包含一个共享 RX FIFO 和一个 TX-OUT FIFO，还包含 9 个专用 TX-IN FIFO
- 支持软断开功能

注：USBHS 使用高速模式时，需要使用 16MHz 外部晶体作为时钟源。

2.22 滤波算法加速器（FMAC）

滤波器数学加速单元对矢量进行算术运算，它包括一个乘法器、累加器以及地址生成逻辑，使其能够对本地存储器中的矢量元素进行索引。该单元支持输入和输出循环缓冲区，以便于实现包括有限冲激响应（FIR）滤波器和无限冲激响应（IIR）滤波器的数字滤波器。

该单元可使处理器免于频繁或冗长的滤波操作，从而释放处理器执行其他任务。在许多情况下，与软件实现相比，它可以加快此类计算的速度，从而加快关键时间任务的处理速度。

主要特性如下：

- 16 x 16 位乘法器
- 24 + 2 位累加器，带加法和减法功能
- 16 位定点输入和输出数据
- 256 x 16 位数据缓冲区
- 内存中最多可定义三个数据缓冲区（两个输入，一个输出）、由可编程基地址指针和相关大小寄存器定义
- 输入和输出缓冲区可循环使用
- 滤波器功能：FIR、IIR（直接形式 1）
- 矢量函数：点积、卷积、相关性
- 支持 DMA 读写数据

2.23 CORDIC 处理器（CORDIC）

CORDIC 硬件计算单元可对数学函数（主要是三角函数）进行硬件加速。常用于电机控制、计量、信号处理和许多其他应用中常用的数学函数运算。

主要特性如下：

- 支持旋转和向量计算模式。
- 支持圆坐标系和双曲线坐标系系统。
- 一旦计算开始，任何读取结果寄存器的操作都会插入总线等待状态，直到计算完成，因此计算结果可以在完成的时候被读走，不需要通过查询或者中断。
- 计算 10 种函数：sin, cosine, sinh, cosh, atan, atan2, atanh, modulus, square root, natural logarithm。
- 支持定点和浮点输入输出方式。

- 支持中断、查询以及 DMA 请求读写模式。
- 迭代精度可编程。

2.24 通用输入输出接口(GPIO)

芯片最多支持 118 个 GPIO，共被分为 8 组（GPIOA/GPIOB/GPIOC/GPIOD/GPIOE/GPIOF/GPIOG/GPIOH）。GPIO 端口和其他的复用外设共用引脚，用户可以根据需求灵活配置。每个 GPIO 引脚都可以独立配置成输出（推挽或开漏）、输入（浮空、上拉或下拉）或复用的外设功能端口。除了模拟功能引脚外，其他的 GPIO 引脚都有大电流通过能力。

GPIO 端口具有以下特征：

- 每个 GPIO 端口可由软件分别配置成以下模式：
 - ◆ 输入浮空
 - ◆ 输入上拉
 - ◆ 输入下拉
 - ◆ 模拟功能
 - ◆ 开漏输出，上下拉可配置
 - ◆ 推挽输出，上下拉可配置
 - ◆ 推挽复用功能，上下拉可配置
 - ◆ 开漏复用功能，上下拉可配置
- 独立的位设置或位清除功能
- 所有 IO 支持外部中断
- 所有 IO 支持低功耗模式唤醒，上升或下降沿可配置
 - ◆ 16 个 EXTI 可用于 STOP0 模式唤醒，所有 IO 可复用为 EXTI
 - ◆ PA0/PA2/PC5/PC13/PE6 可用于 STANDBY 模式唤醒
- 支持软件重映射 IO 复用功能
- 支持 GPIO 锁定机制，锁定后只能通过复位清除

每个 I/O 端口位可以任意编程，但必须按照 32 位字访问 I/O 端口寄存器（不允许 16 位半字或 8 位字节访问）。

2.25 模拟/数字转换器(ADC)

12 位 ADC 是使用逐次逼近的高速模数转换器。共有四个 ADC，（ADC1/ADC2，ADC3/ADC4）都可以组成双 ADC；ADC1/ADC2/ADC3 可以组成 3ADC。每个 ADC 最多有 19 个复用通道，各个通道的 A/D 转换通道可以在单次、连续、扫描，间断模式下执行。ADC 转换值存储（左对齐/右对齐）在 16 位数据寄存器中。可以通过模拟看门狗 1/2/3 检测输入电压是否在用户定义的高/低阈值内，并且 ADC 的输入时钟的最大频率为 80MHz。

ADC 主要特性描述如下：

- 支持 4 个 ADC，支持单端、差分输入
 - ◆ ADC1 支持 16 个外部通道，3 个内部通道；
 - ◆ ADC2 支持 18 个外部通道，1 个内部通道；
 - ◆ ADC3 支持 19 个外部通道；
 - ◆ ADC4 支持 19 个外部通道；

- 支持 12 位、10 位、8 位、6 位分辨率
 - ◆ 12bit 分辨率下最高采样速率 4.7MSPS
 - ◆ 10bit 分辨率下最高采样速率 6MSPS
 - ◆ 8bit 分辨率下最高采样速率 7.2MSPS
 - ◆ 6bit 分辨率下最高采样速率 9MSPS
- ADC 时钟源分为工作时钟源、采样时钟源和计时时钟源
 - ◆ 仅可配置 AHB_CLK 作为工作时钟源，最高可到 240MHz
 - ◆ 可配置 PLL 作为采样时钟源，最高可到 80MHz，支持分频 1, 2, 3, 4, 6, 8, 10, 12
 - ◆ 可配置 AHB_CLK 作为采样时钟源，最高可到 80MHz，支持分频 1, 2, 3, 4, 6, 8, 10, 12, 16, 32
 - ◆ 计时时钟用于内部计时功能，频率必须配置成 1MHz
- 支持触发采样，包括 EXTI/TIMER
- 所有通道的采样时间间隔可独立编程
- 每个 ADC 有 3 个模拟看门狗
- 当 ADC 准备好，采样完成，转换完成或者模拟看门狗 1/2/3 事件可触发中断
- 支持 4 种转换模式
 - ◆ 单次转换
 - ◆ 连续转换
 - ◆ 间断模式
 - ◆ 扫描模式
- 支持自校准
- 带内嵌数据一致性的数据对齐
- 启动转换方式
 - ◆ 通过软件来启动规则转换和注入转换
 - ◆ 通过极性可配置的外部触发器（GPIO 输入事件或内部定时器事件）来启动规则转换和注入转换
- 过采样
 - ◆ 可调节的过采样比率 x2, x4, x8, x16, x32, x64, x128, x256
 - ◆ 数据右移位 0-8 可配置
 - ◆ 16 位的数据结果寄存器
- 数据预处理
 - ◆ 支持增益补偿
 - ◆ 支持偏移补偿
- 多 ADC 模式
 - ◆ 双 ADC 模式：ADC1 和 ADC2 组合、ADC3 和 ADC4 组合
 - ◆ 三 ADC 模式：ADC1、ADC2、ADC3 组合
- ADC 的工作电压在 1.8V 到 3.6V 之间

- ADC 支持转换的电压在 V_{REF-} 和 V_{REF+} 之间

2.26 数字模拟转换(DAC)

DAC是数字/模拟转换器，主要是数字输入，电压输出。DAC数据有8位或12位两种模式，支持DMA功能。当DAC配置为12bit模式时，DAC数据可以左对齐或者右对齐；当DAC配置为8bit模式时，DAC数据可以右对齐。每个DAC都有一个独立的转换器，可独立的进行转换。在双DAC模式下，每个DAC既可以独立进行转换，也可以两个DAC（DAC1&DAC2组成一组）同时进行转换并更新。 V_{REF+} 通过引脚输入作为DAC参考电压，使DAC的转换数据精确度更高。

当DAC输出对内连接到芯片上的外设时，DACx_OUT引脚可以用作通用输入/输出（GPIO）。可以选择性地启用DAC输出缓冲器以获得高驱动输出电流。

主要特性如下：

- 支持 2 个 DAC，每个 DAC 对应一个独立的 DAC 转换器
- 支持 8 位或 12 位输出，数据在 12 位模式下分右对齐和左对齐两种模式
- 双 DAC 支持同步或者独立转换
- 每个 DAC 均支持 DMA 功能，并支持 DMA 下溢错误检测
- DMA 双数据模式可节省总线带宽
- 噪声波、三角波形、锯齿波生成
- DAC 输出支持与片上外设连接
- 缓冲器偏移校准
- 输入参考电压支持 V_{REF+}
- 外部事件触发转换

2.27 循环冗余校验计算单元(CRC)

该模块集成了 CRC32 和 CRC16 的功能，循环冗余校验（CRC）计算单元根据固定的生成多项式得到任意 CRC 计算结果。在其他应用中，CRC 技术主要用于验证数据传输或数据存储的正确性和完整性。EN/IEC 60335-1 提供了一种验证闪存完整性的方法。CRC 计算单元可以在程序运行时计算出软件的标识符，然后与连接时产生的参考标识符进行比较，然后存储在指定的内存空间中。

CRC32 主要特性如下：

- CRC32 ($X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$)
- 32 位待校验数据和 32 位输出校验码
- CRC 计算时间：1 个 AHB 时钟周期（HCLK）
- 通用 8 位寄存器（可用于存放临时数据）
- 循环冗余计算初始值可配置

CRC16 主要特性如下：

- CRC16 ($X^{16} + X^{15} + X^2 + 1$)
- 8 位待校验数据和 16 位输出校验码
- CRC 计算时间：1 个 AHB 时钟周期（HCLK）
- 可配置校验初始值，可配置待校验数据的大小端
- 支持 8bit LRC 校验值生成

◆ 循环冗余计算初始值可配置

2.28 密码算法硬件加速引擎(SAC)

内嵌算法硬件加速引擎，支持多种国际算法及国家密码对称密码算法和杂凑密码算法加速，相较于纯软件算法而言能极大的提高加解密速度。

硬件支持的算法如下：

- 支持 DES 对称算法
 - ✧ 支持 DES 和 3DES 加解密运算
 - ✧ TDES 支持 2KEY 和 3KEY 模式
 - ✧ 支持 CBC 和 ECB 模式
- 支持 AES 对称算法
 - ✧ 支持 128bit/192bit/ 256bit 密钥长度
 - ✧ 支持 CBC、ECB、CTR 模式
- 支持 SM4 对称算法
 - ✧ 支持 CBC、ECB 模式
- 支持 SHA 杂凑算法
 - ✧ 支持 SHA1/SHA224/SHA256
- 支持 MD5 摘要算法
- 支持 SM3 杂凑算法
- 支持随机数生成

2.29 以太网(ETH)

N32H487支持一个以太网外设模块，ETH包含10/100Mbps以太网MAC。ETH模块采用专用DMA优化数据帧的发送与接收性能，支持MII、RMII与物理层（PHY）通讯的标准接口，实现以太网数据帧的发送与接收。以太网模块遵守的标准如下：

- IEEE 802.3-2015，用于以太网 MAC、MII
- IEEE 1588-2008，用于精确网络时间同步
- AMBA 2.0，用于 AHB 主端口和 AHB 从端口
- RMII 联盟的 RMII 规范 1.2 版

主要特性如下：

2.29.1 MAC特性

MAC Tx和Rx通用特性

- 为应用提供独立的传输、接收和控制接口
- 支持以下 PHY 接口实现 10/100Mbps 数据传输速率：
 - MII，用于与外部快速以太网 PHY 通信
 - RMII，用于与外部快速以太网 PHY 通信
- 半双工操作：
 - 支持 CSMA/CD 协议
 - 支持背压流量控制
- 应用端 32 位数据传输接口
- 全双工流控操作（IEEE 802.3x 暂停数据包和优先级流量控制）

- 支持通过 RMON 或 MIB 计数器（RFC2819/RFC2665）进行强制网络统计
- IEEE 1588-2002 和 IEEE 1588-2008 中描述的以太网数据包时间戳（在 PTP 数据包的 Tx 或 Rx 状态中给出 64 位时间戳）
- 支持固定秒脉冲输出（PPS）
- 支持用于配置和管理 PHY 器件的 MDIO（Clause 22 和 Clause 45）主接口

MAC Tx特性

- 发送路径上插入前导码和 SFD
- 为应用程序传输的每个数据包提供单独的 32 位状态
- 基于每个数据包自动生成 CRC 和填充字节（PAD）
- 可编程数据包长度，以支持标准以太网数据包或高达 16KB 的巨型以太网数据包
- 可编程数据包间隙（40~96 位，步进长度为 8）
- IEEE 802.3x 流量控制会在流控输入从有效到无效的转换时自动传输零等待暂停数据包（全双工模式下）

MAC Rx特性

- 接收路径上自动剥离 PAD 和 CRC
- 接收路径上删除前导码和 SFD
- 可编程看门狗超时限制
- 灵活的地址过滤：
 - 4 个 48 位完美目的地址（DA）过滤器，每个字节都有掩码
 - 4 个 48 位源地址（SA）比较检查过滤器，每个字节都有掩码
 - 64 位哈希过滤器（Hash），适用于多播和单播（DA）地址
- 支持传送所有多播地址数据包
- 支持混合模式，不进行过滤，直接传送所有数据包，用于网络监控
- 传送所有传入数据包时（每次过滤时）均附有一份状态报告
- 附加的数据包过滤：
 - 基于 VLAN 标签：完美匹配和哈希过滤（基于外部或内部 VLAN 标签进行过滤）
- 支持 IEEE 802.1Q VLAN 标签检测和删除接收数据包中的 VLAN 标签
- 检测远程唤醒包和 AMD 魔术包
- 转发接收的暂停数据包至应用程序（全双工模式下）

2.29.2 事务层（MTL）特性

MTL Tx和Rx通用特性

- 32 位事务层模块（连接应用程序和 MAC）
- 使用包分隔符优化面向数据包的传输
- 基于同步 FIFO 控制器的单端口 RAM
- 可编程突发（burst）长度，可达 MTL Rx 队列或 Tx 队列大小的一半，以支持 MTL 配置中的突发数据传输
- 每个队列具备可编程阈值能力（阈值默认 64 字节）

MTL Tx特性

- 2KB 具有可编程阈值能力的发送 FIFO
- 发送路径上支持一个队列
- 存储转发模式或阈值模式（直通模式）
- 半双工模式下自动重传冲突报文
- 延迟冲突、过度冲突、过度延迟和欠载（underrun）时丢弃数据包
- 计算和插入 IPv4 报头校验和，以及 TCP、UDP 或 ICMP 校验和
- 通过为发送 FIFO 中丢弃的数据包（由于下溢）生成脉冲来进行统计
- 数据包级的控制：
 - 时间戳控制
 - CRC 和 PAD 控制

MTL Rx特性

- 2KB 具有可配置阈值的接收 FIFO
- 接收路径上支持一个队列
- 在 EOP/EOF 之后（阈值模式）和 SOP/SOF 之前，将 Rx 状态向量插入 Rx 队列
- 阈值模式（直通模式）下，可编程 Rx 队列阈值（默认固定 64 字节）
- 存储转发模式下，可以在接收时过滤所有错误数据包并且不将其转发至应用程序
- 支持转发矮小（长度不足）无误的数据包
- 通过为接收 FIFO 中丢失的数据包（由于溢出）生成脉冲来进行统计
- 根据 Rx 队列的填充级别自动生成暂定数据包控制信号或背压信号到 MAC

2.29.3DMA特性

- 32 位数据传输
- 发送路径和接收路径中分别具有单独的 DMA
- 以数据包分隔符优化面向数据包的 DMA 传输
- 支持以字节对齐的方式对数据缓存区寻址
- 支持双缓冲区（环形）描述符
- 描述符架构允许在最少 CPU 干预的情况下传输大数据块（每个描述符可传输多达 32K 字节的数据）
- 全面报告正常运行和传输错误的状态
- Tx DMA 和 Rx DMA 引擎的突发长度可单独编程，以优化主机总线利用率
- 可编程多种不同操作条件下所对应的中断
- 基于数据包的发送或接收完成中断控制
- 接收和发送引擎之间支持轮询或固定优先级仲裁
- 启动和停止模式
- 用于主机 CSR（控制状态寄存器）访问和主机数据接口的独立端口

2.30 DVP 接口

DVP是一个灵活、强大的CMOS光学传感器接口，可以非常方便地实现客户的图像采集需求，并且整个采集过程无需CPU干预。

本模块可以能够接收来自传统或ITU-R BT.656格式CMOS图像传感器的高速数据。以及支持其数据格式:YCbCr422和RGB565渐进式，压缩数据(JPEG)。

主要特性如下：

- 纯硬件采集方式
- 纯输入接口
- 支持 8 位、10 位、12 位和 16 位的传统同步并行接口
- 支持 8 位和 10 位的 ITU-R BT.656 视频格式
- 支持 8 位和 16 位的 YCbCr、YUV 和 RGB 数据格式
- 支持 8 位、10 位和 16 位的 Bayer 数据格式
- 支持时钟输出（通过 MCO 输出，典型值 48MHz），给外部 CMOS 光学传感器提供时钟；
- 输入像素时钟 DVP_PCLK、场同步信号 DVP_VSYNC、行同步信号 DVP_HSYNC 极性均可独立配置。
- 具有 16x4 字节 FIFO 接收像素数据
- 支持 FIFO 溢出保护
- 支持 DMA，采集图像全程无需 CPU 干预
- 采集图像大小必须为 4 字节的整数倍
- 支持对采集的图像数据硬件取反
- 最大支持 1280*720@30 hz。
- 支持连续模式和快照模式。
- 支持硬件裁剪。
- 支持多种数据格式：
 - YCbCr422 渐进式视频
 - RGB565 渐进式视频
 - 压缩数据(JPEG)

2.31 唯一设备序列号(UID)

N32H487系列产品内置两个不同长度的唯一设备序列号，分别为96位的UID(Unique device ID)和128位的UCID(Unique Customer ID)，这两个设备序列号存放在闪存存储器的系统配置块中，它们所包含的信息在出厂时编写，并保证对任意一个MCU微控制器在任何情况下都是唯一的，用户应用程序或外部设备可以通过CPU或SWD接口读取，不可被修改。

UID为96位，通常用来作为序列号或作为密码，在编写闪存时，将此唯一标识与软件加解密算法相结合，进一步提高代码在闪存存储器内的安全性，也可用于激活带安全功能的自举程序(Secure Bootloader)。

UCID为128位，遵守国民技术芯片序列号定义，它包含芯片生产及版本相关信息。

2.32 串行单线JTAG调试口(SWJ-DP)

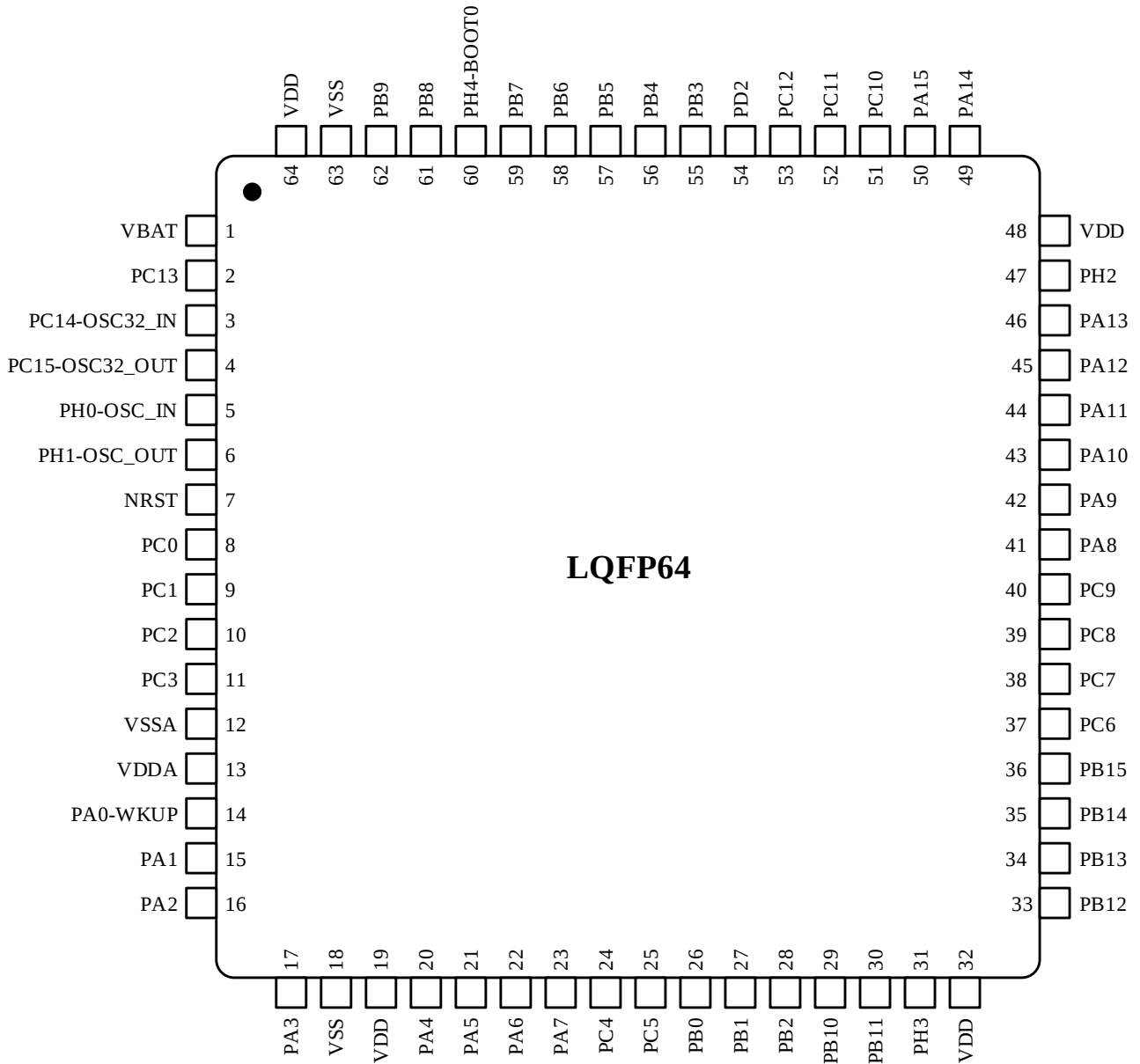
内嵌ARM的SWJ-DP接口，结合了JTAG和串行单线调试的接口，可以实现串行单线调试接口或JTAG接口的连接。JTAG的JTMS和JTCK信号分别与SWDIO和SWCLK共用引脚，JTMS脚上的一个特殊的信号序列用于在JTAG-DP和SW-DP间切换。

3 引脚定义和描述

3.1 封装示意图

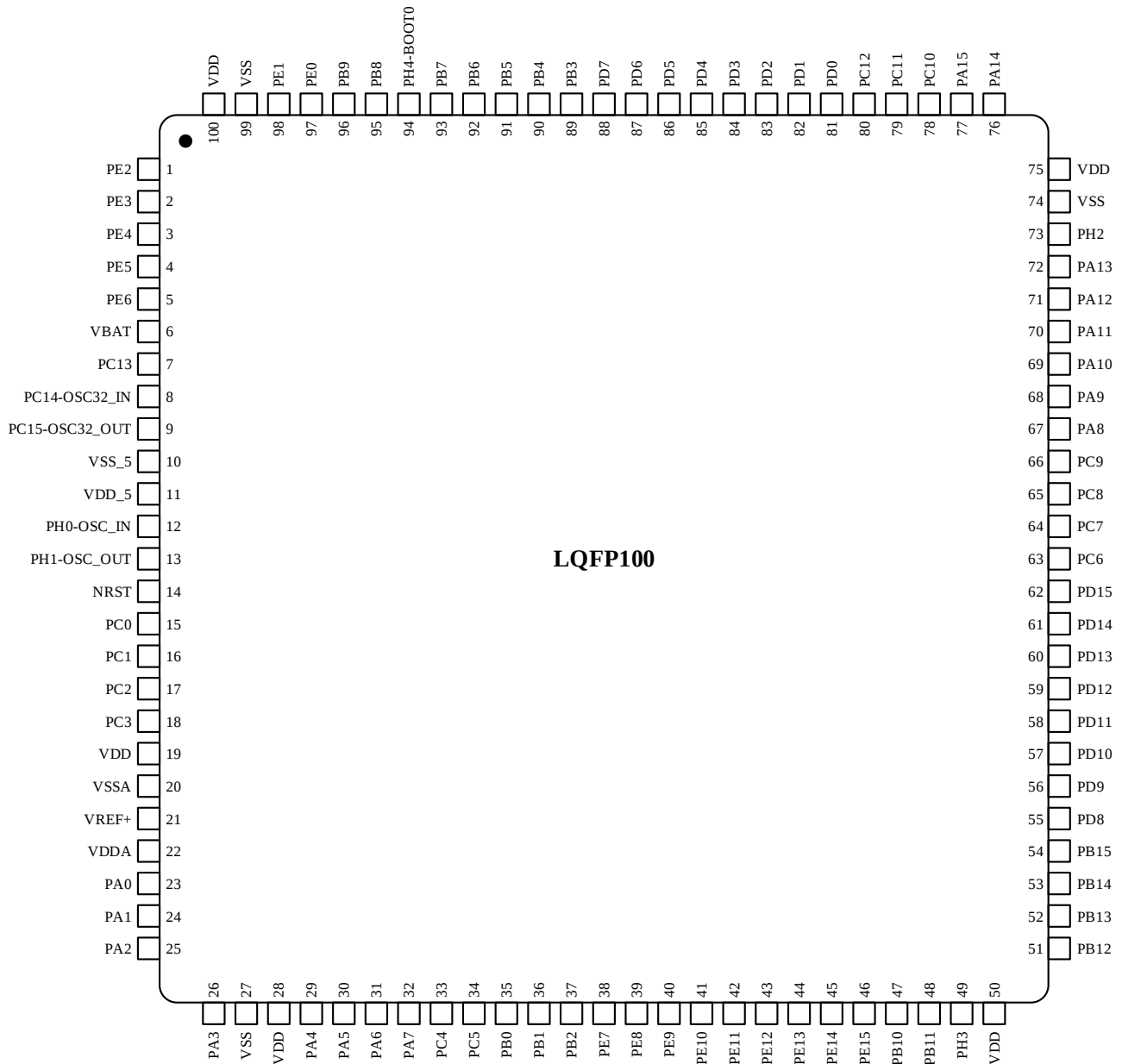
3.1.1 LQFP64

图 3-1 LQFP64 引脚分布



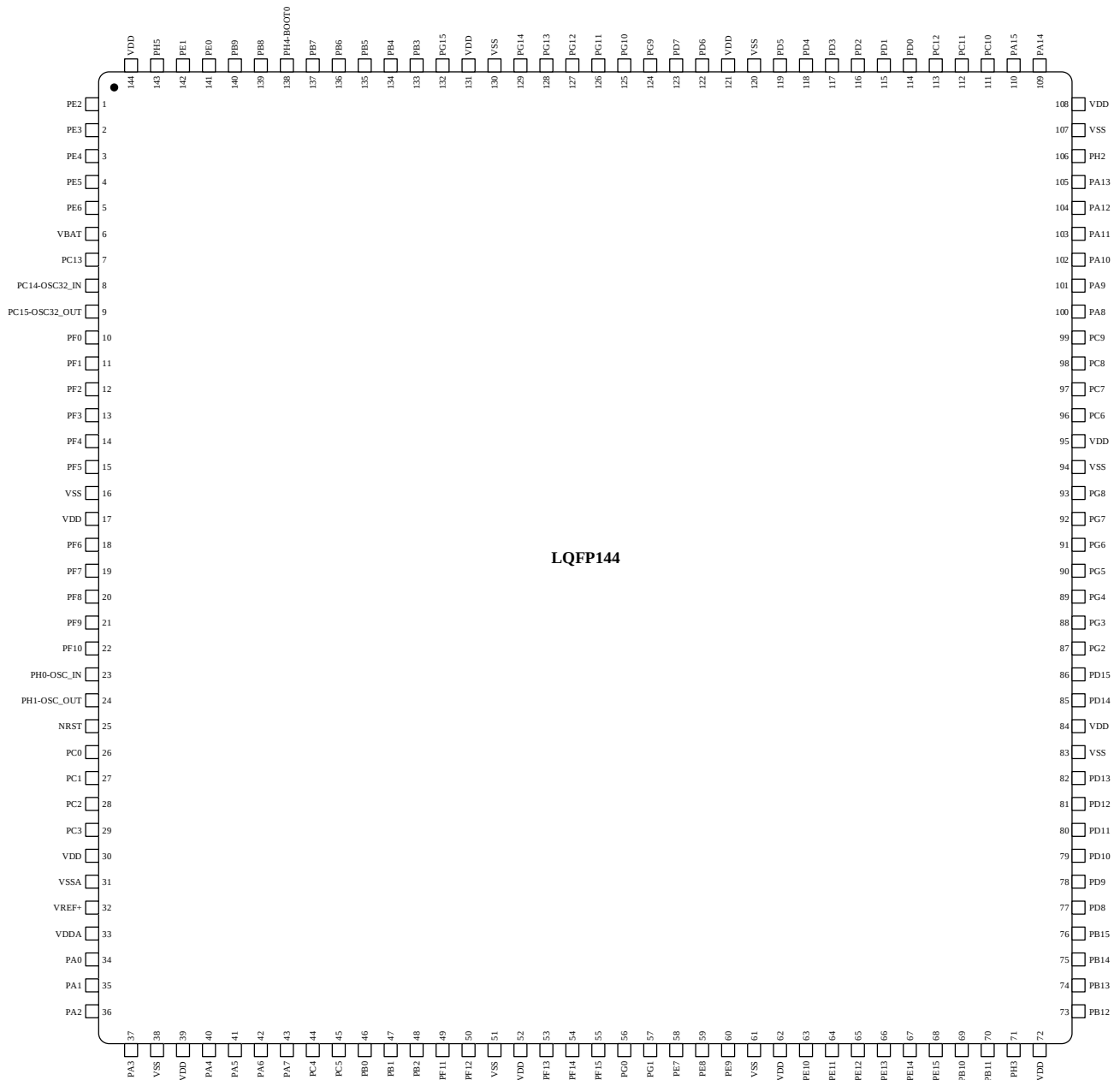
3.1.2 LQFP100

图 3-2 LQFP100 引脚分布



3.1.3 LQFP144

图 3-3 LQFP144 引脚分布



3.2 引脚复用定义

表 3-1 管脚定义

封装			管脚名称	类型 ⁽¹⁾	I/O 结构 ⁽²⁾	Fail-safe ⁽³⁾ 支持	主功能 (复位后)	可选的复用功能	
LQFP64	LQFP100	LQFP144						默认	重定义
-	1	1	PE2	I/O	FT	Yes	PE2	FEMC_A23 ETH_MII_TX_D3 GTIM2_CH1 SPI4_SCK ATIM3_CH1 USART4_TX DVP_HSYNC EVENTOUT	-
-	2	2	PE3	I/O	FT	Yes	PE3	FEMC_A19 GTIM2_CH2 SPI4_NSS ATIM3_CH2 USART4_RX DVP_VSYNC EVENTOUT	-
-	3	3	PE4	I/O	FT	Yes	PE4	FEMC_A20 DVP_D4 GTIM2_CH3 SPI4_NSS ATIM3_CH1N DVP_PIXCLK EVENTOUT	-
-	4	4	PE5	I/O	FT	Yes	PE5	FEMC_A21 GTIM5_CH1 DVP_D6 GTIM2_CH4 SPI4_MISO ATIM3_CH2N DVP_D0 EVENTOUT	-
-	5	5	PE6	I/O	FT	Yes	PE6	FEMC_A22 GTIM5_CH2 DVP_D7 SPI4_MOSI ATIM3_CH3N DVP_D1 LPTIM2_IN1 EVENTOUT	WKUP3 RTC_TAMP3
1	6	6	VBAT	S	-	-	VBAT	-	-
2	7	7	PC13	I/O	FT	Yes	PC13	RTC_OUT1 ATIM1_CH1N ATIM1_BKIN ATIM2_CH4N LPTIM2_ETR XSPI_RXDS ATIM3_BKIN EVENTOUT	WKUP2 RTC_TAMP1
3	8	8	PC14-OSC32_IN	I/O	FT	Yes	PC14	GTIM7_CH3 EVENTOUT	OSC32_IN
4	9	9	PC15-OSC32_OUT	I/O	FT	Yes	PC15	GTIM7_CH4 EVENTOUT	OSC32_OUT
-	-	10	PF0	I/O	FT	Yes	PF0	FEMC_A0 I2C2_SDA ATIM3_CH1 XSPI_NSS1 UART8_CTS	-

封装			管脚名称	类型 ⁽¹⁾	I/O 结构 ⁽²⁾	Fail-safe ⁽³⁾ 支持	主功能 (复位后)	可选的复用功能	
LQFP64	LQFP100	LQFP144						默认	重定义
								EVENTOUT	
-	-	11	PF1	I/O	FT	Yes	PF1	FEMC_A1 I2C2_SCL ATIM3_CH2 XSPI_CLK EVENTOUT	-
-	-	12	PF2	I/O	FTa	Yes	PF2	FEMC_A2 I2C2_SMBA ATIM3_CH3 XSPI_IO0 EVENTOUT	ADC1_IN13
-	-	13	PF3	I/O	FTa	Yes	PF3	FEMC_A3 ATIM3_CH4 I2C3_SCL XSPI_IO1 EVENTOUT	ADC3_IN17
-	-	14	PF4	I/O	FTa	Yes	PF4	FEMC_A4 ATIM3_CH1N I2C3_SDA XSPI_IO2 GTIM5_CH1 I2C3_SCL EVENTOUT	ADC3_IN0
-	-	15	PF5	I/O	FTa	Yes	PF5	FEMC_A5 ATIM3_CH2N XSPI_IO3 GTIM5_CH2 I2C3_SDA EVENTOUT	ADC3_IN13
-	10	16	VSS	S	-	-	VSS	-	-
-	11	17	VDD	S	-	-	VDD	-	-
-	-	18	PF6	I/O	FTa	Yes	PF6	GTIM6_CH1 GTIM4_ETR GTIM3_CH4 I2C2_SCL GTIM4_CH1 XSPI_IO3 SPI5_NSS UART7_RX DVP_D14 EVENTOUT	ADC2_IN16
-	-	19	PF7	I/O	FTa	Yes	PF7	GTIM7_CH1 ATIM3_BKIN GTIM4_CH2 XSPI_IO2 FEMC_A1 SPI5_SCK UART7_TX GTIM8_ETR EVENTOUT	ADC1_IN15
-	-	20	PF8	I/O	FTa	Yes	PF8	GTIM9_CH1 ATIM3_BKIN2 GTIM4_CH3 XSPI_IO0 FEMC_A24 SPI5_MISO EVENTOUT	ADC2_IN1
-	-	21	PF9	I/O	FTa	Yes	PF9	GTIM10_CH1 ATIM3_BKIN	ADC4_IN17

封装			管脚名称	类型 ⁽¹⁾	I/O 结构 ⁽²⁾	Fail-safe ⁽³⁾ 支持	主功能 (复位后)	可选的复用功能	
LQFP64	LQFP100	LQFP144						默认	重定义
								GTIM8_CH1 SPI2_SCK GTIM4_CH4 XSPI_IO1 FEMC_A25 SPI5_MOSI DVP_D15 EVENTOUT	
-	-	22	PF10	I/O	FTa	Yes	PF10	ATIM3_BKIN2 GTIM8_CH2 SPI2_SCK XSPI_CLK FEMC_A0 DVP_D11 EVENTOUT	ADC4_IN0
5	12	23	PH0-OSC_IN	I/O	FTa	Yes	PH0	I2C2_SDA SPI2_NSS/I2S2_WS ATIM1_CH3N USART2_RX GTIM5_CH3 ATIM3_CH1N EVENTOUT	OSC_IN ADC1_IN10
6	13	24	PH1-OSC_OUT	I/O	FTa	Yes	PH1	I2C2_SCL SPI2_SCK/I2S2_CK USART2_TX GTIM5_CH4 ATIM3_CH2N EVENTOUT	OSC_OUT ADC2_IN10
7	14	25	NRST	I/O	RST	Yes	NRST	-	-
8	15	26	PC0	I/O	FTa	Yes	PC0	LPTIM1_IN1 ATIM1_CH1 UART7_RX I2C3_SCL DVP_D2 USART4_TX XSPI_RXDS DVP_D15 GTIM10_CH1 EVENTOUT	ADC12_IN6
9	16	27	PC1	I/O	FTa	Yes	PC1	ETH_MDC LPTIM1_OUT ATIM1_CH2 UART7_TX XSPI_IO4 SPI3_MOSI/I2S3_SD SPI2_MOSI/I2S2_SD I2C3_SDA USART4_RX GTIM10_CH2 EVENTOUT	ADC12_IN7
10	17	28	PC2	I/O	FTa	Yes	PC2	SPI2_MISO ETH_MII_TX_D2 I2S2_AUX_SD LPTIM1_IN2 ATIM1_CH3 ATIM3_CH2 XSPI_IO5 SPI3_NSS/I2S3_WS GTIM10_CH3 UAR7_TX	ADC12_IN8

封装			管脚名称	类型 ⁽¹⁾	I/O 结构 ⁽²⁾	Fail-safe ⁽³⁾ 支持	主功能 (复位后)	可选的复用功能	
LQFP64	LQFP100	LQFP144						默认	重定义
								EVENTOUT	
11	18	29	PC3	I/O	FTa	Yes	PC3	SPI2_MOSI/I2S2_SD ETH_MII_TX_CLK LPTIM1_ETR ATIM1_CH4 ATIM1_BKIN2 XSPI_IO6 SPI3_SCK/I2S3_CK GTIM10_CH4 UAR7_RX EVENTOUT	ADC12_IN9
-	19	30	VDD	S	-	-	VDD	-	-
12	20	31	VSSA	S	-	-	VSSA	-	-
13	21	32	VREF+	S	-	-	VREF+	-	-
13	22	33	VDDA	S	-	-	VDDA	-	-
14	23	34	PA0-WKUP	I/O	FTa	Yes	PA0	USART2_CTS UART6_TX ETH_MII_CRX GTIM1_CH1_ETR GTIM4_CH1 ATIM2_ETR ATIM2_BKIN SPI3_MISO ATIM3_CH3N EVENTOUT	ADC12_IN3 WKUP1 RTC_TAMP2
15	24	35	PA1	I/O	FTa	Yes	PA1	USART2_RTS_DE UART6_RX ETH_RMII_REF_CLK ETH_MII_RX_CLK GTIM4_CH2 GTIM1_CH2 RTC_REFIN GTIM8_CH1N SPI4_MOSI DVP_HSYNC SPI3_MOSI/I2S3_SD SPI6_SCK ATIM3_CH4N EVENTOUT	ADC12_IN4 RTC_REFIN
16	25	36	PA2	I/O	FTa	Yes	PA2	USART2_TX GTIM4_CH3 GTIM5_CH1 GTIM1_CH3 ETH_MDIO GTIM8_CH1_ETR XSPI_NSS0 UART7_TX I2S_CKIN DVP_VSYNC SPI6_NSS EVENTOUT	ADC1_IN5 WKUP4 LSCO
17	26	37	PA3	I/O	FTa	Yes	PA3	USART2_RX GTIM4_CH4 GTIM5_CH2 GTIM1_CH4 ETH_MII_COL GTIM8_CH2 XSPI_CLK UART7_RX	ADC1_IN2

封装			管脚名称	类型 ⁽¹⁾	I/O 结构 ⁽²⁾	Fail-safe ⁽³⁾ 支持	主功能 (复位后)	可选的复用功能	
LQFP64	LQFP100	LQFP144						默认	重定义
								I2S2_MCK DVP_PIXCLK MCO2 EVENTOUT	
18	27	38	VSS	S	-	-	VSS	-	-
19	28	39	VDD	S	-	-	VDD	-	-
20	29	40	PA4	I/O	TTa	Yes	PA4	SPI1_NSS SPI3_NSS/I2S3_WS USART2_CK DVP_HSYNC USB_HS_SOF GTIM2_CH2 DVP_D0 XSPI_NSS1 I2C2_SCL SPI6_MISO GTIM7_CH1 LPTIM2_IN2 USART1_TX EVENTOUT	ADC2_IN17 DAC1_OUT
21	30	41	PA5	I/O	TTa	Yes	PA5	SPI1_SCK GTIM1_CH1_ETR ATIM2_CH1N DVP_D1 XSPI_CLK I2C2_SDA SPI6_MOSI USART1_RX XSPI_IO0 GTIM7_CH2 EVENTOUT	ADC2_IN13 DAC2_OUT
22	31	42	PA6	I/O	TTa	Yes	PA6	SPI1_MISO ATIM2_BKIN GTIM9_CH1 DVP_PIXCLK GTIM2_CH1 ATIM1_BKIN XSPI_IO3 UART7_CTS I2S2_MCK SDIO_CMD DVP_D2 XSPI_IO0 EVENTOUT	ADC2_IN0
23	32	43	PA7	I/O	TTa	Yes	PA7	SPI1_MOSI ATIM2_CH1N GTIM7_CH1 GTIM2_CH2 ETH_MII_RX_DV ATIM1_CH1N ETH_RMII_CRS_DV GTIM10_CH1 XSPI_IO2 DVP_D3 XSPI_IO1 MCO1 GTIM9_CH2 EVENTOUT	ADC2_IN2
24	33	44	PC4	I/O	FTa	Yes	PC4	ETH_RMII_RX_D0 ETH_MII_RX_D0	ADC2_IN5

封装			管脚名称	类型 ⁽¹⁾	I/O 结构 ⁽²⁾	Fail-safe ⁽³⁾ 支持	主功能 (复位后)	可选的复用功能	
LQFP64	LQFP100	LQFP144						默认	重定义
								ATIM1_ETR I2C2_SCL USART1_TX XSPI_IO7 DVP_D4 XSPI_IO2 UART7_TX I23_SCL LPTIM2_OUT ATIM3_CH3N EVENTOUT	
25	34	45	PC5	I/O	FTa	Yes	PC5	ETH_RMII_RX_D1 ETH_MII_RX_D1 GTIM8_BKIN ATIM1_CH4N USART1_RX DVP_D5 XSPI_IO3 UART7_RX I2C3_SDA GTIM5_ETR EVENTOUT	ADC2_IN11 WKUP5
26	35	46	PB0	I/O	FTa	Yes	PB0	GTIM2_CH3 ATIM2_CH2N ETH_MII_RX_D2 ATIM1_CH2N XSPI_IO1 SPI5_SCK SPI3_MOSI/I2S3_SD SDIO_D1 DVP_D6 USART4_TX EVENTOUT	ADC3_IN12 ADC1_IN1
27	36	47	PB1	I/O	FTa	Yes	PB1	GTIM2_CH4 ATIM2_CH3N ETH_MII_RX_D3 ATIM1_CH3N XSPI_IO0 UART7_RTS_DE SPI5_NSS SDIO_D2 DVP_D7 USART4_RX EVENTOUT	ADC1_IN12 ADC3_IN1
28	37	48	PB2	I/O	FTa	Yes	PB2	RTC_OUT2 LPTIM1_OUT GTIM4_CH1 ATIM3_CH1 I2C3_SMBA XSPI_IO5 GTIM1_CH4 SPI3_MOSI/I2S3_SD SDIO_CLK DVP_D3 UART6_TX SPI1_NSS GTIM6_ETR EVENTOUT	ADC2_IN12
-	-	49	PF11	I/O	FT	Yes	PF11	DVP_D12 ATIM3_ETR FEMC_NE4	-

封装			管脚名称	类型 ⁽¹⁾	I/O 结构 ⁽²⁾	Fail-safe ⁽³⁾ 支持	主功能 (复位后)	可选的复用功能	
LQFP64	LQFP100	LQFP144						默认	重定义
								SPI5_MOSI EVENTOUT	
-	-	50	PF12	I/O	FT	Yes	PF12	FEMC_A6 ATIM3_CH1 DVP_D4 EVENTOUT	-
-	-	51	VSS	S	-	-	VSS	-	-
-	-	52	VDD	S	-	-	VDD	-	-
-	-	53	PF13	I/O	FT	Yes	PF13	FEMC_A7 ATIM3_CH2 I2C4_SMBA DVP_D5 MCO1 EVENTOUT	-
-	-	54	PF14	I/O	FT	Yes	PF14	FEMC_A8 ATIM3_CH3 I2C4_SCL DVP_D6 MCO2 EVENTOUT	-
-	-	55	PF15	I/O	FT	Yes	PF15	FEMC_A9 ATIM3_CH4 I2C4_SDA DVP_D7 EVENTOUT	-
-	-	56	PG0	I/O	FT	Yes	PG0	FEMC_A10 ATIM3_CH1N UART7_TX GTIM7_CH2 EVENTOUT	-
-	-	57	PG1	I/O	FT	Yes	PG1	FEMC_A11 ATIM3_CH2N UART7_RX GTIM7_CH3 EVENTOUT	-
-	38	58	PE7	I/O	FTa	Yes	PE7	FEMC_D4 ATIM1_ETR UART7_RX UART6_RX SPI1_SCK GTIM4_CH2 GTIM9_CH4 EVENTOUT	ADC3_IN4
-	39	59	PE8	I/O	FTa	Yes	PE8	FEMC_D5 ATIM1_CH1N GTIM4_CH3 UART7_TX SDIO_D0 SPI1_MISO EVENTOUT	ADC34_IN6
-	40	60	PE9	I/O	FTa	Yes	PE9	FEMC_D6 ATIM1_CH1 GTIM4_CH4 SDIO_D1 SPI1_MOSI EVENTOUT	ADC3_IN2
-	-	61	VSS	S	-	-	VSS	-	-
-	-	62	VDD	S	-	-	VDD	-	-
-	41	63	PE10	I/O	FTa	Yes	PE10	FEMC_D7 ATIM1_CH2N	ADC34_IN14

封装			管脚名称	类型 ⁽¹⁾	I/O 结构 ⁽²⁾	Fail-safe ⁽³⁾ 支持	主功能 (复位后)	可选的复用功能	
LQFP64	LQFP100	LQFP144						默认	重定义
								XSPI_CLK SDIO_D2 SPI2_NSS/I2S2_WS ATIM1_CH1N GTIM2_CH1 GTIM9_CH1 USART4_TX EVENTOUT	
-	42	64	PE11	I/O	FTa	Yes	PE11	FEMC_D8 ATIM1_CH2 SPI4_NSS XSPI_NSS0 SPI5_NSS SDIO_D3 SPI2_SCK/I2S2_CK USART4_RX EVENTOUT	ADC34_IN15
-	43	65	PE12	I/O	FTa	Yes	PE12	FEMC_D9 ATIM1_CH3N SPI4_SCK XSPI_IO0 SPI5_SCK SDIO_CLK SPI2_MISO GTIM7_CH4 EVENTOUT	ADC34_IN16
-	44	66	PE13	I/O	FTa	Yes	PE13	FEMC_D10 ATIM1_CH3 SPI4_MISO XSPI_IO1 SPI5_MISO SPI2_MOSI/I2S2_SD SDIO_CMD EVENTOUT	ADC3_IN3
-	45	67	PE14	I/O	FTa	Yes	PE14	FEMC_D11 ATIM1_CH4 SPI4_MOSI ATIM1_BKIN2 XSPI_IO2 SPI5_MOSI EVENTOUT	ADC4_IN5
-	46	68	PE15	I/O	FTa	Yes	PE15	FEMC_D12 ATIM1_BKIN ATIM1_CH4N XSPI_IO3 I2C1_SDA USART4_RX GTIM10_CH1 EVENTOUT	ADC4_IN2
29	47	69	PB10	I/O	FTa	Yes	PB10	SPI2_SCK/I2S2_CK I2C2_SCL ETH_MII_RX_ER GTIM1_CH3 UART7_RX XSPI_CLK ATIM1_BKIN SDIO_D7 FEMC_D11 DVP_D4 EVENTOUT	-

封装			管脚名称	类型 ⁽¹⁾	I/O 结构 ⁽²⁾	Fail-safe ⁽³⁾ 支持	主功能 (复位后)	可选的复用功能	
LQFP64	LQFP100	LQFP144						默认	重定义
30	48	70	PB11	I/O	FTa	Yes	PB11	I2C2_SDA ETH_RMII_TX_EN ETH_MII_TX_EN GTIM1_CH4 UART7_TX XSPI_NSS0 I2S_CKIN FEMC_D12 DVP_D5 EVENTOUT	ADC12_IN14
31	49	71	PH3	I/O	FT	Yes	PH3	LPTIM2_IN1 UART8_CTS ATIM3_BKIN ATIM2_CH4N DVP_D12 GTIM5_CH1 EVENTOUT	-
32	50	72	VDD	S	-	-	VDD	-	-
33	51	73	PB12	I/O	FTa	Yes	PB12	SPI2_NSS/I2S2_WS I2C2_SMBA USART3_CK ATIM1_BKIN ETH_RMII_TX_D0 ETH_MII_TX_D0 USB_HS_ID GTIM4_ETR UART7_RTS_DE SPI4_NSS GTIM9_CH3 EVENTOUT	ADC1_IN11 ADC4_IN1
34	52	74	PB13	I/O	FTa	Yes	PB13	SPI2_SCK/I2S2_CK USART3_CTS ATIM1_CH1N ETH_RMII_TX_D1 ETH_MII_TX_D1 UART7_CTS SPI4_SCK ATIM1_CH2 GTIM10_CH2 GTIM9_CH4 EVENTOUT	USB_HS_VBUS ADC3_IN5
35	53	75	PB14	I/O	FTa	Yes	PB14	SPI2_MISO ATIM1_CH2N GTIM8_CH1 ATIM2_CH2N I2S2_AUX_SD GTIM9_CH2 USART4_CK DVP_D13 EVENTOUT	USB_HS_DM ADC4_IN4 ADC1_IN0
36	54	76	PB15	I/O	FTa	Yes	PB15	SPI2_MOSI/I2S2_SD ATIM1_CH3N ATIM2_CH3N GTIM8_CH2 GTIM8_CH1N ATIM2_CH4 UART8_CTS DVP_D14 EVENTOUT	USB_HS_DP RTC_REFIN ADC2_IN15 ADC4_IN3
-	55	77	PD8	I/O	FTa	Yes	PD8	FEMC_D13 ETH_MII_DV	ADC4_IN12

封装			管脚名称	类型 ⁽¹⁾	I/O 结构 ⁽²⁾	Fail-safe ⁽³⁾ 支持	主功能 (复位后)	可选的复用功能	
LQFP64	LQFP100	LQFP144						默认	重定义
								ETH_RMII_CRS_DV SPI3_NSS/I2S3_WS ATIM1_CH3 GTIM10_CH1 EVENTOUT	
-	56	78	PD9	I/O	FTa	Yes	PD9	FEMC_D14 ETH_MII_RX_D0 ETH_RMII_RX_D0 SPI3_SCK/I2S3_CK ATIM1_CH3N GTIM9_CH3 GTIM7_ETR GTIM10_CH2 EVENTOUT	ADC4_IN13
-	57	79	PD10	I/O	FTa	Yes	PD10	FEMC_D15 USART3_CK ETH_MII_RX_D1 ETH_RMII_RX_D1 ATIM1_CH4 ATIM3_ETR EVENTOUT	ADC34_IN7
-	58	80	PD11	I/O	FTa	Yes	PD11	FEMC_CLE/FEMC_A16 USART3_CTS GTIM4_ETR I2C4_SMB ETH_MII_RX_D2 SPI3_MISO USART4_TX I2C1_SCL GTIM10_CH3 EVENTOUT	ADC34_IN8
-	59	81	PD12	I/O	FTa	Yes	PD12	FEMC_ALE/FEMC_A17 GTIM3_CH1 ETH_MII_RX_D3 SPI3_MOSI/I2S3_SD GTIM6_CH1 EVENTOUT	ADC34_IN9
-	60	82	PD13	I/O	FTa	Yes	PD13	FEMC_A18 GTIM3_CH2 XSPI_RXDS GTIM6_CH2 EVENTOUT	ADC34_IN10
-	-	83	VSS	S	-	-	VSS	-	-
-	-	84	VDD	S	-	-	VDD	-	-
-	61	85	PD14	I/O	FTa	Yes	PD14	FEMC_D0 GTIM3_CH3 I2C4_SCL ATIM2_CH1 GTIM10_CH4 GTIM6_CH3 EVENTOUT	ADC34_IN11
-	62	86	PD15	I/O	FTa	Yes	PD15	FEMC_D1 GTIM3_CH4 SPI2_NSS I2C4_SDA ATIM2_CH2 ATIM2_CH1N GTIM8_CH1 GTIM6_CH4 EVENTOUT	-

封装			管脚名称	类型 ⁽¹⁾	I/O 结构 ⁽²⁾	Fail-safe ⁽³⁾ 支持	主功能 (复位后)	可选的复用功能	
LQFP64	LQFP100	LQFP144						默认	重定义
-	-	87	PG2	I/O	FT	Yes	PG2	FEMC_A12 ATIM3_CH3N SPI1_SCK I2C2_SCL GTIM5_ETR EVENTOUT	-
-	-	88	PG3	I/O	FT	Yes	PG3	FEMC_A13 ATIM3_BKIN I2C4_SCL SPI1_MISO ATIM3_CH4N I2C2_SDA EVENTOUT	-
-	-	89	PG4	I/O	FT	Yes	PG4	FEMC_A14 ATIM3_BKIN2 I2C4_SDA SPI1_MOSI GTIM6_ETR EVENTOUT	-
-	-	90	PG5	I/O	FT	Yes	PG5	FEMC_A15 ATIM3_ETR SPI1_NSS UART7_CTS EVENTOUT	-
-	-	91	PG6	I/O	FT	Yes	PG6	FEMC_INT2 ATIM3_BKIN I2C3_SMB UART7_RTS_DE DVP_D12 EVENTOUT	-
-	-	92	PG7	I/O	FT	Yes	PG7	FEMC_INT3 USART4_CK I2C3_SCL UART7_TX DVP_D13 EVENTOUT	-
-	-	93	PG8	I/O	FT	Yes	PG8	USART4_RTS_DE ETH_PPS_OUT I2C3_SDA UART7_RX FEMC_NE3 XSPI_NSS1 EVENTOUT	-
-	-	94	VSS	S	-	-	VSS	-	-
-	-	95	VDD	S	-	-	VDD	-	-
37	63	96	PC6	I/O	FT	Yes	PC6	I2S2_MCK ATIM2_CH1 SDIO_D6 USART4_TX DVP_D0 GTIM2_CH1 I2C4_SCL SPI2_NSS/I2S2_WS USART2_CTS FEMC_A16 ATIM2_CH2 EVENTOUT	-
38	64	97	PC7	I/O	FT	Yes	PC7	I2S3_MCK ATIM2_CH2 SDIO_D7	-

封装			管脚名称	类型 ⁽¹⁾	I/O 结构 ⁽²⁾	Fail-safe ⁽³⁾ 支持	主功能 (复位后)	可选的复用功能	
LQFP64	LQFP100	LQFP144						默认	重定义
								USART4_RX DVP_D1 GTIM2_CH2 I2C4_SDA SPI2_SCK/I2S_CK USART2_RTS_DE FEMC_A17 ATIM2_CH2N GTIM8_CH2 EVENTOUT	
39	65	98	PC8	I/O	FT	Yes	PC8	ATIM2_CH3 SDIO_D0 GTIM2_CH3 USART4_CK DVP_D2 ATIM3_CH3 I2C3_SCL SPI2_MISO USART2_TX EVENTOUT	-
40	66	99	PC9	I/O	FTa	Yes	PC9	I2S_CKIN MCO2 ATIM2_CH4 SDIO_D1 I2C3_SDA DVP_D3 GTIM2_CH4 ATIM2_BKIN2 SPI2_MOSI/I2S2_SD USART2_RX FEMC_NOE ATIM2_CH3N GTIM8_CH3 EVENTOUT	-
41	67	100	PA8	I/O	FTa	Yes	PA8	MCO1 USART1_CK ATIM1_CH1 I2C3_SCL I2C2_SDA I2S2_MCK I2C2_SMBA GTIM3_ETR SDIO_D1 EVENTOUT	ADC3_IN18
42	68	101	PA9	I/O	FTa	Yes	PA9	USART1_TX ATIM1_CH2 I2C3_SMBA DVP_D0 I2C2_SCL I2S3_MCK GTIM8_BKIN GTIM1_CH3 SPI2_SCK/I2S2_CK SDIO_D2 I2C4_SCL I2C1_SCL EVENTOUT	ADC4_IN18
43	69	102	PA10	I/O	FT	Yes	PA10	USART1_RX ATIM1_CH3 DVP_D1 GTIM10_BKIN	PVD_IN

封装			管脚名称	类型 ⁽¹⁾	I/O 结构 ⁽²⁾	Fail-safe ⁽³⁾ 支持	主功能 (复位后)	可选的复用功能	
LQFP64	LQFP100	LQFP144						默认	重定义
								I2C2_SMBA SPI2_MISO GTIM1_CH4 ATIM2_BKIN I2C2_SDA I2S2_AUX_SD SPI5_MOSI I2C4_SDA FEMC_NWE EVENTOUT	
44	70	103	PA11	I/O	FT	Yes	PA11	USART1_CTS ATIM1_CH4 USB_FS_DM SPI2_MOSI/I2S2_SD ATIM1_CH1N GTIM3_CH1 ATIM1_BKIN2 SPI4_MISO USART4_TX ATIM2_CH3N EVENTOUT	-
45	71	104	PA12	I/O	FT	Yes	PA12	USART1_RTS_DE ATIM1_ETR USB_FS_DP GTIM9_CH1 I2S_CKIN ATIM1_CH2N GTIM3_CH2 SPI4_MOSI USART4_RX SPI2_NSS EVENTOUT	-
46	72	105	PA13	I/O	FT	Yes	PA13	JTMS-SWDIO GTIM9_CH1N I2C4_SCL I2C1_SCL IR_OUT USART3_CTS GTIM3_CH3 UART6_TX GTIM8_CH3 EVENTOUT	-
47	73	106	PH2	I/O	FT	Yes	PH2	USART4_RTS_DE USART1_RX GTIM3_CH4 GTIM9_CH3 DVP_D13 EVENTOUT	-
-	74	107	VSS	S	-	-	VSS	-	-
48	75	108	VDD	S	-	-	VDD	-	-
49	76	109	PA14	I/O	FT	Yes	PA14	JTCK-SWCLK LPTIM1_OUT I2C4_SMBA I2C1_SDA ATIM2_CH2 ATIM1_BKIN USART2_TX UART6_RX GTIM8_CH4 EVENTOUT	-

封装			管脚名称	类型 ⁽¹⁾	I/O 结构 ⁽²⁾	Fail-safe ⁽³⁾ 支持	主功能 (复位后)	可选的复用功能	
LQFP64	LQFP100	LQFP144						默认	重定义
50	77	110	PA15	I/O	FT	Yes	PA15	JTDI SPI3_NSS/I2S3_WS GTIM1_CH1_ETR SPI1_NSS ATIM2_CH1 I2C1_SCL USART2_RX UART6_RTS_DE ATIM1_BKIN UART1_TX USART2_CTS ATIM2_CH1N ATIM3_ETR EVENTOUT	-
51	78	111	PC10	I/O	FT	Yes	PC10	SPI3_SCK/I2S3_CK UART6_TX SDIO_D2 DVP_D8 ATIM2_CH1N XSPI_NSS1 GTIM9_CH4 EVENTOUT	-
52	79	112	PC11	I/O	FT	Yes	PC11	UART6_RX SPI3_MISO SDIO_D3 DVP_D4 I2S3_AUX_SD ATIM2_CH2N I2C3_SDA XSPI_CLK GTIM10_ETR ATIM3_CH2 EVENTOUT	-
53	80	113	PC12	I/O	FT	Yes	PC12	SDIO_CLK DVP_D9 SPI3_MOSI/I2S3_SD USART3_CK GTIM4_CH2 ATIM2_CH3N I2C2_SDA XSPI_IO0 ATIM2_CH2N ATIM3_CH3 EVENTOUT	-
-	81	114	PD0	I/O	FT	Yes	PD0	FEMC_D2 ATIM2_CH4N SPI4_MISO SPI3_MOSI UART6_TX XSPI_IO1 ATIM3_CH4 EVENTOUT	-
-	82	115	PD1	I/O	FT	Yes	PD1	FEMC_D3 ATIM2_CH4 ATIM2_BKIN2 SPI2_NSS/I2S2_WS UART6_RX XSPI_IO2 I21_SDA EVENTOUT	-

封装			管脚名称	类型 ⁽¹⁾	I/O 结构 ⁽²⁾	Fail-safe ⁽³⁾ 支持	主功能 (复位后)	可选的复用功能	
LQFP64	LQFP100	LQFP144						默认	重定义
54	83	116	PD2	I/O	FT	Yes	PD2	GTIM2_ETR SDIO_CMD DVP_D11 ATIM2_BKIN SPI3_NSS/I2S3_WS XSPI_IO3 ATIM2_CH3N SPI2_MOSI ATIM1_CH4 ATIM2_CH4N ATIM3_CH4 GTIM5_CH2 EVENTOUT	-
-	84	117	PD3	I/O	FT	Yes	PD3	FEMC_CLK USART2_CTS GTIM1_CH1_ETR XSPI_NSS0 SPI2_SCK/I2S2_CK DVP_D5 EVENTOUT	-
-	85	118	PD4	I/O	FT	Yes	PD4	FEMC_NOE USART2_RTS_DE GTIM1_CH2 XSPI_IO4 EVENTOUT	-
-	86	119	PD5	I/O	FT	Yes	PD5	FEMC_NWE USART2_TX XSPI_IO5 GTIM6_CH1 ATIM1_CH4N EVENTOUT	-
-	-	120	VSS	S	-	-	VSS	-	-
-	-	121	VDD	S	-	-	VDD	-	-
-	87	122	PD6	I/O	FT	Yes	PD6	FEMC_NWAIT USART2_RX GTIM1_CH4 XSPI_IO6 SPI3_MOSI/I2S3_SD DVP_D0 GTIM9_ETR EVENTOUT	-
-	88	123	PD7	I/O	FT	Yes	PD7	USART2_CK FEMC_NE1/FEMC_NCE2 GTIM1_CH3 XSPI_IO7 EVENTOUT	-
-	-	124	PG9	I/O	FT	Yes	PG9	USART4_RX FEMC_NE2/FEMC_NCE3 SPI3_SCK USART1_TX GTIM8_CH1N DVP_VSYNC SPI2_MOSI GTIM6_CH2 SPI2_MISO EVENTOUT	-
-	-	125	PG10	I/O	FT	Yes	PG10	FEMC_NE3 XSPI_IO2 DVP_D2 GTIM7_CH1	-

封装			管脚名称	类型 ⁽¹⁾	I/O 结构 ⁽²⁾	Fail-safe ⁽³⁾ 支持	主功能 (复位后)	可选的复用功能	
LQFP64	LQFP100	LQFP144						默认	重定义
								EVENTOUT	
-	-	126	PG11	I/O	FT	Yes	PG11	ETH_MII_TX_EN ETH_RMII_TX_EN XSPI_IO3 SPI4_SCK DVP_D3 GTIM7_CH2 EVENTOUT	-
-	-	127	PG12	I/O	FT	Yes	PG12	FEMC_NE4 USART4_RTS_DE XSPI_D1 SPI4_MISO GTIM7_CH3 EVENTOUT	-
-	-	128	PG13	I/O	FT	Yes	PG13	FEMC_A24 USART4_CTS ETH_MII_TX_D0 ETH_RMII_TX_D0 XSPI_CLK SPI4_MOSI GTIM7_CH4 EVENTOUT	-
-	-	129	PG14	I/O	FT	Yes	PG14	FEMC_A25 USART4_TX ETH_MII_TX_D1 ETH_RMII_TX_D1 XSPI_D0 SPI4_NSS SPI2_MISO I2C1_SCL GTIM6_CH3 ATIM2_CH4 EVENTOUT	-
-	-	130	VSS	S	-	-	VSS	-	-
-	-	131	VDD	S	-	-	VDD	-	-
-	-	132	PG15	I/O	FT	Yes	PG15	USART4_CTS DVP_D13 GTIM6_CH4 I2C1_SDA SPI6_NSS ATIM2_CH4N USART1_RX EVENTOUT	-
55	89	133	PB3	I/O	FT	Yes	PB3	JTDO SPI3_SCK/I2S3_CK GTIM1_CH2 SPI1_SCK GTIM3_ETR ATIM2_CH1N USART2_TX GTIM2_ETR USART1_RX I2C2_SDA USART2_RTS_DE ATIM2_BKIN EVENTOUT	-
56	90	134	PB4	I/O	FT	Yes	PB4	NJTRST SPI3_MISO GTIM2_CH1 SPI1_MISO	-

封装			管脚名称	类型 ⁽¹⁾	I/O 结构 ⁽²⁾	Fail-safe ⁽³⁾ 支持	主功能 (复位后)	可选的复用功能	
LQFP64	LQFP100	LQFP144						默认	重定义
								I2S3_AUX_SD GTIM9_CH1_ETR ATIM2_CH2N USART2_RX GTIM10_BKIN I2C3_SDA SDIO_D0 ATIM2_ETR LPTIM2_IN1 USART2_TX EVENTOUT	
57	91	135	PB5	I/O	FT	Yes	PB5	I2C1_SMBA ETH_PPS_OUT GTIM2_CH2 SPI1_MOSI SPI3_MOSI/I2S3_SD DVP_D10 GTIM9_BKIN ATIM2_CH3N USART2_CK I2C3_SDA GTIM10_CH1 LPTIM1_IN1 UART5_CTS USART2_RX EVENTOUT	-
58	92	136	PB6	I/O	FT	Yes	PB6	I2C1_SCL GTIM3_CH1 DVP_D5 USART1_TX GTIM9_CH1N ATIM2_CH1 ATIM2_ETR ATIM2_BKIN2 LPTIM1_ETR ETH_PPS_OUT FEMC_NE2/FEMC_NCE3 EVENTOUT	-
59	93	137	PB7	I/O	FT	Yes	PB7	I2C1_SDA FEMC_NADV DVP_VSYNC USART1_RX GTIM3_CH2 GTIM10_CH1N ATIM2_BKIN GTIM2_CH4 I2C4_SDA LPTIM1_IN2 ETH_MII_TXD3 UART6_CTS EVENTOUT	PVD_IN
60	94	138	PH4-BOOT0	I/O	FT	Yes	PH4-BOOT0	GTIM4_CH1 GTIM10_CH1N USART1_TX EVENTOUT	-
61	95	139	PB8	I/O	FT	Yes	PB8	GTIM3_CH3 SDIO_D4 GTIM6_CH1 DVP_D6 ETH_MII_TX_D3 I2C1_SCL	-

封装			管脚名称	类型 ⁽¹⁾	I/O 结构 ⁽²⁾	Fail-safe ⁽³⁾ 支持	主功能 (复位后)	可选的复用功能	
LQFP64	LQFP100	LQFP144						默认	重定义
								GTIM9_CH1 ATIM2_CH2 ATIM1_BKIN SPI5_MOSI FMEC_NWAIT GTIM9_CH4 EVENTOUT	
62	96	140	PB9	I/O	FT	Yes	PB9	SPI2_NSS/I2S2_WS GTIM3_CH4 GTIM7_CH1 SDIO_D5 DVP_D7 I2C1_SDA GTIM10_CH1 ATIM2_CH3 ATIM1_CH3N FEMC_NE1/FEMC_NCE2 EVENTOUT	IR-OUT
-	97	141	PE0	I/O	FT	Yes	PE0	GTIM3_ETR FEMC_NBL0 DVP_D2 ATIM3_ETR ATIM3_CH4N GTIM9_CH1 USART1_TX EVENTOUT	-
-	98	142	PE1	I/O	FT	Yes	PE1	FEMC_NBL1 DVP_D3 GTIM10_CH1 ATIM3_CH4 USART1_RX EVENTOUT	-
-	-	143	PH5	I/O	FT	Yes	PH5	EVENTOUT	-
63	99	-	VSS	S	-	-	-	-	-
64	100	144	VDD	S	-	-	VDD	-	-

1. I = 输入, O = 输出, S = 电源。

2. FT: 容忍5V; FTa: 容忍5V, 支持模拟外设。

3. Fail-safe指当芯片没有电源输入时, 在IO上加输入高电平, 不会存在输入高电平灌入芯片, 从而导致电源上有一定电压, 并消耗电流的现象。

4. USART3、UART5、UART8的RTS_DE、TX和RX信号可以在任意IO映射。

5. FDCAN1、FDCAN2、FDCAN3的TX和RX信号可以在任意IO映射。

注: 表中的引脚名称标注中出现的ADC12_INx, 表示这个引脚可以是ADC1_INx或ADC2_INx。例如: ADC12_IN9表示这个引脚可以配置为ADC1_IN9, 也可以配置为ADC2_IN9。

同样, 表中的引脚名称标注中出现的ADC34_INx, 表示这个引脚可以是ADC3_INx或ADC4_INx。

表中的引脚PA0 对应的复用功能中的GTIM1_CH1_ETR, 表示可以配置该功能为GTIM1_TI1 或GTIM1_ETR。同理, PA15对应的重映射复用功能的名称GTIM1_CH1_ETR, 具有相同的意义。

表中FT的端口, 需要确保IO电压与电源电压压差小于3.6V。

4 电气特性

4.1 测试条件

除非特别说明，所有电压的都以 V_{SS} 为基准。

4.1.1 最小和最大数值

Beta版本最小和最大值是基于设计仿真得出。

在每个表格下方的注解中说明为通过综合评估、设计仿真和/或工艺特性得到的数据，不会在生产线上进行测试；在综合评估的基础上，最小和最大值是通过样本测试后，取其平均值再加减三倍的标准分布(平均 $\pm 3\Sigma$)得到。

4.1.2 典型数值

除非特别说明，典型数据是基于 $T_A=25\text{ }^{\circ}\text{C}$ 和 $V_{DD}=3.3\text{V}$ ($1.8\text{V} \leq V_{DD} \leq 3.6\text{V}$ 电压范围)。这些数据仅用于设计指导而未经测试。

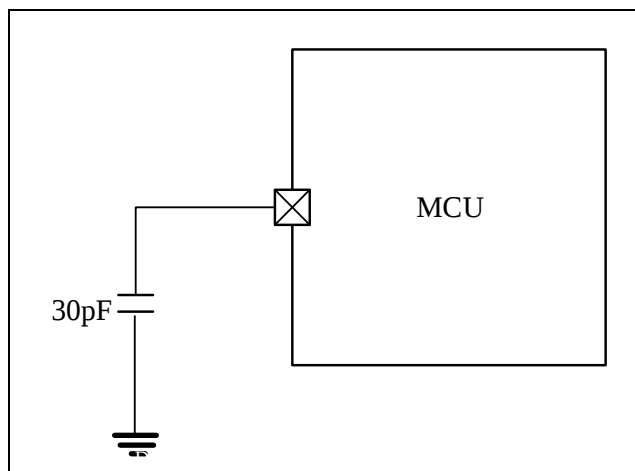
4.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

4.1.4 负载电容

测量引脚参数时的负载条件示于图 4-1中。

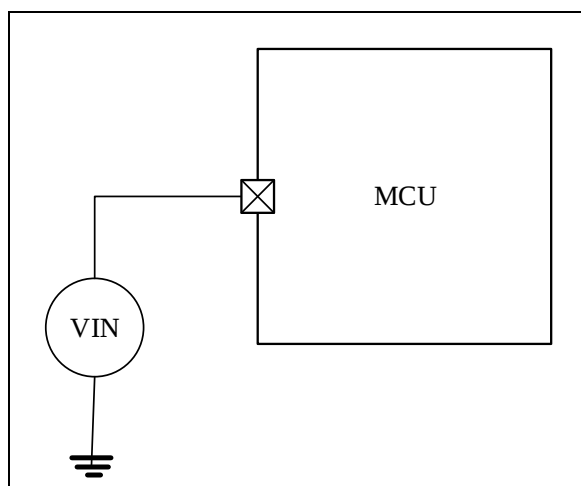
图 4-1 引脚的负载条件



4.1.5 引脚输入电压

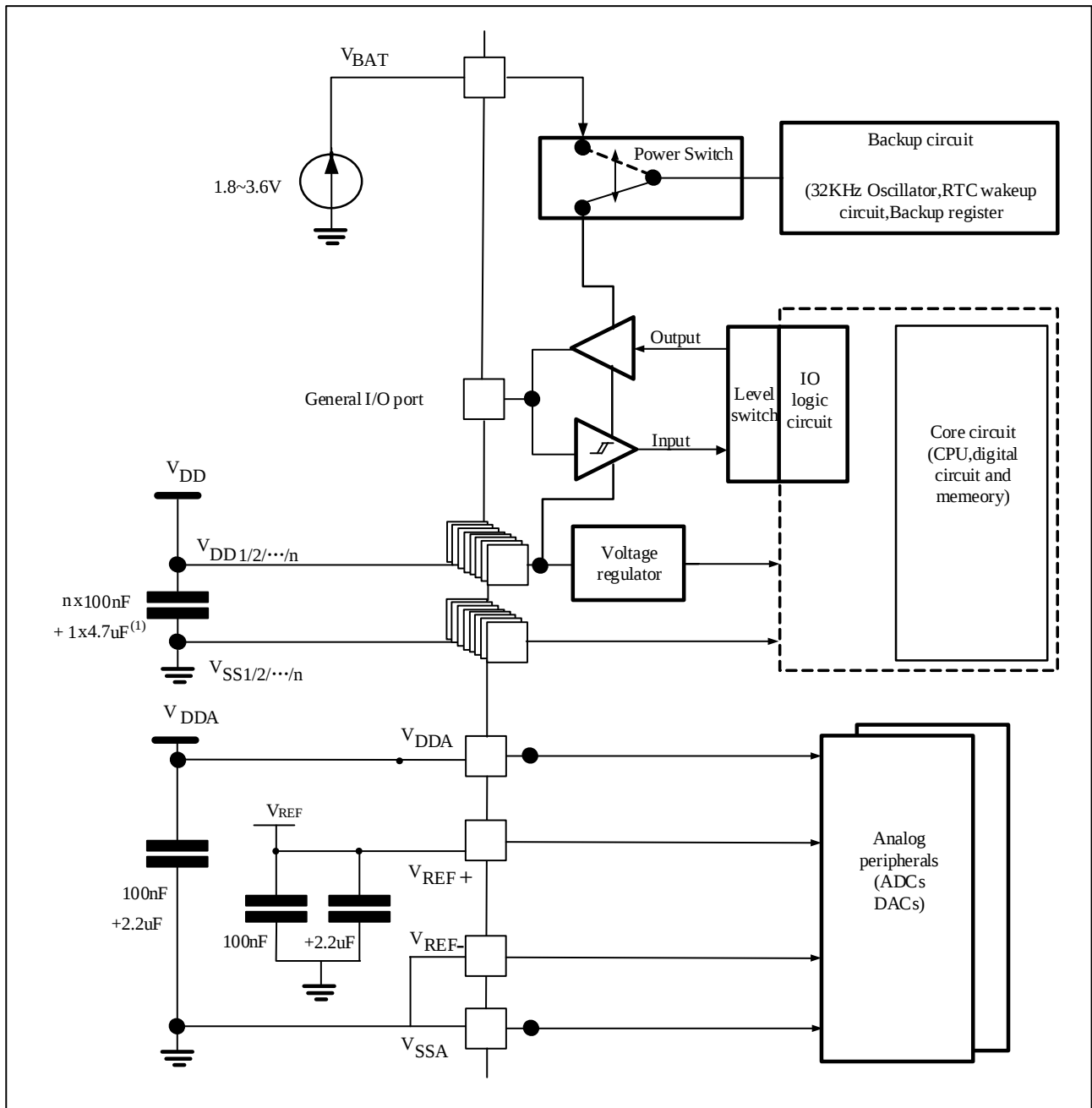
引脚上输入电压的测量方式示于图 4-2中。

图 4-2 引脚输入电压



4.1.6 供电方案

图 4-3 供电方案

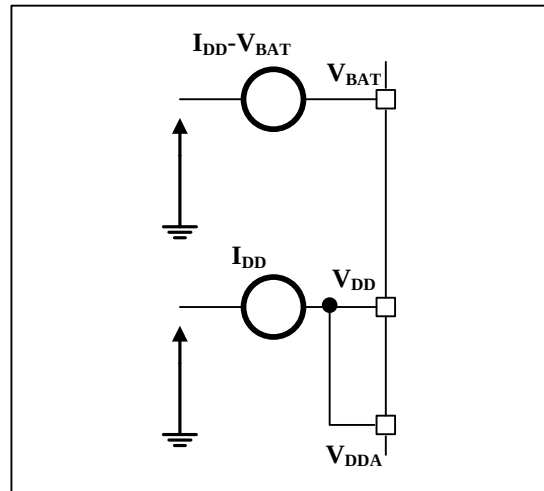


注:

1. 上图中的4.7 μ F电容必须连接到指定V_{DD}, LQFP64的指定V_{DD}为Pin64, LQFP100的指定V_{DD}为Pin100, LQFP144的指定V_{DD}为Pin144。

4.1.7 电流消耗测量

图 4-4 电流消耗测量方案



4.2 绝对最大额定值

加在器件上的载荷如果超过“绝对最大额定值”列表(表 4-1、表 4-2、表 4-3)中给出的值,可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷,并不意味着在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 4-1 电压特性

符号	描述	最小值	最大值	单位
$V_{DD} - V_{SS}$	外部主供电电压(包含 V_{DDA} 和 V_{DD}) ⁽¹⁾	-0.3	4.0	V
V_{IN}	在5V容忍的引脚上的输入电压 ⁽³⁾	$V_{SS}-0.3$	5.5	
	在其它引脚上的输入电压 ⁽²⁾	$V_{SS}-0.3$	$V_{DD} + 0.3$	
$ \Delta V_{DDx} $	不同供电引脚之间的电压差	-	50	mV
$ V_{SSx} - V_{SS} $	不同接地引脚之间的电压差	-	50	
$V_{ESD(HBM)}$	ESD静电放电电压(人体模型)	见 4.3.11 节		

- 所有的电源(V_{DD} , V_{DDA})和地(V_{SS} , V_{SSA})引脚必须始终连接到外部允许范围内的供电系统上。
- V_{IN} 不应超过其最大值, 电流特性参考表 4-2。
- 当5V容忍引脚输入5.5V, V_{DD} 不能低于2.25V。

表 4-2 电流特性

符号	描述	最大值 ⁽¹⁾	单位
I_{VDD}	经过 V_{DD}/V_{DDA} 电源线的总电流(供应电流) ⁽¹⁾⁽⁴⁾	400	mA
I_{VSS}	经过 V_{SS} 地线的总电流(流出电流) ⁽¹⁾⁽⁴⁾	400	
I_{IO}	任意I/O和控制引脚上的输出灌电流	12	
	任意I/O和控制引脚上的输出电流	-12	
$I_{INJ(PIN)}^{(2)(3)}$	NRST引脚的注入电流	-5/0	
	其他引脚的注入电流	+/-5	

- 所有的电源(V_{DD} , V_{DDA})和地(V_{SS} , V_{SSA})引脚必须始终连接到外部允许范围内的供电系统上。
- 当 $V_{IN} > V_{DD}$ 时, 有一个正向注入电流; 当 $V_{IN} < V_{SS}$ 时, 有一个反向注入电流。 $I_{INJ(PIN)}$ 不应超过其最大值, 电压特性参考表 4-1。
- 反向注入电流会干扰器件的模拟性能。见第4.3.26节。
- 发生最大电流时, 允许 V_{DD} 最大的压降为 $0.1V_{DD}$ 。

表 4-3 温度特性

符号	描述	数值	单位
T _{STG}	储存温度范围	-40 ~ + 150	°C
T _J	最大结温度	125	°C

4.3 工作条件

4.3.1 通用工作条件

表 4-4 通用工作条件

符号	参数	条件	最小值	最大值	单位
f _{HCLK}	内部 AHB 时钟频率	-	0	240	MHz
f _{PCLK}	内部 APB1/2 时钟频率	-	0	180	
V _{DDA}	模拟部分工作电压	必须与 V _{DD} ⁽¹⁾ 相同	1.8	3.6	V
V _{BAT}	备份部分工作电压	-	1.8	3.6	V
T _A	环境温度(温度标号 7)	最大功率消耗	-40	105	°C
T _J	结温度范围	温度标号 7	-40	125	°C

1. 建议使用相同的电源为V_{DD}和V_{DDA}供电，在上电和正常操作期间，V_{DD}和V_{DDA}之间最多允许有300mV的差别。

4.3.2 上电和掉电时的工作条件

下表中给出的参数是依据表 4-4列出的环境温度下测试得出。

表 4-5 上电和掉电时的工作条件

符号	参数	条件	最小值	最大值	单位
t _{VDD}	V _{DD} 上升速率	-	20	∞	μs/V
	V _{DD} 下降速率		80	∞	

4.3.3 内嵌复位和电源控制模块特性

下表中给出的参数是依据表 4-4列出的环境温度下和V_{DD}供电电压下测试得出。

表 4-6 内嵌复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{PVD}	可编程的电压检测器的电平选择 (PWR_CTRL 的 MSB 为 0)	PRS[2:0]=000 (上升沿)	2.09	2.18	2.27	V
		PRS[2:0]=000 (下降沿)	2	2.08	2.16	V
		PRS[2:0]=001 (上升沿)	2.19	2.28	2.37	V
		PRS[2:0]=001 (下降沿)	2.09	2.18	2.27	V
		PRS[2:0]=010 (上升沿)	2.28	2.38	2.48	V
		PRS[2:0]=010 (下降沿)	2.19	2.28	2.37	V
		PRS[2:0]=011 (上升沿)	2.38	2.48	2.58	V
		PRS[2:0]=011 (下降沿)	2.28	2.38	2.48	V
		PRS[2:0]=100 (上升沿)	2.47	2.58	2.69	V
		PRS[2:0]=100 (下降沿)	2.37	2.48	2.59	V

		PRS[2:0]=101 (上升沿)	2.57	2.68	2.79	V
		PRS[2:0]=101 (下降沿)	2.47	2.58	2.69	V
		PRS[2:0]=110 (上升沿)	2.66	2.78	2.9	V
		PRS[2:0]=110 (下降沿)	2.56	2.68	2.8	V
		PRS[2:0]=111 (上升沿)	2.76	2.88	3	V
		PRS[2:0]=111 (下降沿)	2.66	2.78	2.9	V
	可编程的电压检测器的电平选择 (PWR_CTRL 的 MSB 为 1)	PRS[2:0]=000 (上升沿)	1.7	1.78	1.85	V
		PRS[2:0]=000 (下降沿)	1.61	1.68	1.75	V
		PRS[2:0]=001 (上升沿)	1.8	1.88	1.96	V
		PRS[2:0]=001 (下降沿)	1.7	1.78	1.85	V
		PRS[2:0]=010 (上升沿)	1.9	1.98	2.06	V
		PRS[2:0]=010 (下降沿)	1.8	1.88	1.96	V
		PRS[2:0]=011 (上升沿)	2	2.08	2.16	V
		PRS[2:0]=011 (下降沿)	1.9	1.98	2.06	V
		PRS[2:0]=100 (上升沿)	3.15	3.28	3.41	V
		PRS[2:0]=100 (下降沿)	3.05	3.18	3.31	V
		PRS[2:0]=101 (上升沿)	3.24	3.38	3.52	V
		PRS[2:0]=101 (下降沿)	3.15	3.28	3.41	V
		PRS[2:0]=110 (上升沿)	3.34	3.48	3.62	V
		PRS[2:0]=110 (下降沿)	3.24	3.38	3.52	V
		PRS[2:0]=111 (上升沿)	3.44	3.58	3.72	V
		PRS[2:0]=111 (下降沿)	3.34	3.48	3.62	V
V _{PVDhyst} ⁽¹⁾	PVD 迟滞	-	-	100	-	mV
V _{POR}	VDD 上电/下电复位阈值	-	-	1.66/1.58	-	V
V _{BOR}	BOR 上电/下电复位阈值	BOR_LVL[2:0]=000(上升沿)	-	1.66	-	V
		BOR_LVL[2:0]=000(下降沿)	-	1.62	-	V
		BOR_LVL[2:0]=001(上升沿)	-	2.1	-	V
		BOR_LVL[2:0]=001(下降沿)	-	2	-	V
		BOR_LVL[2:0]=010(上升沿)	-	2.3	-	V
		BOR_LVL[2:0]=010(下降沿)	-	2.2	-	V
		BOR_LVL[2:0]=011(上升沿)	-	2.6	-	V
		BOR_LVL[2:0]=011(下降沿)	-	2.5	-	V
		BOR_LVL[2:0]=100(上升沿)	-	2.9	-	V
		BOR_LVL[2:0]=100(下降沿)	-	2.8	-	V
TRSTTEMPO ⁽¹⁾	复位持续时间	-	-	0.8	4	ms

1. 由设计保证，不在生产中测试。

4.3.4 内置的参考电压

下表中给出的参数是依据表 4-4列出的环境温度下和V_{DD}供电电压下测试得出。

表 4-7 内置的参照电压

符号	参数	条件	最小值	典型值	最大值	单位
V _{REFINT}	内置参照电压	-40°C < T _A < +105°C	1.164	1.2	1.236	V

$T_{S_vrefint}^{(1)}$	当读出内部参照电压时，ADC 的采样时间	-	-	5.1	17.1 ⁽²⁾	μs
ΔV_{REFINT}	全温范围内的内部电压漂移	VDD = 3.3V -40°C < T _A < +105°C	-14	-	14	mV

1. 最短的采样时间是通过应用中的多次循环得到。
2. 由设计保证，不在生产中测试。

4.3.5 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O引脚的负载、产品的软件配置、工作频率、I/O脚的翻转速率、程序在存储器中的位置以及执行的代码等。

电流消耗的测量方法说明，详见图 4-4。

本节中给出的所有运行模式下的电流消耗测量值，都是在执行一套精简的代码。

4.3.5.1 最大电流消耗

微控制器处于下列条件：

- 所有的I/O引脚都处于输入模式，并连接到一个静态电平上——V_{DD}或V_{SS}(无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存存储器的访问时间调整到所能运行的最快频率(0~40MHz时为0个等待周期，40~80MHz时为1个等待周期，80~120MHz时为2个等待周期，120~160MHz时为3个等待周期，160~200MHz时为4个等待周期，200~240MHz时为5个等待周期)。
- 指令预取功能开启(提示：这个参数必须在设置时钟和总线分频之前设置)。
- 当开启外设时：f_{PCLK1} = f_{HCLK}/2，f_{PCLK2} = f_{HCLK}/2。
- V_{DD}=3.63V，环境温度等于105°C。

表 4-8和表 4-9中给出的参数，是依据表 4-4列出的环境温度下和V_{DD}供电电压下测试得出。

表 4-8 运行模式下的最大电流消耗，数据处理代码从内部闪存中运行

符号	参数	条件	f _{HCLK}	典型值 ⁽¹⁾				单位
				T _A = -40°C	T _A = 25°C	T _A = 85°C	T _A = 105°C	
I _{DD}	运行模式下的供应电流	外部时钟 ⁽²⁾ ，使能所有外设	240MHz	105.54	108.69	122.47	133.14	mA
			180MHz	81.68	84.60	97.73	108.06	
			120MHz	60.69	63.37	75.86	85.82	
			60MHz	33.75	36.12	47.88	57.52	
		外部时钟 ⁽²⁾ ，关闭所有外设	240MHz	31.21	33.86	45.19	54.81	
			180MHz	24.73	27.23	38.20	47.72	
			120MHz	18.52	20.82	31.48	40.84	
			60MHz	10.96	13.10	23.73	32.94	

1. 由综合评估得出，不在生产中测试。
2. 当f_{HCLK}>8MHz时启用PLL。

表 4-9 睡眠模式下的最大电流消耗

符号	参数	条件	f _{HCLK}	典型值 ⁽¹⁾				单位
				T _A = -40°C	T _A = 25°C	T _A = 85°C	T _A = 105°C	

I _{DD}	睡眠模式下的供应电流	外部时钟 ⁽²⁾ , 使能所有外设	240MHz	96.44	99.47	112.91	123.37	mA
			180MHz	74.75	77.53	90.33	100.47	
			120MHz	55.87	58.43	70.69	80.53	
			60MHz	31.28	33.57	45.20	54.75	
		外部时钟 ⁽²⁾ , 关闭所有外设	240MHz	19.26	21.48	32.59	41.85	
			180MHz	15.45	17.61	28.59	37.81	
			120MHz	11.65	13.75	24.58	33.75	
			60MHz	7.64	9.67	20.41	29.48	

1. 由综合评估结果保证, 不在生产中测试。

2. 当 $f_{HCLK} > 8\text{MHz}$ 时启用PLL。

4.3.5.2 低功耗模式电流消耗

MCU处于下列条件:

- 所有的I/O引脚都处于输入模式, 并连接到一个静态电平上——V_{DD}或V_{SS}(无负载)。
- 所有的外设都处于关闭状态, 除非特别说明。

表 4-10 停机和待机模式下的典型和最大电流消耗⁽²⁾

符号	参数	条件	典型值 ⁽¹⁾				单位
			T _A = -40℃	T _A = 25℃	T _A = 85℃	T _A = 105℃	
I _{DD}	STOP0 模式下的供应电流	调压器处于运行模式, LSE 打开, RTC 打开, IWDG 关闭, Backup SRAM 保持	1.3	2.84	13	21.84	mA
		调压器处于 LP 模式, LSE 打开, RTC 打开, IWDG 关闭, BackupSRAM 保持	0.87	1.67	7.72	13.24	
I _{DD}	STANDBY 模式下的供应电流	LSE 打开, RTC 打开, IWDG 关闭, BackupSRAM 保持	17.4	18.7	29.4	44	uA
		LSE 打开, RTC 关闭, IWDG 关闭, BackupSRAM 保持	17.3	18.6	29.3	44	
		LSE 打开, RTC 关闭, IWDG 关闭, BackupSRAM 不保持	17.3	18.6	29.4	44.1	
I _{DD_VBAT}	VBAT 模式下的供应电流	LSE 打开, RTC 打开, IWDG 关闭, Backup SRAM 保持	2.6	3.8	10.9	19.8	uA

1. 由综合评估结果保证, 不在生产中测试。

2. 基于B版芯片测试结果

3. 表 4-11 停机和待机模式下的典型和最大电流消耗⁽²⁾

符号	参数	条件	典型值 ⁽¹⁾				单位
			T _A = -40℃	T _A = 25℃	T _A = 85℃	T _A = 105℃	
I _{DD}	STOP0 模式下的供应电流	调压器处于运行模式, LSE 打开, RTC 打开, IWDG 关闭, Backup SRAM 保持	1.3	2.84	13	21.84	mA

		调压器处于 LP 模式, LSE 打开, RTC 打开, IWDG 关闭, BackupSRAM 保持	0.87	1.67	7.72	13.24	
I _{DD}	STANDBY 模式下的供应电流	LSE 打开, RTC 打开, IWDG 关闭, BackupSRAM 保持	2.8	3.9	16.3	31.3	uA
		LSE 打开, RTC 关闭, IWDG 关闭, BackupSRAM 保持	2.7	3.8	16.2	31.4	
		LSE 打开, RTC 关闭, IWDG 关闭, BackupSRAM 不保持	2.6	3.7	16.2	31.4	
I _{DD_VBAT}	VBAT 模式下的供应电流	LSE 打开, RTC 打开, IWDG 关闭, Backup SRAM 保持	2.6	3.6	12.3	22.4	uA

1. 由综合评估结果保证, 不在生产中测试。
2. 基于C版芯片测试结果

4.3.5.3 外设电流消耗

表 4-12 外设电流消耗

总线	外设	典型值	单位
AHB	ETH	21.30	μA/MHz
	DMA1	4.47	
	DMA2	4.12	
	FEMC	15.44	
	XSPI	14.45	
AHB1	BKP SRAM	0.41	μA/MHz
	CORDIC	3.55	
	FMAC	6.93	
	CRC	0.83	
	SDIO	10.04	
AHB2	ATIM1	10.17	μA/MHz
	ATIM2	10.82	
	ATIM3	10.69	
AHB3	GPIOA	45.33	μA/MHz
	GPIOB	45.82	
	GPIOC	46.06	
	GIOD	44.89	
	GPIOE	45.41	
	GPIOF	45.81	
	GPIOG	44.98	
	GPIOH	44.52	
	ADC1	17.54	
	ADC2	14.06	
	ADC3	14.90	

	ADC4	14.66	
	SAC	2.49	
APB1	DVP	1.41	$\mu\text{A}/\text{MHz}$
	DAC1	4.64	
	DAC2	4.64	
	I2C1	6.40	
	I2C2	6.80	
	I2C3	6.77	
	I2C4	6.40	
	LPTIM1	3.91	
	LPTIM2	4.83	
	UART5	5.39	
	UART8	5.53	
	GTIM1	9.61	
	GTIM2	8.85	
	GTIM3	9.38	
	GTIM4	11.60	
	GTIM5	11.47	
	GTIM6	11.61	
	GTIM7	11.65	
	CANFD1	16.92	
	CANFD2	16.69	
	CANFD3	12.20	
	UCDR	5.55	
	USBFS	23.75	
	BTIM1	6.56	
	BTIM2	6.38	
	SPI2/I2S2	6.64	
	SPI3/I2S3	6.48	
	USART2	6.62	
	USART3	6.85	
	RTC	3.26	
	WWDG	3.70	
	PWR	4.60	
APB2	SPI1	5.14	$\mu\text{A}/\text{MHz}$
	SPI4	5.28	
	SPI5	4.77	
	SPI6	4.82	
	USART1	6.83	
	USART4	9.17	
	UART6	5.51	

	UART7	5.51	
	GTIM8	13.50	
	GTIM9	13.36	
	GTIM10	13.62	

4.3.6 外部时钟源特性

4.3.6.1 外部高速时钟源（HSE）

下表中给出的特性参数是使用一个高速的外部时钟源（Bypass模式）测得，环境温度和供电电压符合表 4-4 的条件。

表 4-13 高速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f _{HSE_ext}	用户外部时钟频率 ⁽¹⁾	-	1	8	50	MHz
V _{HSEH}	OSC_IN 输入引脚高电平电压		0.7V _{DD}	-	V _{DD}	-
V _{HSEL}	OSC_IN 输入引脚低电平电压		V _{SS}	-	0.3V _{DD}	V
t _{w(HSE)}	OSC_IN 高或低的时间 ⁽¹⁾		16	-	-	ns
t _{r(HSE)}	OSC_IN 上升或下降的时间 ⁽¹⁾		-	-	20	
t _{f(HSE)}						
DuCy _(HSE)	占空比	-	45	-	55	%
I _L	OSC_IN 输入漏电流	V _{SS} ≤V _{IN} ≤V _{DD}	-1	-	+1	μA

1. 由设计保证，不在生产中测试。

4.3.6.2 外部低速时钟源（LSE）

下表中给出的特性参数是使用一个低速的外部时钟源（Bypass模式）测得，环境温度和供电电压符合表 4-4 的条件。

表 4-14 低速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
fLSE_ext	用户外部时钟频率 ⁽¹⁾	-	8.8	32.768	1000	KHz
V _{LSEH}	OSC32_IN 输入引脚高电平电压		0.7V _{DD}	-	V _{DD}	V
V _{LSEL}	OSC32_IN 输入引脚低电平电压		V _{SS}	-	0.3V _{DD}	mV
t _{w(LSE)}	OSC32_IN 高或低的时间 ⁽¹⁾		450	-	-	ns
t _{f(LSE)}						
t _{r(LSE)}	OSC32_IN 上升或下降的时间 ⁽¹⁾		-	-	50	
t _{f(LSE)}						
DuCy _(LSE)	占空比	-	30	-	70	%
I _L	OSC32_IN 输入漏电流	V _{SS} ≤V _{IN} ≤V _{DD}	-	-	±1	μA

1. 由设计保证，不在生产中测试。

图 4-5 外部高速时钟源的交流时序图

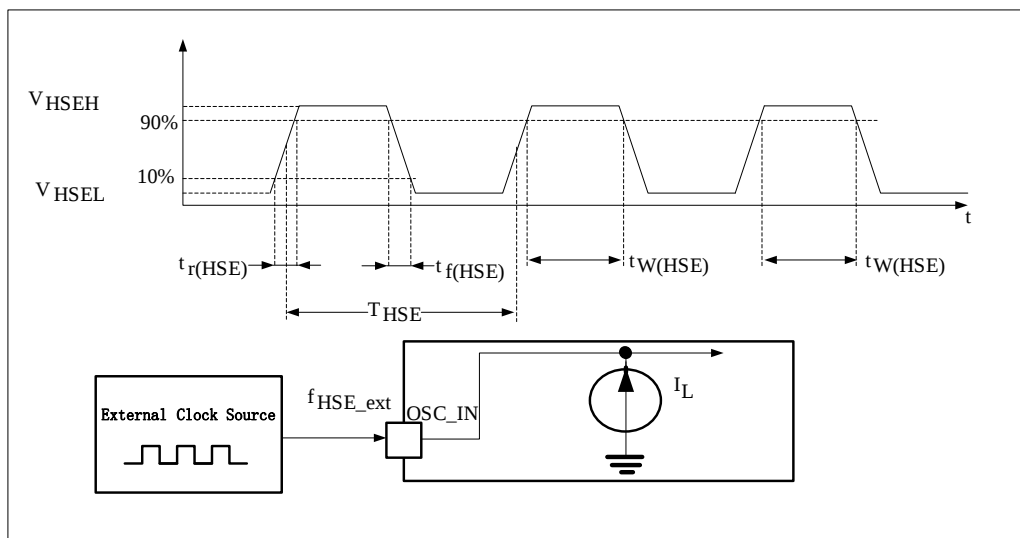
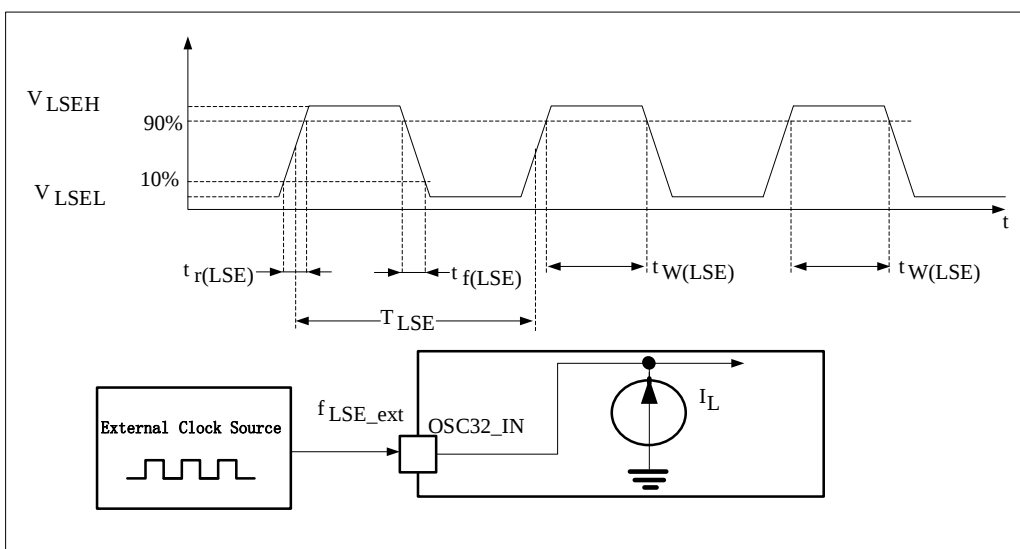


图 4-6 外部低速时钟源的交流时序图



使用一个晶体/陶瓷谐振器产生的高速外部时钟

高速外部时钟(HSE)可以使用一个4~32MHz的晶体/陶瓷谐振器（晶体模式）构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。(这里提到的晶体谐振器就是我们通常说的无源晶振)

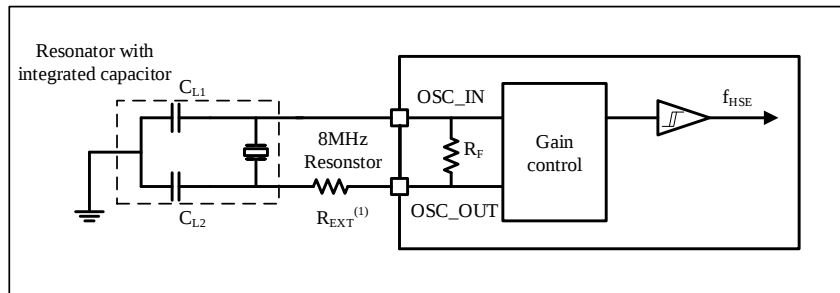
表 4-15 HSE 4~32MHz振荡器特性⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{OSC_IN}	振荡器频率	-	4	8	32	MHz
R_F	反馈电阻	-	-	380	-	k Ω
i_2	HSE 驱动电流	VDD=3.3V, VIN=VSS 30pF 负载	-	1.8	-	mA

g_m	振荡器的跨导	启动	-	10	-	mA/V
$t_{SU(HSE)}^{(3)}$	启动时间(8M 晶体)	V_{DD} 是稳定的	-	3	5	ms

1. 谐振器的特性参数由晶体/陶瓷谐振器制造商给出。
2. 由设计保证，不在生产中测试。
3. $t_{SU(HSE)}$ 是启动时间，是从软件使能HSE开始测量，直至得到稳定的8MHz振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

图 4-7 使用8MHz晶体的典型应用



1. R_{EXT} 数值由晶体的特性决定。

使用一个晶体/陶瓷谐振器产生的低速外部时钟

低速外部时钟(LSE)可以使用一个32.768kHz的晶体/陶瓷谐振器（晶体模式）构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。(这里提到的晶体谐振器就是我们通常说的无源晶振)

注意：对于 C_{L1} 和 C_{L2} ，建议使用高质量的瓷介电容器，并挑选符合要求的晶体或谐振器。通常 C_{L1} 和 C_{L2} 具有相同参数。晶体制造商通常以 C_{L1} 和 C_{L2} 的串行组合给出负载电容的参数。

负载电容 C_L 由下式计算： $C_L = C_{L1} \times C_{L2} / (C_{L1} + C_{L2}) + C_{stray}$ ，其中 C_{stray} 是引脚的电容和PCB板或PCB相关的电容。

例如：如果选择了一个负载电容 $C_L=6pF$ 的谐振器并且 $C_{stray}=2pF$ ，则 $C_{L1}=C_{L2}=8pF$ 。

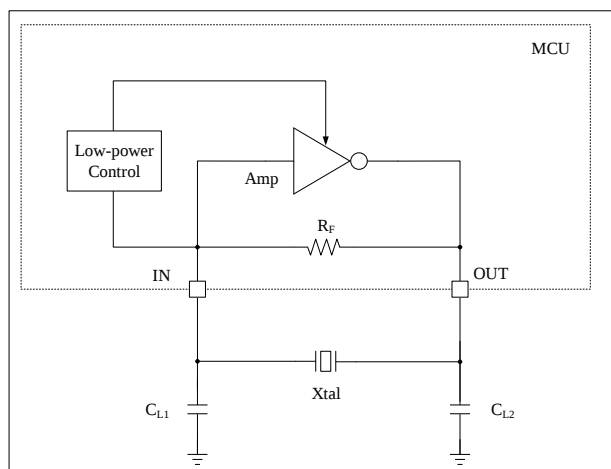
表 4-16 LSE振荡器特性($f_{LSE}=32.768kHz$)⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
R_F	反馈电阻	-	-	5	-	MΩ
I_2	LSE 驱动电流	低驱动	-	300	-	nA
		中驱动	-	750	-	
		高驱动	-	1000	-	
g_m	最大跨导	低驱动	-	9	-	μA/V
		中驱动	-	120	-	
		高驱动	-	27	-	
$t_{SU(LSE)}^{(2)}$	启动时间	V_{DD} 是稳定的	-	2	-	s

1. 由综合评估保证，不在生产中测试。
2. $t_{SU(LSE)}$ 是启动时间，是从软件使能LSE开始测量，直至得到稳定的32.768KHz振荡这段时间。这个数值是在一个标准的晶

体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

图 4-8 使用32.768kHz晶体的典型应用



4.3.7 内部时钟源特性

下表中给出的特性参数是使用环境温度和供电电压符合表 4-4的条件测量得到。

4.3.7.1 高速内部(HSI)RC振荡器

表 4-17 HSI振荡器特性⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSI}	频率	VDD=3.3V, $T_A = 25^\circ\text{C}$, 校准后	7.96 ⁽³⁾	8	8.04 ⁽³⁾	MHz
ACC_{HSI}	HSI 振荡器的精度 ⁽⁴⁾	VDD=3.3V, $T_A = -40\sim 105^\circ\text{C}$	-1.5	-	2	%
		VDD=3.3V, $T_A = -10\sim 85^\circ\text{C}$	-1.2	-	1.2	%
		VDD=3.3V, $T_A = 0\sim 70^\circ\text{C}$	-1	-	1	%
$t_{\text{SU(HSI)}}$	HSI 振荡器启动时间	-	-	-	6	μs
$I_{\text{DD(HSI)}}$	HSI 振荡器功耗	-	-	100	120	μA

1. $V_{\text{DD}} = 3.3\text{V}$, $T_A = -40\sim 105^\circ\text{C}$, 除非特别说明。
2. 由设计保证, 不在生产中测试。
3. 生产校准精度, 未包括焊接影响。焊接带来频率偏差范围约 $\pm 1\%$ 。
4. 频率偏差包括焊接带来的影响, 数据来自样品测试, 不在生产中进行测试。

4.3.7.2 低速内部(LSI)RC振荡器

表 4-18 LSI振荡器特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
$f_{\text{LSI}}^{(2)}$	输出频率	25°C 校准, $V_{\text{DD}} = 3.3\text{V}$	-	32	-	KHz
		$V_{\text{DD}} = 1.8\text{V} \sim 3.6\text{V}$, $T_A = -40\sim 105^\circ\text{C}$	28.8	32	35.2	KHz
$t_{\text{SU(LSI)}}^{(2)}$	LSI 振荡器启动时间	-	-	60	84	μs
$I_{\text{DD(LSI)}}^{(2)}$	LSI 振荡器功耗	-	-	0.6	-	μA

1. $V_{\text{DD}} = 3.3\text{V}$, $T_A = -40\sim 105^\circ\text{C}$, 除非特别说明。
2. 由设计保证, 不在生产中测试。

4.3.8 从低功耗模式唤醒的时间

表 4-19列出的唤醒时间是在一个8MHz的HSI RC振荡器的唤醒阶段测量得到。唤醒时使用的时钟源依当前的操作模式而定：

- STOP0或STANDBY模式：时钟源是RC振荡器
- SLEEP模式：时钟源是进入SLEEP模式时所使用的时钟

所有的时间是使用环境温度和供电电压符合表 4-4的条件测量得到。

表 4-19 低功耗模式的唤醒时间

符号	参数	典型值 ⁽¹⁾	单位
twUSLEEP	从睡眠模式唤醒	6	Cycles
twUSTOP0	从停机模式 0 唤醒(调压器处于运行模式)	20	μs
	从停机模式 0 唤醒(调压器为低功耗模式)	22	μs
twUSTDBY	从待机模式唤醒	100	μs

1. 唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令。

4.3.9 PLL特性

表 4-20列出的参数是使用环境温度和供电电压符合表 4-4的条件测量得到。

表 4-20 PLL特性

符号	参数	数值			单位
		最小值	典型值	最大值 ⁽¹⁾	
f _{PLL_IN}	PLL 输入时钟 ⁽²⁾	4	8	50	MHz
	PLL 输入时钟占空比	40	50	60	%
f _{PLL_OUT}	PLL 倍频输出时钟	32	-	240	MHz
t _{LOCK}	PLL Ready 指示信号输出时间	-	-	150	μs
Jitter	Rms cycle-to-cycle jitter @240MHz	-	5	-	ps
I _{PLL}	Operating Current of PLL @240MHz VCO frequency.	-	-	1500	uA

1. 由综合评估得出，不在生产中测试。
2. 需要注意使用正确的倍频系数，从而根据PLL输入时钟频率使得f_{PLL_OUT}处于允许范围内。

表 4-21 SHRTPLL特性

符号	参数	数值			单位
		最小值	典型值	最大值 ⁽¹⁾	
f _{SHRTPLL_IN}	SHRTPLL 输入时钟 ⁽²⁾	4	8	50	MHz
	SHRTPLL 输入时钟占空比	40	50	60	%
f _{SHRTPLL_OUT}	SHRTPLL 倍频输出时钟	75 ⁽³⁾	-	250 ⁽³⁾	MHz
t _{LOCK}	SHRTPLL Ready 指示信号输出时间	10	62.5	125	μs
Jitter	Rms period jitter @250MHz	-	100	-	±ps
I _{SHRTPLL}	Operating Current of SHRTPLL @250MHz VCO frequency.	-	9.2	-	mA

1. 由综合评估得出，不在生产中测试。
2. 需要注意使用正确的倍频系数，从而根据SHRTPLL输入时钟频率使得f_{SHRTPLL_OUT}处于允许范围内。

3. 实际SHRTPLL输出为300MHz~1000MHz, 给外设使用时内部会自动进行4分频。

4.3.10 FLASH存储器特性

除非特别说明, 所有特性参数是在 $T_A = -40\sim 105^{\circ}\text{C}$ 得到。

表 4-22 闪存存储器特性

符号	参数	条件	最小值 ⁽¹⁾	典型值 ⁽¹⁾	最大值 ⁽¹⁾	单位
t _{prog}	64 位的编程时间	$T_A = -40\sim 105^{\circ}\text{C}$, double word 模式	-	40	-	μs
		$T_A = -40\sim 105^{\circ}\text{C}$, buffer program 模式	-	19	-	
t _{ERASE}	页(8K 字节)擦除时间	$T_A = -40\sim 105^{\circ}\text{C}$	-	10	20	ms
t _{ME}	整片擦除时间	$T_A = -40\sim 105^{\circ}\text{C}$	-	10	20	ms
I _{DD}	供电电流	读模式, f _{HCLK} =240MHz, 4 个 等待周期, V _{DD} =3.3V	-	4.2	5.45	mA
		写模式, f _{HCLK} =240MHz V _{DD} =3.3V	-	6.5	-	mA
		擦除模式, f _{HCLK} =240MHz V _{DD} =3.3V	-	4.5	-	mA
		掉电模式/停机, V _{DD} =3.3~3.6V	-	0.05	4.65	μA
V _{prog}	编程电压	-	1.8	3	3.6	V

1. 由设计保证, 不在生产中测试。

表 4-23 闪存存储器寿命和数据保存期限

符号	参数	条件	最小值 ⁽¹⁾	单位
N _{END}	寿命(注: 擦写次数)	$T_A = -40\sim 105^{\circ}\text{C}$, Flash 容量 为 512KB	10	千次
t _{RET}	数据保存期限	10kcycle ⁽²⁾ at $T_A = 85^{\circ}\text{C}$ 时	20	年
		10kcycle ⁽²⁾ at $T_A = 105^{\circ}\text{C}$ 时	15	年
		10kcycle ⁽²⁾ at $T_A = 125^{\circ}\text{C}$ 时	10	年

1. 由综合评估得出, 不在生产中测试。

4.3.11 绝对最大值(电气敏感性)

基于不同的测试(ESD, ES, LU), 使用特定的测量方法, 对芯片进行强度测试以决定它的电气敏感性方面的性能。

静电放电(ESD)

静电放电(一个正的脉冲然后间隔一秒钟后一个负的脉冲)施加到所有样品的所有引脚上。

表 4-24 ESD绝对最大值

符号	参数	条件	类型	最大值 ⁽¹⁾	单位
V _{ESD(HBM)} ⁽²⁾	静电放电电压(人体模型)	$T_A = +25^{\circ}\text{C}$, 符合 MIL-STD-883K Method 3015.9	3A	4000	V

$V_{ESD(CDM)}$	静电放电电压(充电设备模型)	$T_A = +25\text{ }^{\circ}\text{C}$, 符合 ESDA/JEDEC JS-002-2018	C3	1000	
----------------	----------------	---	----	------	--

1. 由综合评估得出, 不在生产中测试。
2. VBAT引脚电压最大值为2000V

电磁敏感性(EMS)

表 4-25 EMS特性

符号	参数	条件	等级
V_{FESD}	在任何 I/O 引脚上施加电压限制, 以触发功能干扰	$V_{DD} = 3.3\text{V}$, LQFP144, $T_A = 25\text{ }^{\circ}\text{C}$, HCLK = 240MHz, conforms to IEC 61000-4-2	4A
V_{EFTB}	通过在 V_{DD} 和 V_{SS} 引脚之间的 100pF 电容上施加快速瞬态电压突发限制, 以引起功能干扰	$V_{DD} = 3.3\text{V}$, LQFP144, $T_A = 25\text{ }^{\circ}\text{C}$, HCLK = 240MHz, conforms to IEC 61000-4-4	4A
	对 I/O 引脚施加电容耦合钳位和耦合的快速瞬态电压突发限制, 以引起功能干扰	$V_{DD} = 3.3\text{V}$, LQFP144, $T_A = 25\text{ }^{\circ}\text{C}$, HCLK = 240MHz, conforms to IEC 61000-4-4	4A

静态栓锁(LU)

为了评估栓锁性能, 需要在6个样品上进行2个互补的静态栓锁测试:

- 为每个电源引脚, 提供超过极限的供电电压。
- 在每个输入、输出和可配置的I/O引脚上注入电流。

这个测试符合EIA/JESD78A集成电路栓锁标准。

表 4-26 静态栓锁

符号	参数	条件	类型	最小值 ⁽¹⁾
LU	静态栓锁类	$T_A = +125\text{ }^{\circ}\text{C}$, 符合 JESD 78E	II 类 A	$\pm 200\text{mA}$, $1.5 \cdot V_{DDMAX}$

1. 在常温条件下测试。

4.3.12 I/O端口特性

通用输入/输出特性

除非特别说明, 下表列出的参数是按照表 4-4的条件测量得到。所有的I/O端口都是兼容CMOS和TTL。

表 4-27 I/O静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL}	输入低电平电压	$V_{DD}=3.3\text{V}$	V_{SS}	-	0.8	V
		$V_{DD}=2.5\text{V}$	V_{SS}	-	0.7	
		$V_{DD}=1.8\text{V}$	V_{SS}	-	$0.3 \cdot V_{DD}$	
V_{IH}	输入高电平电压	$V_{DD}=3.3\text{V}$	2	-	V_{DD}	
		$V_{DD}=2.5\text{V}$	1.7	-	V_{DD}	
		$V_{DD}=1.8\text{V}$	$0.7 \cdot V_{DD}$	-	V_{DD}	
V_{hys}	施密特触发器电压迟滞 ⁽¹⁾	$V_{DD}=3.3\text{V}$	200	-	-	mV
		$V_{DD}=2.5\text{V}$	200	-	-	

		$V_{DD}=1.8V$	$0.1*V_{DD}^{(2)}$	-	-	
I_{lk}	输入漏电流 ⁽³⁾	$V_{DD}=\text{Maximum}$	-1	-	1	μA
		$V_{PAD}=0$ 或 $V_{PAD}=V_{DD}^{(5)}$				
R_{PU}	弱上拉等效电阻 ⁽⁴⁾	$V_{DD}=3.3V, V_{IN}=V_{SS}$	80	-	220	$k\Omega$
		$V_{DD}=1.8\sim 3.3V, V_{IN}=V_{SS}$	60	-	500	$k\Omega$
R_{PD}	弱下拉等效电阻 ⁽⁴⁾	$V_{DD}=3.3V, V_{IN}=V_{DD}$	80	-	220	$k\Omega$
		$V_{DD}=1.8\sim 3.3V, V_{IN}=V_{DD}$	60	-	500	$k\Omega$
C_{IO}	I/O 引脚的电容	-	-	5	-	pF

1. 施密特触发器开关电平的迟滞电压。由综合评估得出，不在生产中测试。
2. 至少100mV。
3. 如果在相邻引脚有反向电流倒灌，则漏电流可能高于最大值。
4. 上拉和下拉电阻是设计为一个可开关的PMOS/NMOS实现。
5. V_{PAD} 是指 IO 管脚的输入电压。

所有I/O端口都是CMOS和TTL兼容(不需软件配置)，它们的特性考虑了多数严格的CMOS工艺或TTL参数：

输出驱动电流

GPIO(通用输入/输出端口)可以吸收或输出多达 $\pm 12mA$ 电流。在用户应用中，I/O脚的数目必须保证驱动电流不超过4.2节给出的绝对最大额定值：

- 所有I/O端口从 V_{DD} 上获取的电流总和，加上MCU在 V_{DD} 上获取的最大运行电流，不能超过绝对最大额定值 I_{VDD} (表 4-2)。
- 所有I/O端口吸收并从 V_{SS} 上流出的电流总和，加上MCU在 V_{SS} 上流出的最大运行电流，不能超过绝对最大额定值 I_{VSS} (表 4-2)。

输出电压

除非特别说明，表 4-29列出的参数是使用环境温度和 V_{DD} 供电电压符合表 4-4的条件测量得到。所有的I/O端口都是兼容CMOS和TTL的。

表 4-28 IO驱动能力表⁽¹⁾

驱动等级	$I_{OH},$ $V_{DD}=3.3V$	$I_{OL},$ $V_{DD}=3.3V$	$I_{OH},$ $V_{DD}=2.5V$	$I_{OL},$ $V_{DD}=2.5V$	$I_{OH},$ $V_{DD}=1.8V$	$I_{OL},$ $V_{DD}=1.8V$	单位
2	-2	2	-1.5	1.5	-1	1	mA
4	-4	4	-3	3	-2	2	mA
8	-8	8	-7	7	-5	5	mA
12	-12	12	-11	11	-7	8	mA

1. 由设计保证，不在生产中测试。

表 4-29 输出电压特性⁽³⁾

符号	参数	条件	最小值	最大值	单位
$V_{OL}^{(1)}$	输出低电平	$V_{DD}=3.3V, I_{OL}^{(4)}=2/4/8/12$	V_{SS}	0.4	V
		$V_{DD}=2.5V, I_{OL}^{(4)}=2/4/8/12$	V_{SS}	0.4	
		$V_{DD}=1.8V, I_{OL}^{(4)}=2/4/8/12$	V_{SS}	$0.2*V_{DD}$	
$V_{OH}^{(2)}$	输出高电平	$V_{DD}=3.3V, I_{OH}^{(4)}=2/4/8/12$	$2.4^{(5)}$	V_{DD}	
		$V_{DD}=2.5V, I_{OH}^{(4)}=2/4/8/12$	$1.8^{(5)}$	V_{DD}	

		$V_{DD}=1.8V, I_{OH}^{(4)}=2/4/8/12$	$0.8 \cdot V_{DD}$	V_{DD}	
--	--	--------------------------------------	--------------------	----------	--

1. 芯片吸收的电流 I_{IO} 必须始终遵循表 4-2中给出的绝对最大额定值，同时 I_{IO} 的总和(所有I/O脚和控制脚)不能超过 I_{VSS} 。
2. 芯片输出的电流 I_{IO} 必须始终遵循表 4-2中给出的绝对最大额定值，同时 I_{IO} 的总和(所有I/O脚和控制脚)不能超过 I_{VDD} 。
3. 由综合评估得出，不在生产中测试。
4. 实际驱动能力见表 4-28。
5. PC13,PC14,PC15不在此范围内。

输入输出交流特性

输入输出交流特性的定义和数值分别在图 4-9和表 4-30给出。

除非特别说明，表 4-30列出的参数是使用环境温度和供电电压符合表 4-4的条件测量得到。

表 4-30 输入输出交流特性⁽¹⁾

DSy[1:0]配置	符号	参数	条件	最小值	最大值	单位
00(2mA)	$f_{\max(IO)out}$	最大频率 ⁽²⁾	$C_L=5pF, V_{DD}=3.3V$	-	75	MHz
			$C_L=5pF, V_{DD}=2.5V$	-	50	
			$C_L=5pF, V_{DD}=1.8V$	-	30	
	$t_{(IO)out}$	输出延时	$C_L=5pF, V_{DD}=3.3V$	-	3.7	ns
			$C_L=5pF, V_{DD}=2.5V$	-	4.8	
			$C_L=5pF, V_{DD}=1.8V$	-	7.2	
	$t_{(IO)in}$	输入延时	$CL=50fF, V_{DD}=2.97V, V_{DDD}=0.81V$ input characteristics at 1.8V and 2.5V are derated	-	2	ns
01 (4mA)	$f_{\max(IO)out}$	最大频率 ⁽²⁾	$C_L=10pF, V_{DD}=3.3V$	-	90	MHz
			$C_L=10pF, V_{DD}=2.5V$	-	60	
			$C_L=10pF, V_{DD}=1.8V$	-	40	
	$t_{(IO)out}$	输出延时	$C_L=10pF, V_{DD}=3.3V$	-	3.5	ns
			$C_L=10pF, V_{DD}=2.5V$	-	4.5	
			$C_L=10pF, V_{DD}=1.8V$	-	6.8	
	$t_{(IO)in}$	输入延时	$CL=50fF, V_{DD}=2.97V, V_{DDD}=0.81V$ input characteristics at 1.8V and 2.5V are derated	-	2	
10 (8mA)	$f_{\max(IO)out}$	最大频率 ⁽²⁾	$C_L=20pF, V_{DD}=3.3V$	-	100	MHz
			$C_L=20pF, V_{DD}=2.5V$	-	75	
			$C_L=20pF, V_{DD}=1.8V$	-	50	
	$t_{(IO)out}$	输出延时	$C_L=20pF, V_{DD}=3.3V$	-	3.5	ns
			$C_L=20pF, V_{DD}=2.5V$	-	4.8	
			$C_L=20pF, V_{DD}=1.8V$	-	6.6	
	$t_{(IO)in}$	输入延时	$CL=50fF, V_{DD}=2.97V, V_{DDD}=0.81V$ input characteristics at 1.8V and 2.5V are derated	-	2	
11 (12mA)	$f_{\max(IO)out}$	最大频率 ⁽²⁾	$C_L=30pF, V_{DD}=3.3V$	-	120	MHz
			$C_L=30pF, V_{DD}=2.5V$	-	90	
			$C_L=30pF, V_{DD}=1.8V$	-	60	
	$t_{(IO)out}$	输出延时	$C_L=30pF, V_{DD}=3.3V$	-	3.4	ns
			$C_L=30pF, V_{DD}=2.5V$	-	4.3	
			$C_L=30pF, V_{DD}=1.8V$	-	6.4	

	$t_{(IO)in}$	输入延时	CL=50fF, VDD=2.97V, VDDD=0.81V input characteristics at 1.8V and 2.5V are derated	-	2	
--	--------------	------	---	---	---	--

1. I/O端口的驱动能力通过PMODEy[1:0]配置，参见用户手册中有关GPIO端口配置寄存器的说明。
2. 最大频率在图 4-9定义。

图 4-9 输入输出交流特性定义

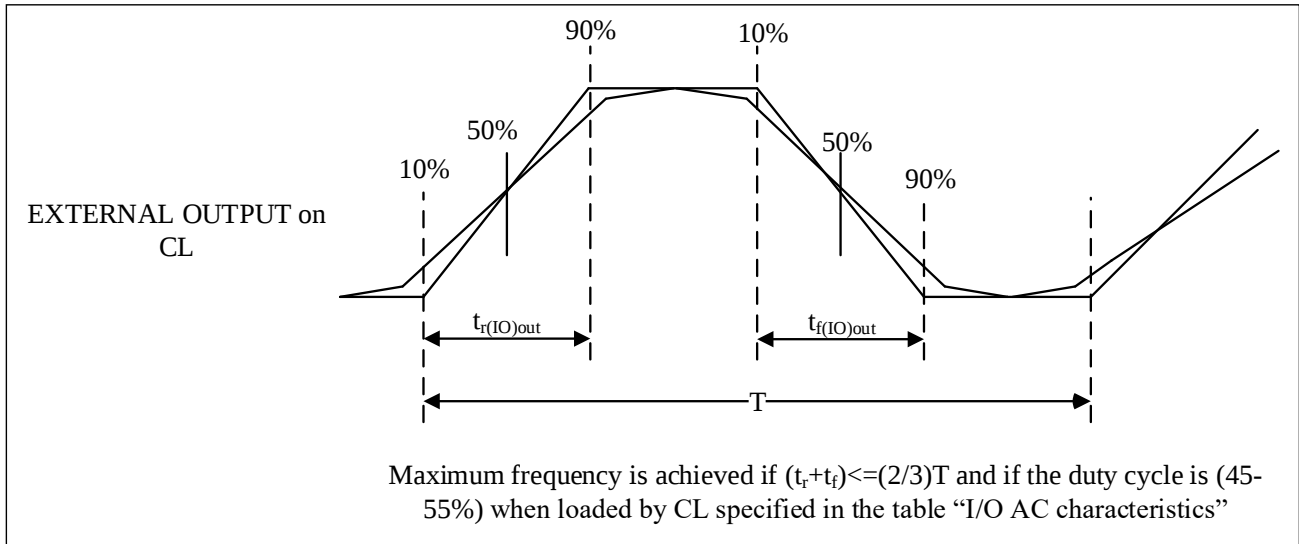
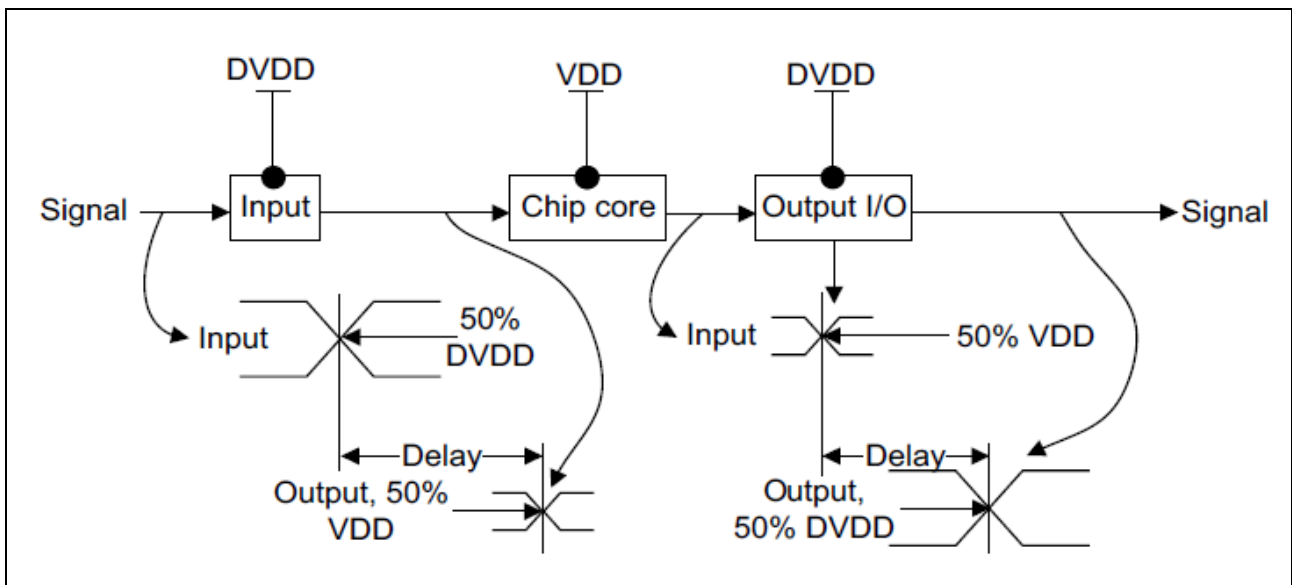


图 4-10 传输延迟



4.3.13 NRST引脚特性

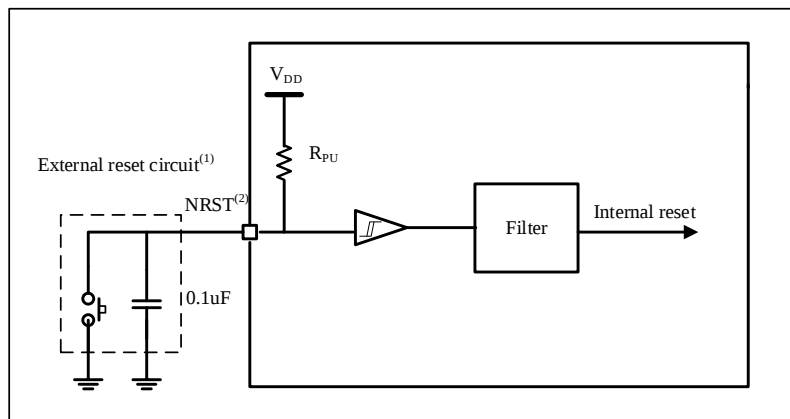
NRST引脚输入驱动使用CMOS工艺，内部集成一个不能断开的上拉电阻， R_{PU} (参见表 4-31)。除非特别说明，表 4-31列出的参数是使用环境温度和供电电压符合表 4-4的条件测量得到。

表 4-31 NRST引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}^{(1)}$	NRST 输入低电平电压	-	V_{SS}	-	$0.3 \cdot V_{DD}$	V
$V_{IH(NRST)}^{(1)}$	NRST 输入高电平电压	-	$0.7 \cdot V_{DD}$	-	V_{DD}	
$V_{hys(NRST)}$	NRST 施密特触发器电压迟滞	-	-	300	-	mV
R_{PU}	弱上拉等效电阻 ⁽²⁾	$V_{IN} = V_{SS}$	30	50	80	k Ω
$V_{F(NRST)}^{(1)}$	NRST 输入滤波脉冲	$V_{DD} = 3.3V$	-	-	100	ns
$V_{NF(NRST)}^{(1)}$	NRST 输入非滤波脉冲	$V_{DD} = 3.3V$	300	-	-	ns

1. 由设计保证，不在生产中测试。
2. 上拉电阻是设计为一个真正的电阻串联一个可开关的PMOS实现。这个PMON/NMOS开关的电阻很小(约占10%)。

图 4-11 建议的NRST引脚保护



1. 滤波作用。
2. 用户必须保证NRST引脚的电位能够低于表 4-31中列出的最大 $V_{IL(NRST)}$ 以下，否则MCU不能得到复位。

4.3.14 TIM定时器特性

表 4-32、表 4-33、表 4-34和表 4-35列出的参数由设计保证。

有关输入输出复用功能引脚(输出比较、输入捕获、外部时钟、PWM输出)的特性详情，请见第4.3.12节。

表 4-32 ATIM1/2/3特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器分辨时间	-	1	-	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 240MHz$	4.16	-	ns
f_{EXT}	CH1 至 CH4 的定时器外部时钟频率	-	0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK} = 240MHz$	0	120	MHz
Re_{TIM}	定时器分辨率	-	-	16	bit
$t_{COUNTER}$	当选择了内部时钟时，16 位计数器时钟周期	-	1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 240MHz$	0.00416	273	μs
t_{MAX_COUNT}	最大可能的计数	-	-	65536×65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 240MHz$	-	17.9	s

1. 由设计保证，不在生产中测试。

表 4-33 GTIM1/2/3/4/5/6/7特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器分辨时间	-	1	-	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 120MHz$	8.33	-	ns

		$f_{TIMxCLK} = 180MHz$	5.56	-	ns
f_{EXT}	CH1 至 CH4 的定时器外部时钟频率	-	0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK} = 120MHz$	0	60	MHz
		$f_{TIMxCLK} = 180MHz$	0	90	MHz
Re_{TIM}	定时器分辨率	-	-	16	bit
$t_{COUNTER}$	当选择了内部时钟时, 16 位计数器时钟周期	-	1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 120MHz$	0.00833	546	μs
		$f_{TIMxCLK} = 180MHz$	0.00556	364	μs
t_{MAX_COUNT}	最大可能的计数	-	-	65536x65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 120MHz$	-	35.8	s
		$f_{TIMxCLK} = 180MHz$	-	23.9	s

1. 由设计保证, 不在生产中测试。

表 4-34 GTIM8/9/10特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器分辨时间	-	1	-	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 240MHz$	4.16	-	ns
f_{EXT}	CH1 至 CH4 的定时器外部时钟频率	-	0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK} = 240MHz$	0	120	MHz
Re_{TIM}	定时器分辨率	-	-	16	bit
$t_{COUNTER}$	当选择了内部时钟时, 16 位计数器时钟周期	-	1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 240MHz$	0.00416	273	μs
t_{MAX_COUNT}	最大可能的计数	-	-	65536x65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 240MHz$	-	17.9	s

1. 由设计保证, 不在生产中测试。

表 4-35 LPTIM1/2特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器分辨时间	-	1	-	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 120MHz$	8.33	-	ns
f_{EXT}	CH1 至 CH4 的定时器外部时钟频率	-	0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK} = 120MHz$	0	60	MHz
Re_{TIM}	定时器分辨率	-	-	16	bit
$t_{COUNTER}$	当选择了内部时钟时, 16 位计数器时钟周期	-	1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 120MHz$	0.00833	546	μs
t_{MAX_COUNT}	最大可能的计数	-	-	65536x65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 120MHz$	-	35.8	s

1. 由设计保证, 不在生产中测试。

4.3.15 看门狗特性

表 4-36 IWDG 最大和最小计数复位时间 (LSI = 32 KHz)

预分频	PD[2:0]	最小时长RL[11:0]=0	最大时长RL[11:0]=0xFFFF	单位
/4	000	0.125	512	ms
/8	001	0.25	1024	
/16	010	0.5	2048	

/32	011	1.0	4096
/64	100	2.0	8192
/128	101	4.0	16384
/256	11x	8.0	32768

1. 由设计保证，不在生产中测试。

表 4-37 WWDG最大和最小计数复位时间(PCLK1 = 120MHz)

预分频	TIMERB[1:0]	最小超时	最大超时	单位
/1	0	0.0341	556.92	ms
/2	1	0.0682	1113.84	
/3	2	0.136	2227.68	
/4	3	0.273	4455.36	

1. 由设计保证，不在生产中测试。

4.3.16 I²C接口特性

除非特别说明，表 4-38列出的参数是使用环境温度， f_{PCLK1} 频率和 V_{DD} 供电电压符合表 4-4的条件测量得到。

N32H487产品的I²C接口符合标准I²C通信协议，但有如下限制：SDA和SCL不是“真”开漏的引脚，当配置为开漏输出时，在引出脚和 V_{DD} 之间的PMOS管被关闭，但仍然存在。

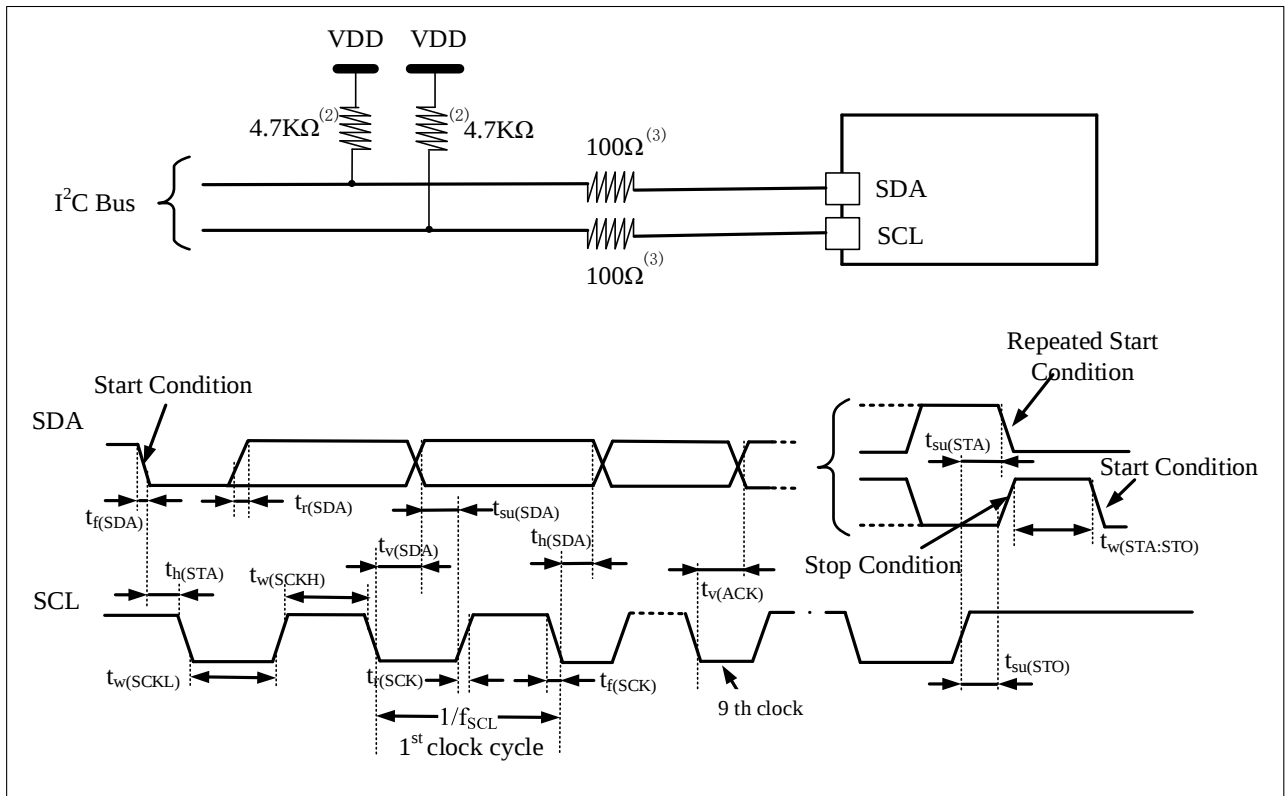
I²C接口特性列于表 4-38，有关输入输出复用功能引脚(SDA和SCL)的特性详情，参见第4.3.12节。

表 4-38 I²C接口特性⁽¹⁾

符号	参数	标准模式		快速模式		快速+模式		单位
		最小	最大	最小	最大	最小	最大	
f_{SCL}	I2C 接口频率	0.0	100	0	400	0	1000	KHz
$t_{h(STA)}$	开始条件保持时间	4.0	-	0.6	-	0.26	-	μs
$t_{w(SCLL)}$	SCL 时钟低时间	4.7	-	1.3	-	0.5	-	μs
$t_{w(SCLH)}$	SCL 时钟高时间	4.0	-	0.6	-	0.26	-	μs
$t_{su(STA)}$	重复的开始条件建立时间	4.7	-	0.6	-	0.26	-	μs
$t_{h(SDA)}$	SDA 数据保持时间	300	-	300	-	0	-	μs
$t_{su(SDA)}$	SDA 建立时间	250.0	-	100	-	50	-	ns
$t_{r(SDA)}$ $t_{r(SCL)}$	SDA 和 SCL 上升时间	-	1000	20	300	-	120	ns
$t_{f(SDA)}$ $t_{f(SCL)}$	SDA 和 SCL 下降时间	-	300	-	300	-	120	ns
$t_{su(STO)}$	停止条件建立时间	4.0	-	0.6	-	0.26	-	μs
$t_{w(STO:STA)}$	停止条件至开始条件的 (总线空闲)	4.7	-	1.3	-	0.5	-	μs
C_b	每条总线的容性负载	-	400	-	400	-	550	pf
$t_v(SDA)$	数据有效时间	-	3.45	-	0.9	-	0.45	μs
$t_v(ACK)$	应答有效时间	-	3.45	-	0.9	-	0.45	μs
t_{SP}	输入滤波器需抑制的尖峰脉冲 宽度	-	-	0	50	0	50	ns

1. 由设计保证，不在生产中测试。

图 4-12 I²C总线交流波形和测量电路⁽¹⁾



1. 测量点设置于CMOS电平：0.3V_{DD}和0.7V_{DD}。
2. 上拉电阻阻值取决于I²C接口速度。
3. 电阻值取决于实际电气特性，可以不连接串行电阻，信号线直连。

4.3.17 SPI/I²S接口特性

除非特别说明，表 4-39列出的SPI参数和表 4-40列出的I²S参数是使用环境温度，f_{CLKx}频率和V_{DD}供电电压符合表 4-4的条件测量得到。

有关输入输出复用功能引脚(SPI的NSS、SCLK、MOSI、MISO，I²S的WS、CLK、SD)的特性详情，参见第4.3.12节。

表 4-39 SPI特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{SCLK} $1/t_c(SCLK)$	SPI时钟频率	主模式	-	-	60	MHz
		从模式	-	-	40	
DuCy(SCK)	SPI从输入时钟占空比	SPI从模式	45	50	55	%
$t_{su(NSS)}^{(1)}$	NSS建立时间	从模式	$t_{SCLK}/2$	-	-	ns
$t_{h(NSS)}^{(1)}$	NSS保持时间	从模式	$t_{SCLK}/2$	-	-	
$t_{w(SCLKH)}^{(1)}$ $t_{w(SCLKL)}^{(1)}$	SCLK高和低的时间	主模式	$t_{SCLK}/2 - 1$	$t_{SCLK}/2$	$t_{SCLK}/2 + 1$	
$t_{su(MI)}^{(1)}$	数据输入建立时间	主模式	3	-	-	
$t_{su(SI)}^{(1)}$		从模式	3.5	-	-	
$t_{h(MI)}^{(1)}$	数据输入保持时间	主模式	2.5	-	-	
$t_{h(SI)}^{(1)}$		从模式	2	-	-	
$t_{a(SO)}^{(1)(2)}$	数据输出访问时间	从模式	9	-	$2 \cdot t_{SCLK}/2$	
$t_{dis(SO)}^{(1)(3)}$	数据输出禁止时间	从模式	9	-	16	
$t_v(SO)^{(1)}$	数据输出有效时间	从模式(使能边沿之后)	-	9	13	
$t_v(MO)^{(1)}$		主模式(使能边沿之后)	-	3	5	
$t_h(SO)^{(1)}$	数据输出保持时间	从模式(使能边沿之后)	5	-	-	
$t_h(MO)^{(1)}$		主模式(使能边沿之后)	0	-	-	

1. 由设计保证，不在生产中测试。
2. 最小值表示驱动输出的最小时间，最大值表示正确获得数据的最大时间。
3. 最小值表示关闭输出的最小时间，最大值表示把数据线置于高阻态的最大时间。

图 4-13 SPI时序图 – 从模式和CLKPHA=0

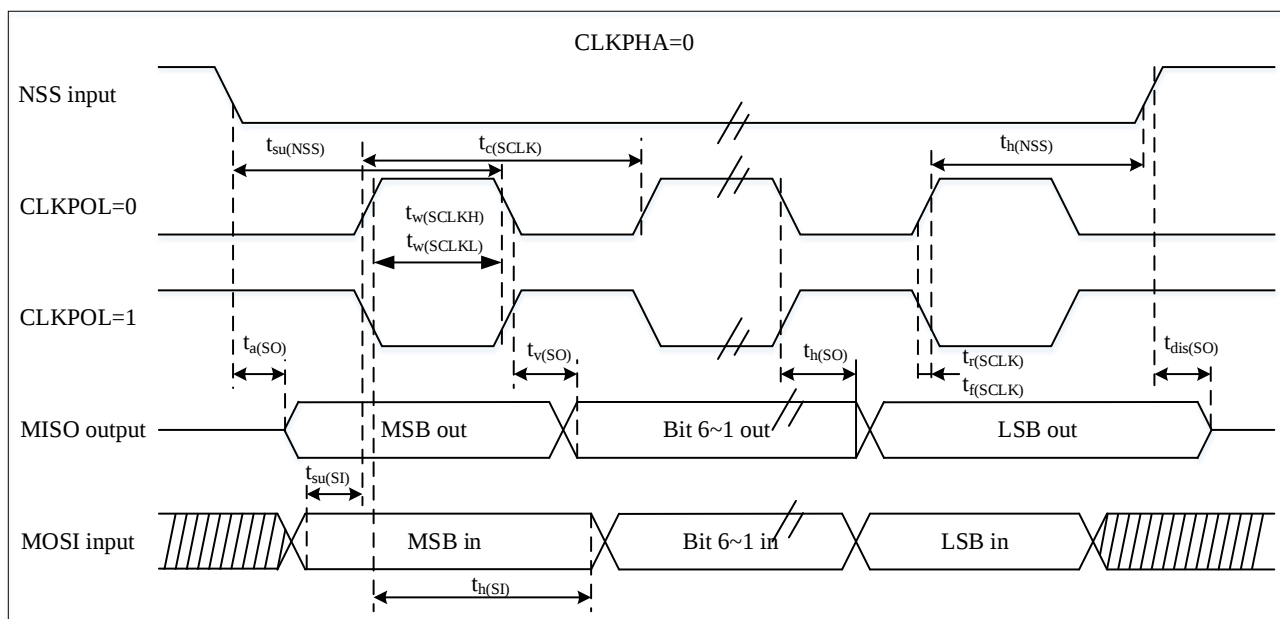
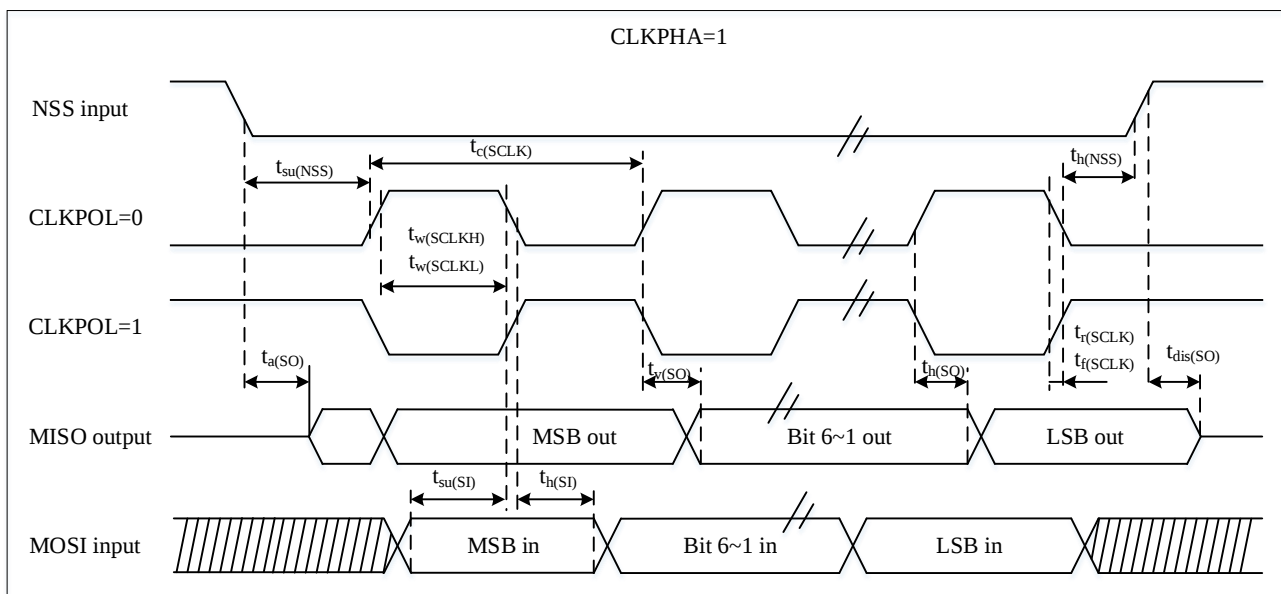
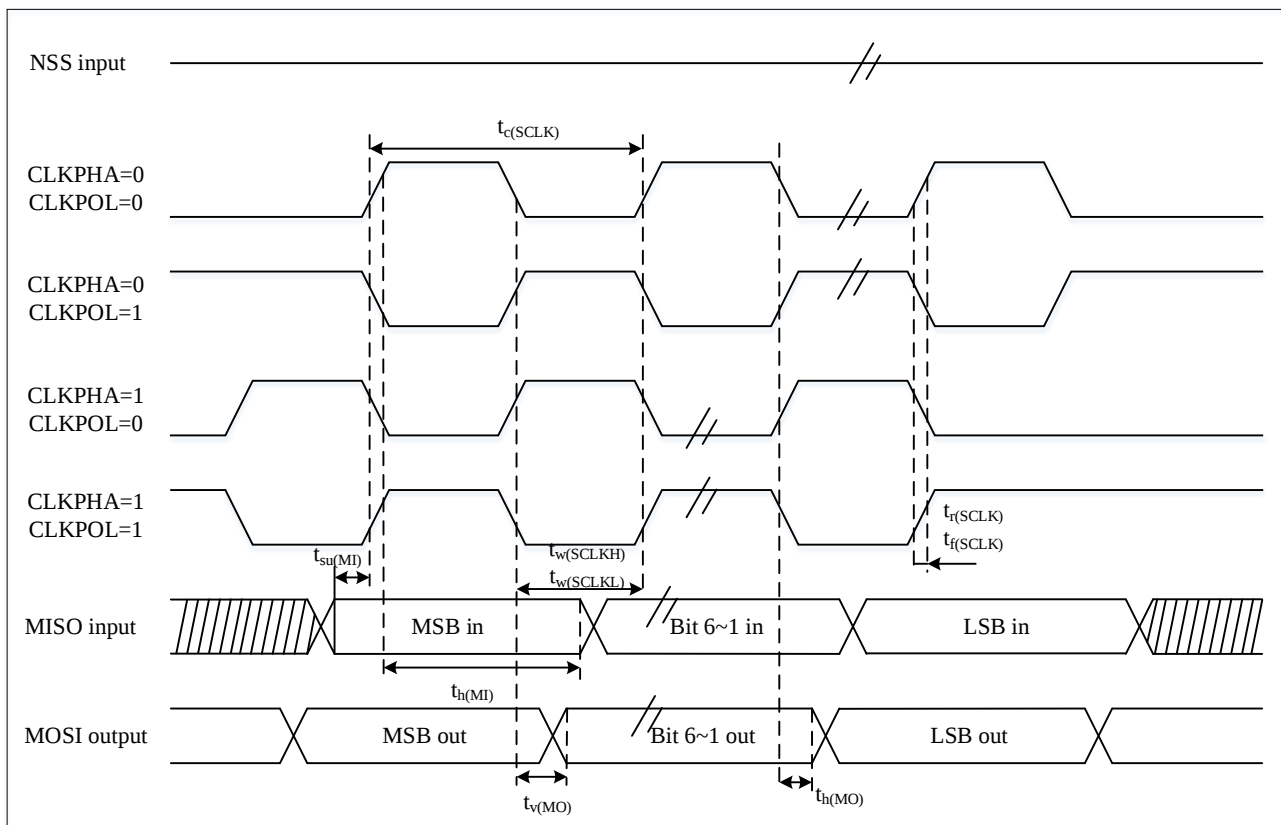


图 4-14 SPI时序图 – 从模式和CLKPHA=1⁽¹⁾



1. 测量点设置于0.3V_{DD}和0.7V_{DD}。

图 4-15 SPI时序图 – 主模式⁽¹⁾



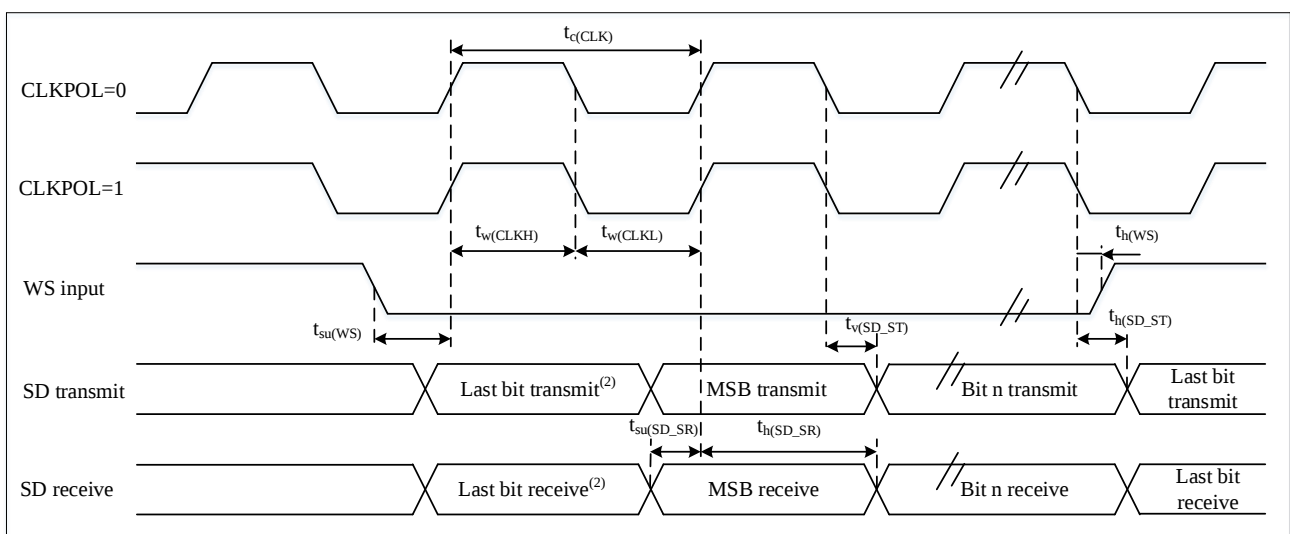
1. 测量点设置于0.3V_{DD}和0.7V_{DD}。

表 4-40 I²S特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
f _{MCLK}	I ² S主时钟频率	主模式	256x8K	256Fs ⁽³⁾	MHz
f _{CLK}	I ² S时钟频率	主模式(32bit)	-	64Fs ⁽³⁾	
1/t _{c(CLK)}		从模式(32bit)	-	64Fs ⁽³⁾	
DuCy(SCK)	I ² S从输入时钟占空比	I ² S从模式	30	70	%
t _{v(WS)} ⁽¹⁾	WS有效时间	主模式	I2S2 - I2S3 -	6 6	
t _{h(WS)} ⁽¹⁾	WS保持时间	主模式	I2S2 2 I2S3 2	- -	
t _{su(WS)} ⁽¹⁾	WS建立时间	从模式	I2S2 7 I2S3 7	- -	
t _{h(WS)} ⁽¹⁾	WS保持时间	从模式	I2S2 0 I2S3 0	- -	
t _{w(CLKH)} ⁽¹⁾	CLK高和低的时间	主模式, f _{PCLK} = 16MHz, 音频48kHz	312.5	-	
t _{w(CLKL)} ⁽¹⁾			345	-	
t _{su(SD_MR)} ⁽¹⁾	数据输入建立时间	主接收器	I2S2 6 I2S3 6	- -	
t _{su(SD_SR)} ⁽¹⁾		从接收器	I2S2 7 I2S3 7	- -	
t _{h(SD_MR)} ⁽¹⁾⁽²⁾	数据输入保持时间	主接收器	I2S2 0 I2S3 0	- -	
t _{h(SD_SR)} ⁽¹⁾⁽²⁾		从接收器	I2S2 1 I2S3 1	- -	
t _{v(SD_ST)} ⁽¹⁾⁽²⁾	数据输出有效时间	从发送器(使能边沿之后)	I ² S2 - I ² S3 -	15 15	
t _{h(SD_ST)} ⁽¹⁾	数据输出保持时间	从发送器(使能边沿之后)	I ² S2 4 I ² S3 4	- -	
t _{v(SD_MT)} ⁽¹⁾⁽²⁾	数据输出有效时间	主发送器(使能边沿之后)	I2S2 - I2S3 -	6 6	
t _{h(SD_MT)} ⁽¹⁾	数据输出保持时间	主发送器(使能边沿之后)	I2S2 0 I2S3 0	- -	

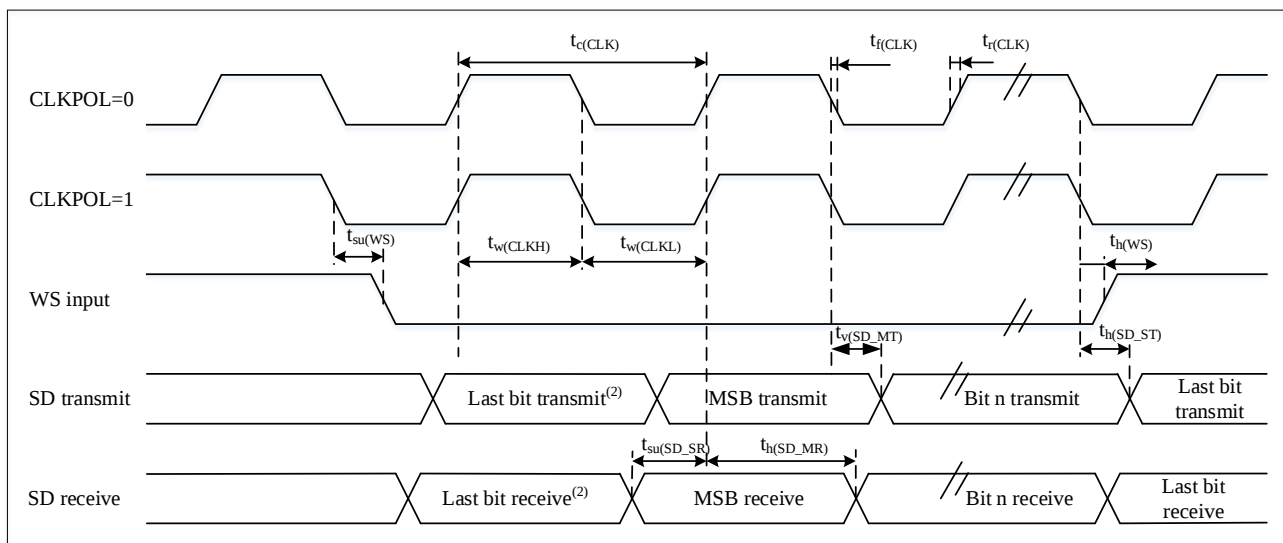
1. 由设计保证, 不在生产中测试。
2. 依赖于f_{PCLK}。例如, 如果f_{PCLK}=8MHz, 则T_{PCLK}=1/f_{PCLK}=125ns。
3. 音频采样频率。

图 4-16 I²S从模式时序图(飞利浦协议)⁽¹⁾



1. 测量点设置于0.3V_{DD}和0.7V_{DD}。
2. 前一字节的最低位发送/接收。在第一个字节之前没有这个最低位的发送/接收。

图 4-17 I²S主模式时序图(飞利浦协议)⁽¹⁾



1. 测量点设置于 $0.3V_{DD}$ 和 $0.7V_{DD}$ 。
2. 前一字节的最低位发送/接收。在第一个字节之前没有这个最低位的发送/接收。

4.3.18 xSPI特性

表 4-41 xSPI在SDR模式下的特性

符号	参数	最小值	典型值	最大值	单位
f_{CK} $1/t_{(CK)}$	QSPI 时钟频率	-	-	60	MHz
$t_w(CKH)$	SCK 高低时间	$t_{(CK)}/2-0.5$	-	$t_{(CK)}/2$	ns
$t_w(CKL)$		$t_{(CK)}/2-0.5$	-	$t_{(CK)}/2$	
$t_s(IN)$	输入数据建立时间	2.5	-	-	ns
$t_h(IN)$	输入数据保持时间	5.5	-	-	ns
$t_v(OUT)$	输出数据有效时间	-	2.5	3.5	ns
$t_h(OUT)$	输出数据保持时间	2.5	-	-	ns

图 4-18 xSPI在SDR模式下的时序

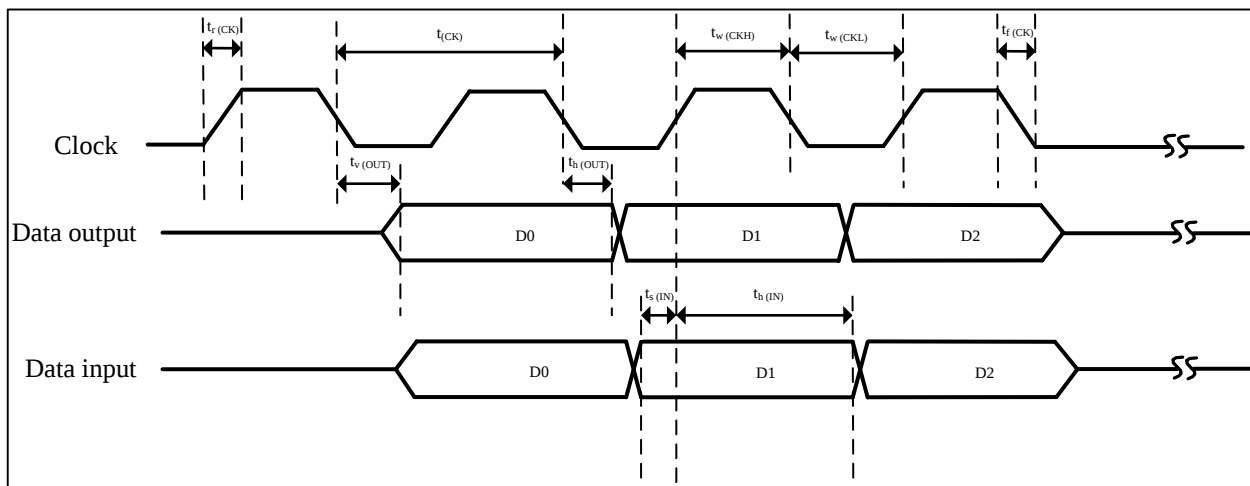


表 4-42 xSPI在DDR模式下的特性

符号	参数	最小值	典型值	最大值	单位
f_{CK} $1/t(CK)$	xSPI时钟频率	-	-	60	MHz
$t_w(CKH)$	SCK高低时间	$t(CK)/2-0.5$	-	$t(CK)/2$	ns
$t_w(CKL)$		$t(CK)/2-0.5$	-	$t(CK)/2$	ns
$t_{sf}(IN)$	输入数据建立时间	3	-	-	ns
$t_{sr}(IN)$		5	-	-	ns
$t_{hf}(IN); t_{hr}(IN)$	输入数据保持时间	2	-	-	ns
$t_{vf}(OUT); t_{vr}(OUT)$	输出数据有效时间	-	-	5	ns
$t_{hf}(OUT); t_{hr}(OUT)$	输出数据保持时间	4	-	-	ns

图 4-19 xSPI在DDR模式下的时序

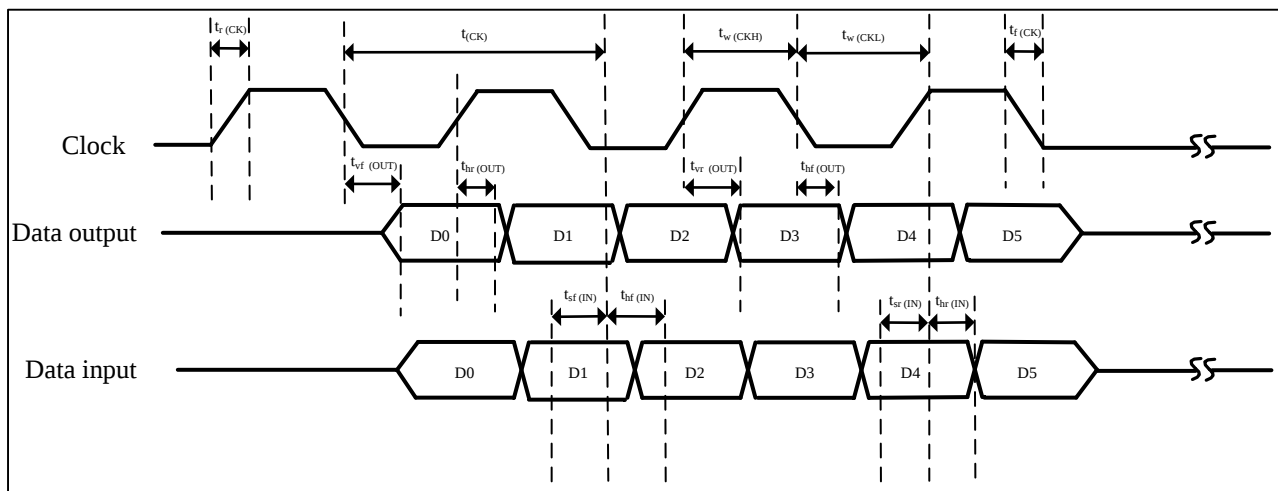
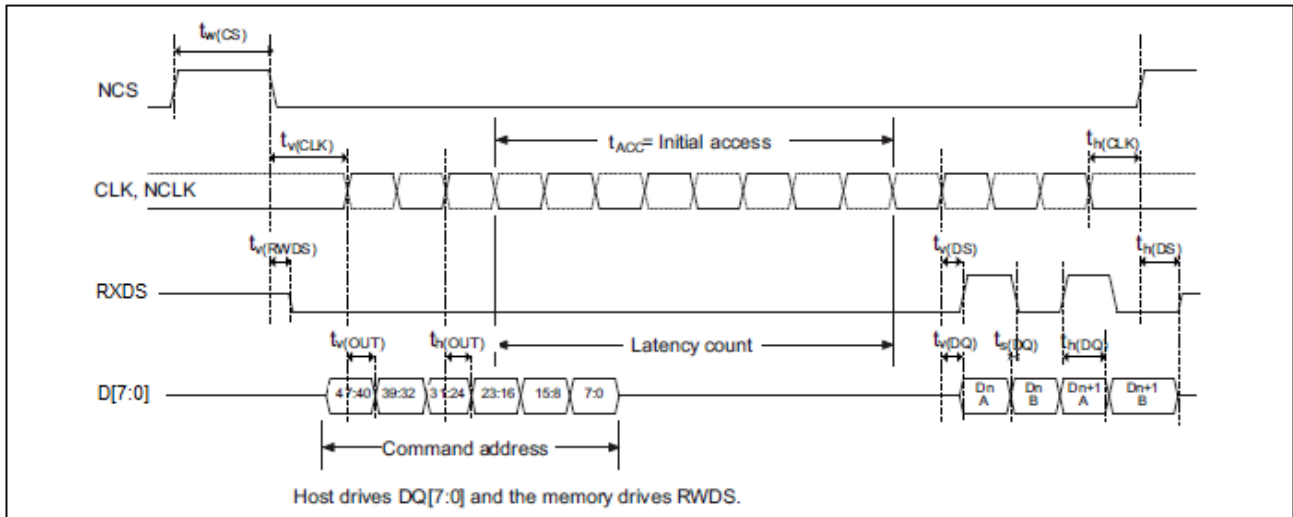


表 4-43 xSPI在RXDS模式下的特性

符号	参数	最小值	典型值	最大值	单位
f_{CK} $1/t(CK)$	xSPI 时钟频率	-	-	60	MHz
$t_w(CKH)$	SCK 高低时间	$t(CK)/2-0.5$	-	$t(CK)/2$	ns
$t_w(CKL)$		$t(CK)/2-0.5$	-	$t(CK)/2$	
$t_v(CLK)$	时钟有效时间	-	-	$t(CK)+2$	
$t_h(CLK)$	时钟高时间	$t(CK)+0.5$	-	-	
$t_w(CS)$	片选高时间	$3*t(CK)$	-	-	
$t_v(DQ)$	数据输入有效时间	0	-	-	
$t_v(DS)$	数据选通输入有效时间	0	-	-	
$t_h(DS)$	数据选通输入保持时间	0	-	-	
$t_v(RWDS)$	数据选通输出有效时间	-	-	$3*t(CK)$	
$t_{sf}(DQ); t_{sr}(DQ)$	输入数据建立时间	3	-	-	ns
$t_{hf}(DQ); t_{hr}(DQ)$	输入数据保持时间	2	-	-	ns

$t_{vf(OUT)}; t_{vr(OUT)}$	输出数据有效时间	-	6	7	ns
$t_{hf(OUT)}; t_{hr(OUT)}$	输出数据保持时间	3.5	-	-	ns

图 4-20 xSPI在RXDS模式下的时序



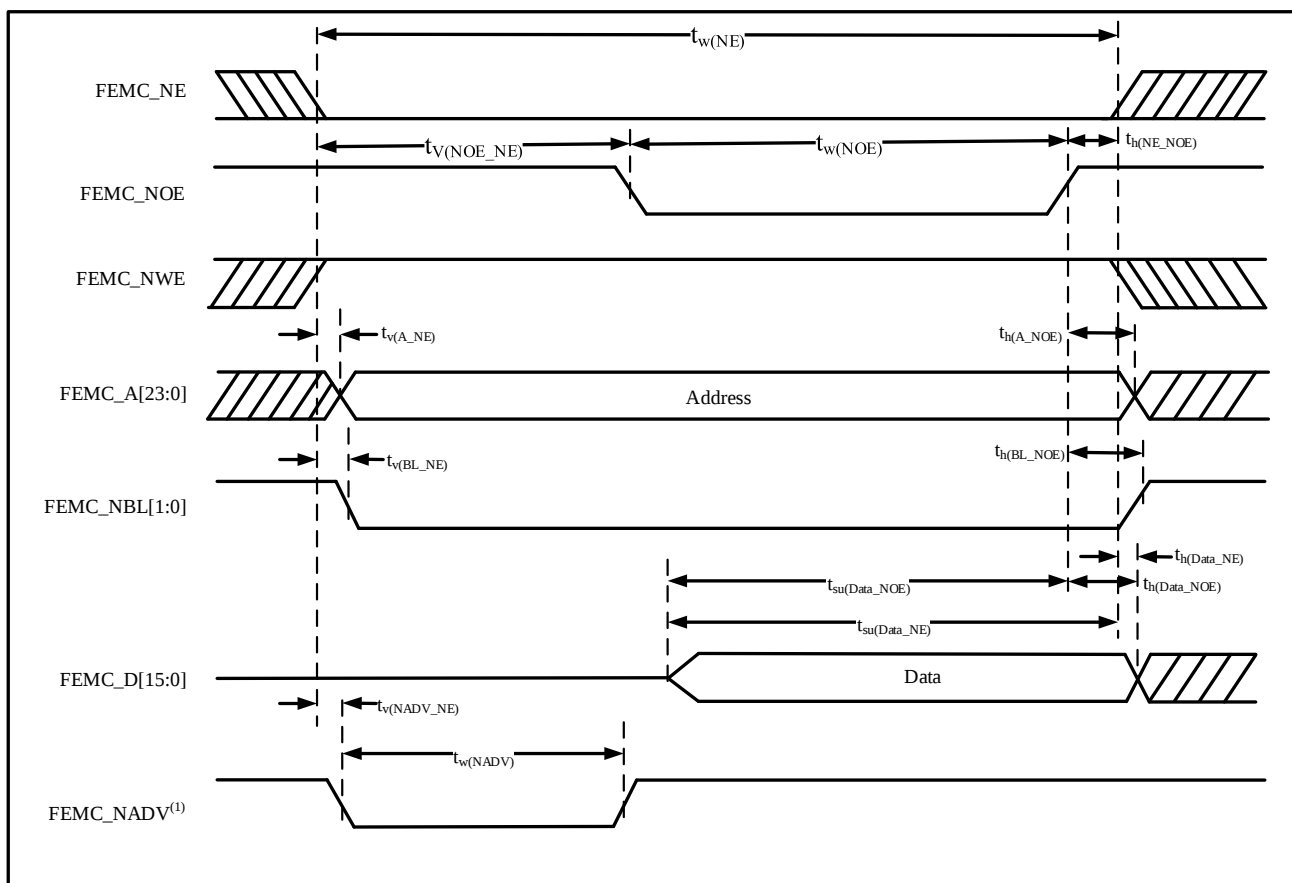
4.3.19 FEMC特性

■ 异步波形和时序

图 4-21至图 4-24显示了异步的波形，表 4-44至表 4-47给出了相应的时序。这些表格中的结果是按照下述FEMC配置得到：

- 地址建立时间(AddressSetupTime) = 0
- 地址保持时间(AddressHoldTime) = 1
- 数据建立时间(DataSetupTime) = 1

图 4-21 异步非总线复用的SRAM/PSRAM/NOR读操作波形



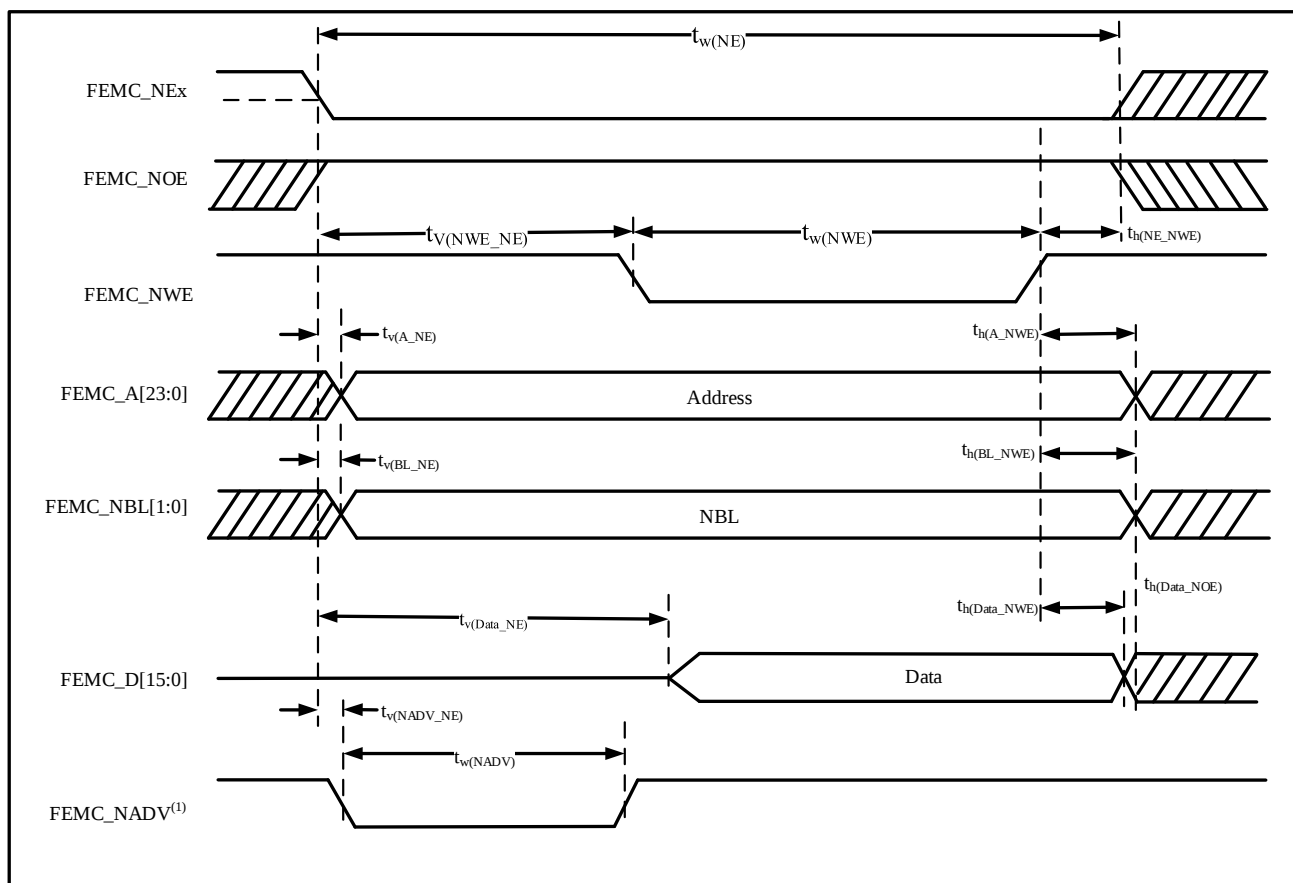
1. 只适于模式2/B、C和D。在模式1，不使用FEMC_NADV。

表 4-44 异步非总线复用的SRAM/PSRAM/NOR读操作时序⁽¹⁾⁽²⁾

符号	参数	最小值 ⁽³⁾	最大值 ⁽³⁾	单位
$t_{w(NE)}$	FEMC_NE低时间	$5t_{HCLK} - 0.5$	$5t_{HCLK} + 1$	ns
$t_{v(NOE_NE)}$	FEMC_NEx低至FEMC_NOE低	0.5	2	ns
$t_{w(NOE)}$	FEMC_NOE低时间	$5t_{HCLK} - 0.5$	$5t_{HCLK} + 1$	ns
$t_{h(NE_NOE)}$	FEMC_NOE高至FEMC_NE高保持时间	0	-	ns
$t_{v(A_NE)}$	FEMC_NEx低至FEMC_A有效	-	3	ns
$t_{h(A_NOE)}$	FEMC_NOE高之后的地址保持时间	4	-	ns
$t_{v(BL_NE)}$	FEMC_NEx低至FEMC_BL有效	-	1.5	ns
$t_{h(BL_NOE)}$	FEMC_NOE高之后的FEMC_BL保持时间	0	-	ns
$t_{su(Data_NE)}$	数据至FEMC_NEx高的建立时间	$2t_{HCLK} + 3$	-	ns
$t_{su(Data_NOE)}$	数据至FEMC_NOEx高的建立时间	$2t_{HCLK} + 3$	-	ns
$t_{h(Data_NOE)}$	FEMC_NOE高之后的数据保持时间	0	-	ns
$t_{h(Data_NE)}$	FEMC_NEx高之后的数据保持时间	0	-	ns
$t_{v(NADV_NE)}$	FEMC_NEx低至FEMC_NADV低	-	2	ns
$t_{w(NADV)}$	FEMC_NADV低时间	-	$2t_{HCLK}$	ns

1. IO驱动能力8mA, Capacitive load = 30 pF
2. 测量点设置于CMOS电平: 0.5VDD
3. $t_{HCLK} \geq 1/240\text{MHz}$

图 4-22 异步非总线复用的SRAM/PSRAM/NOR写操作波形



1. 只适于模式2/B、C和D。在模式1，不使用FEMC_NADV。

表 4-45 异步非总线复用的SRAM/PSRAM/NOR写操作时序⁽¹⁾⁽²⁾

符号	参数	最小值 ⁽³⁾	最大值 ⁽³⁾	单位
$t_{w(NE)}$	FEMC_NEx低时间	$3t_{HCLK} - 0.5$	$3t_{HCLK} + 1$	ns
$t_{V(NWE_NE)}$	FEMC_NEx低至FEMC_NWE低	$1t_{HCLK} - 0.5$	$1t_{HCLK} + 0.5$	ns
$t_{w(NWE)}$	FEMC_NWE低时间	$1t_{HCLK} - 0.5$	$1t_{HCLK} + 1$	ns
$t_{h(NE_NWE)}$	FEMC_NWE高至FEMC_NE高保持时间	$1t_{HCLK}$	-	ns
$t_{V(A_NE)}$	FEMC_NEx低至FEMC_A有效	-	3	ns
$t_{h(A_NWE)}$	FEMC_NWE高之后的地址保持时间	$1t_{HCLK}$	-	ns
$t_{V(BL_NE)}$	FEMC_NEx低至FEMC_BL有效	-	1.5	ns
$t_{h(BL_NWE)}$	FEMC_NWE高之后的FEMC_BL保持时间	$1t_{HCLK} - 0.5$	-	ns
$t_{V(Data_NE)}$	FEMC_NEx低至数据有效	-	$1t_{HCLK} + 3$	ns
$t_{h(Data_NWE)}$	FEMC_NWE高之后的数据保持时间	$1t_{HCLK}-1$	-	ns
$t_{V(NADV_NE)}$	FEMC_NEx低至FEMC_NADV低	-	2	ns
$t_{w(NADV)}$	FEMC_NADV低时间	-	$1t_{HCLK} + 1$	ns

- IO驱动能力8mA,Capacitive load = 30 pF
- 测量点设置于CMOS电平: 0.5VDD
- $t_{HCLK} \geq 1/240\text{MHz}$

图 4-23 异步总线复用PSRAM/NOR读操作波形

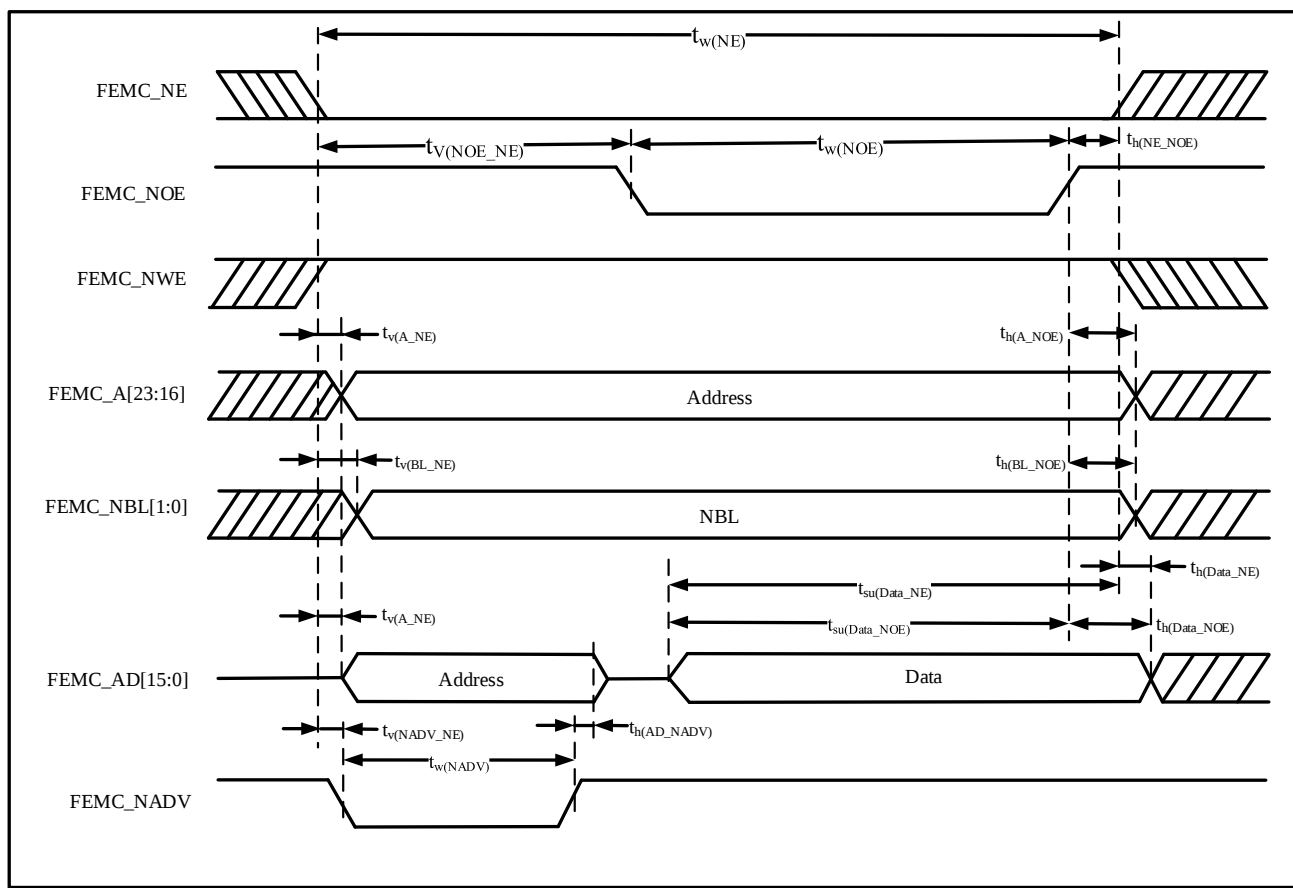


表 4-46 异步总线复用的PSRAM/NOR读操作时序⁽¹⁾⁽²⁾

符号	参数	最小值 ⁽³⁾	最大值 ⁽³⁾	单位
$t_w(NE)$	FEMC_NE低时间	$7t_{HCLK} - 1$	$7t_{HCLK} + 1$	ns
$t_v(NOE_NE)$	FEMC_NEx低至FEMC_NOE低	$3t_{HCLK} - 0.5$	$3t_{HCLK} + 1$	ns
$t_w(NOE)$	FEMC_NOE低时间	$4t_{HCLK} - 0.5$	$4t_{HCLK} + 1$	ns
$t_h(NE_NOE)$	FEMC_NOE高至FEMC_NE高保持时间	0	-	ns
$t_v(A_NE)$	FEMC_NEx低至FEMC_A有效	-	3	ns
$t_v(NADV_NE)$	FEMC_NEx低至FEMC_NADV低	1	2	ns
$t_w(NADV)$	FEMC_NADV低时间	$t_{HCLK} - 1.5$	$t_{HCLK} + 1.5$	ns
$t_h(AD_NADV)$	FEMC_NADV高之后FEMC_AD(地址)有效保持时间	t_{HCLK}	-	ns
$t_h(A_NOE)$	FEMC_NOE高之后的地址保持时间	$t_{HCLK} - 1$	-	ns
$t_h(BL_NOE)$	FEMC_NOE高之后的FEMC_BL保持时间	0	-	ns
$t_v(BL_NE)$	FEMC_NEx低至FEMC_BL有效	-	1.5	ns
$t_{su}(Data_NE)$	数据至FEMC_NEx高的建立时间	$1t_{HCLK} + 3$	-	ns
$t_{su}(Data_NOE)$	数据至FEMC_NOE高的建立时间	$1t_{HCLK} + 3$	-	ns
$t_h(Data_NE)$	FEMC_NEx高之后的数据保持时间	0	-	ns
$t_h(Data_NOE)$	FEMC_NOE高之后的数据保持时间	0	-	ns

1. IO驱动能力8mA, Capacitive load = 30 pF
2. 测量点设置于CMOS电平: 0.5VDD
3. $t_{HCLK} \geq 1/240\text{MHz}$

图 4-24 异步总线复用PSRAM/NOR写操作波形

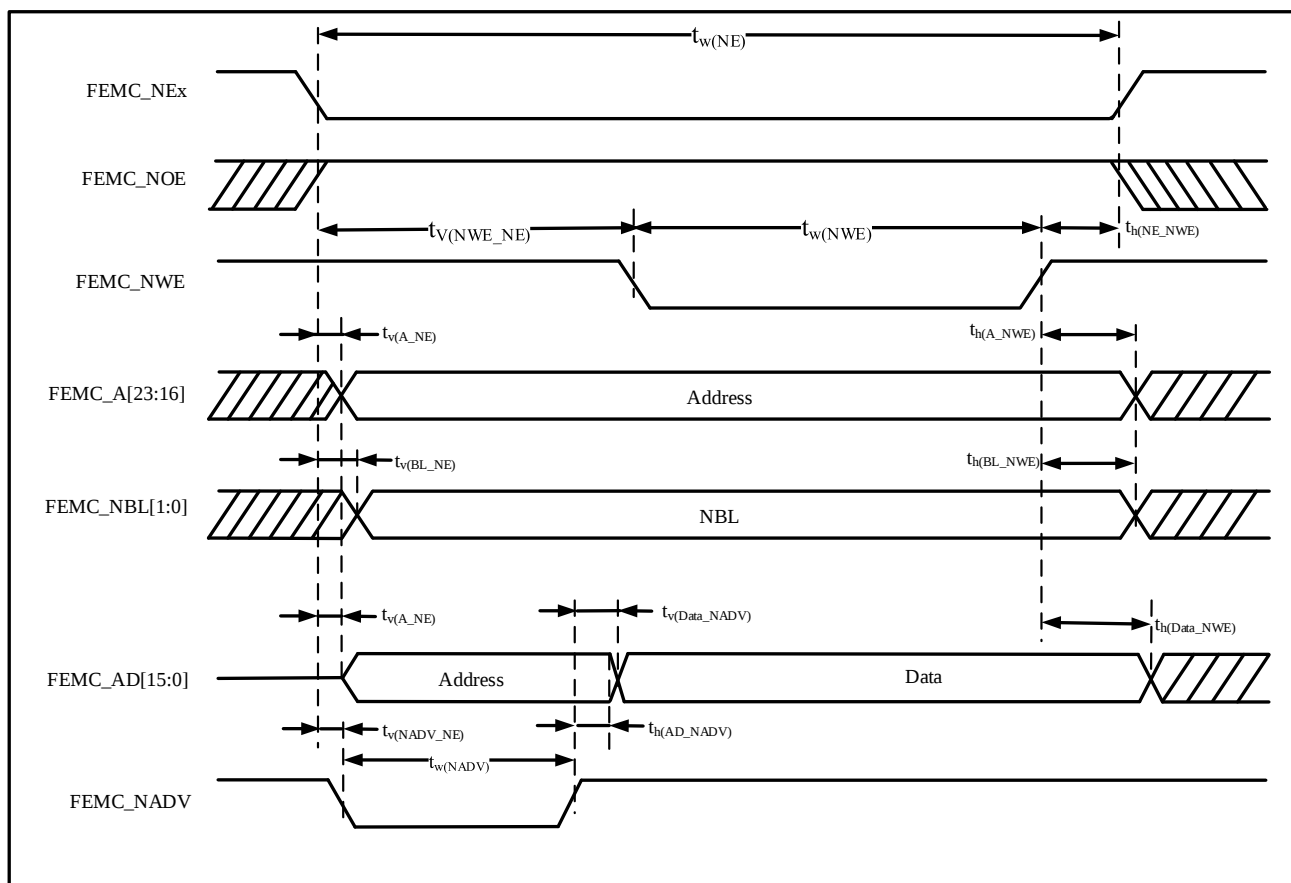


表 4-47 异步总线复用的PSRAM/NOR写操作时序⁽¹⁾⁽²⁾

符号	参数	最小值 ⁽³⁾	最大值 ⁽³⁾	单位
$t_{w(NE)}$	FEMC_NEx低时间	$5t_{HCLK} - 1$	$5t_{HCLK} + 1$	ns
$t_{V(NWE_NE)}$	FEMC_NEx低至FEMC_NWE低	$2t_{HCLK}$	$2t_{HCLK} + 1$	ns
$t_{w(NWE)}$	FEMC_NWE低时间	$2t_{HCLK} - 0.5$	$2t_{HCLK} + 1$	ns
$t_{h(NE_NWE)}$	FEMC_NWE高至FEMC_NE高保持时间	$t_{HCLK} - 1$	-	ns
$t_{V(A_NE)}$	FEMC_NEx低至FEMC_A有效	-	3	ns
$t_{V(NADV_NE)}$	FEMC_NEx低至FEMC_NADV低	1	2	ns
$t_{w(NADV)}$	FEMC_NADV低时间	$t_{HCLK} - 1$	$t_{HCLK} + 1$	ns
$t_{h(AD_NADV)}$	FEMC_NADV高之后FEMC_AD(地址)有效保持时间	$t_{HCLK} - 1$	-	ns
$t_{h(A_NWE)}$	FEMC_NWE高之后的地址保持时间	$4t_{HCLK}$	-	ns
$t_{V(BL_NE)}$	FEMC_NEx低至FEMC_BL有效	-	1.5	ns
$t_{h(BL_NWE)}$	FEMC_NWE高之后的FEMC_BL保持时间	$t_{HCLK} - 1$	-	ns
$t_{V(Data_NADV)}$	FEMC_NADV高至数据保持时间	-	$t_{HCLK} + 1$	ns
$t_{h(Data_NWE)}$	FEMC_NWE高之后的数据保持时间	t_{HCLK}	-	ns

1. IO驱动能力8mA, Capacitive load = 30 pF
2. 测量点设置于CMOS电平: 0.5VDD
3. $t_{HCLK} \geq 1/240\text{MHz}$

■ 同步波形和时序

图 4-25至图 4-28显示了同步的波形，表 4-48至表 4-51给出了相应的时序。这些表格中的结果是按照下述FEMC配置得到：

- BurstAccMode = FEMC_NOR_SRAM_BURST_MODE_ENABLE，使能突发传输模式
 - MemoryType = FEMC_MEM_TYPE_PSRAM，存储器类型为PSRAM
 - WriteBurst = FEMC_NOR_SRAM_BURST_WRITE_ENABLE，使能突发写操作
 - ClkDiv= 1，(1个存储器周期=2个HCLK周期)(注：ClkDiv是FEMC_SNTCFGx寄存器中的CLKDIV位)
 - 使用NOR闪存时，DataLatency = 1；使用PSRAM时，DataLatency = 0
- (注：DataLatency是FEMC_SNTCFGx寄存器中的DATAHLD位)

图 4-25 同步非总线复用NOR/PSRAM读时序

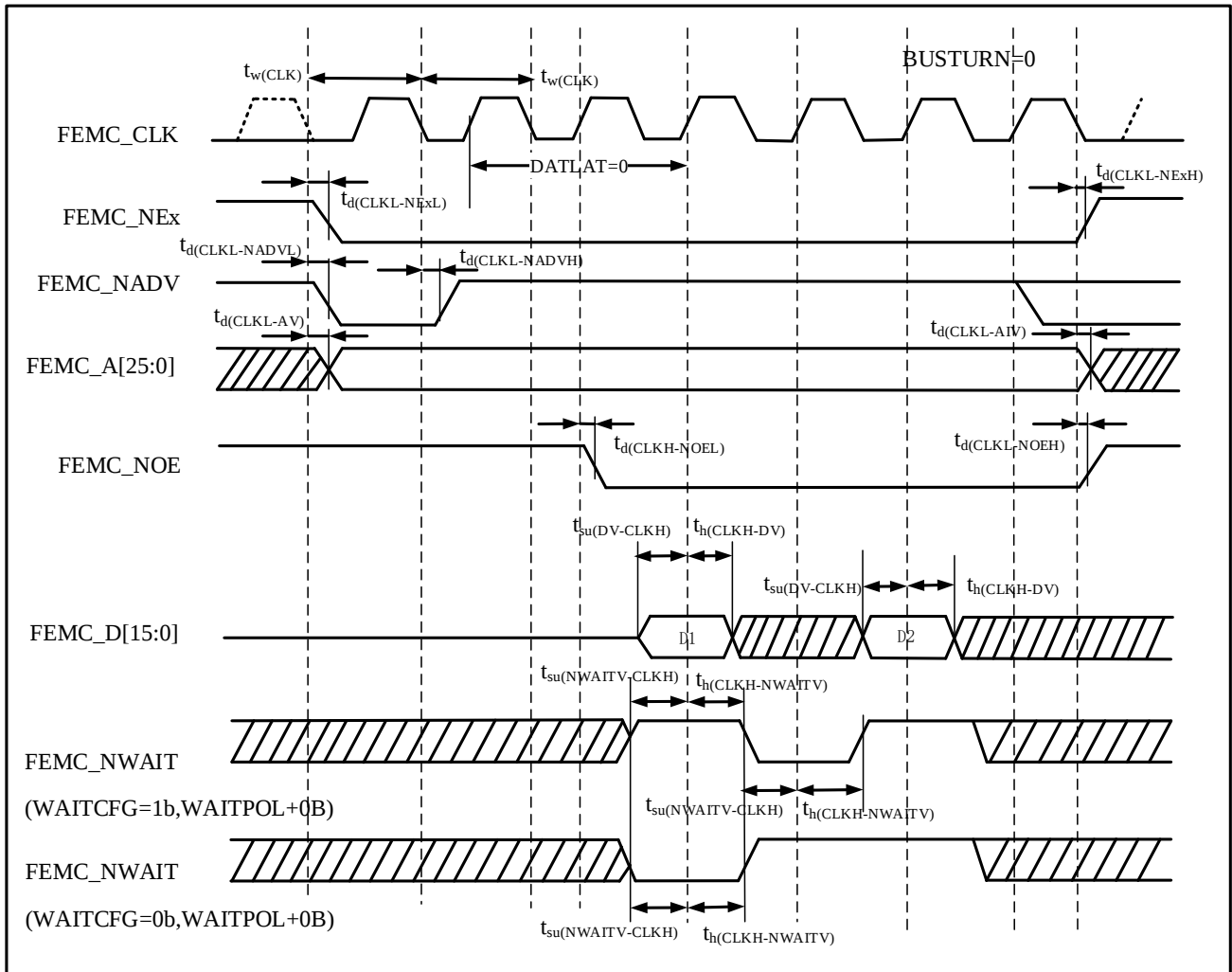


表 4-48 同步非总线复用NOR/PSRAM读时序⁽¹⁾⁽²⁾

符号	参数	最小值	最大值	单位
$t_w(\text{CLK})$	FEMC_CLK周期	16.67	-	ns
$t_d(\text{CLKL-NExL})$	FEMC_CLK低至FEMC_NEx低(x = 0...2)	-	1	ns
$t_d(\text{CLKL-NExH})$	FEMC_CLK低至FEMC_NEx高(x = 0...2)	0	-	ns
$t_d(\text{CLKL-NADVL})$	FEMC_CLK低至FEMC_NADV低	-	2	ns
$t_d(\text{CLKL-NADVH})$	FEMC_CLK低至FEMC_NADV高	3	-	ns

$t_{d(CLKL-AV)}$	FEMC_CLK低至FEMC_Ax有效($x = 0 \dots 25$)	-	2	ns
$t_{d(CLKL-AIV)}$	FEMC_CLK低至FEMC_Ax无效($x = 0 \dots 25$)	2	-	ns
$t_{d(CLKL-NOEL)}$	FEMC_CLK低至FEMC_NOE低	-	1	ns
$t_{d(CLKL-NOEH)}$	FEMC_CLK低至FEMC_NOE高	1.5	-	ns
$t_{su(DV-CLKH)}$	FEMC_CLK高之前FEMC_D[15:0]有效数据	3	-	ns
$t_h(CLKH-DV)$	FEMC_CLK高之后FEMC_D[15:0]有效数据	2	-	ns
$t_{su(NWAITV-CLKH)}$	FEMC_CLK高之前FEMC_NWAIT有效	3	-	ns
$t_h(CLKH-NWAITV)$	FEMC_CLK高之后FEMC_NWAIT有效	2	-	ns

1. IO驱动能力8mA, Capacitive load = 30 pF
2. 测量点设置于CMOS电平: 0.5VDD

图 4-26 同步非复用PSRAM写时序

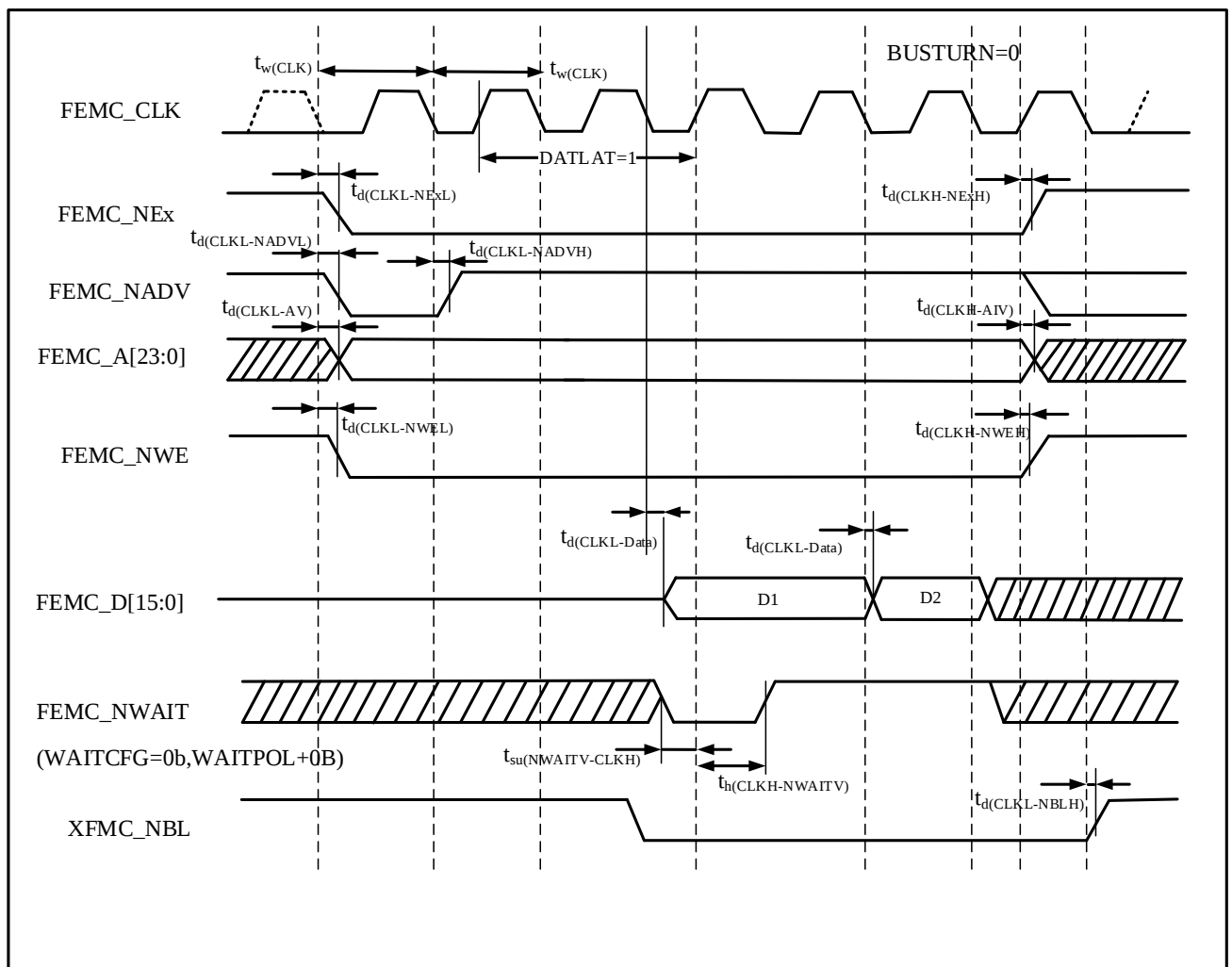


表 4-49 同步非复用PSRAM写时序⁽¹⁾⁽²⁾

符号	参数	最小值	最大值	单位
$t_w(CLK)$	FEMC_CLK周期	16.67	-	ns
$t_{d(CLKL-NExL)}$	FEMC_CLK低至FEMC_NEx低($x = 0 \dots 2$)	-	1	ns
$t_{d(CLKH-NExH)}$	FEMC_CLK高至FEMC_NEx高($x = 0 \dots 2$)	1	-	ns
$t_{d(CLKL-NADVH)}$	FEMC_CLK低至FEMC_NADV低	-	2	ns

$t_{d(CLKL-NADVH)}$	FEMC_CLK低至FEMC_NADV高	3	-	ns
$t_{d(CLKL-AV)}$	FEMC_CLK低至FEMC_A _x 有效($x = 16 \dots 25$)	-	3	ns
$t_{d(CLKH-AIV)}$	FEMC_CLK高至FEMC_A _x 无效($x = 16 \dots 25$)	2	-	ns
$t_{d(CLKL-NWEL)}$	FEMC_CLK低至FEMC_NWE低	-	1	ns
$t_{d(CLKH-NWEH)}$	FEMC_CLK高至FEMC_NWE高	1.5	-	ns
$t_{d(CLKL-Data)}$	FEMC_CLK低之后FEMC_D[15:0]有效数据	-	3	ns
$t_{su(NWAITV-CLKH)}$	FEMC_CLK高之前FEMC_NWAIT有效	2	-	ns
$t_h(CLKH-NWAITV)$	FEMC_CLK高之后FEMC_NWAIT有效	3	-	ns
$t_{d(CLKL-NBLH)}$	FEMC_CLK低至FEMC_NBL高	2	-	ns

1. IO驱动能力8mA, Capacitive load = 30 pF
2. 测量点设置于CMOS电平: 0.5VDD

图 4-27 同步复用NOR/PSRAM读时序

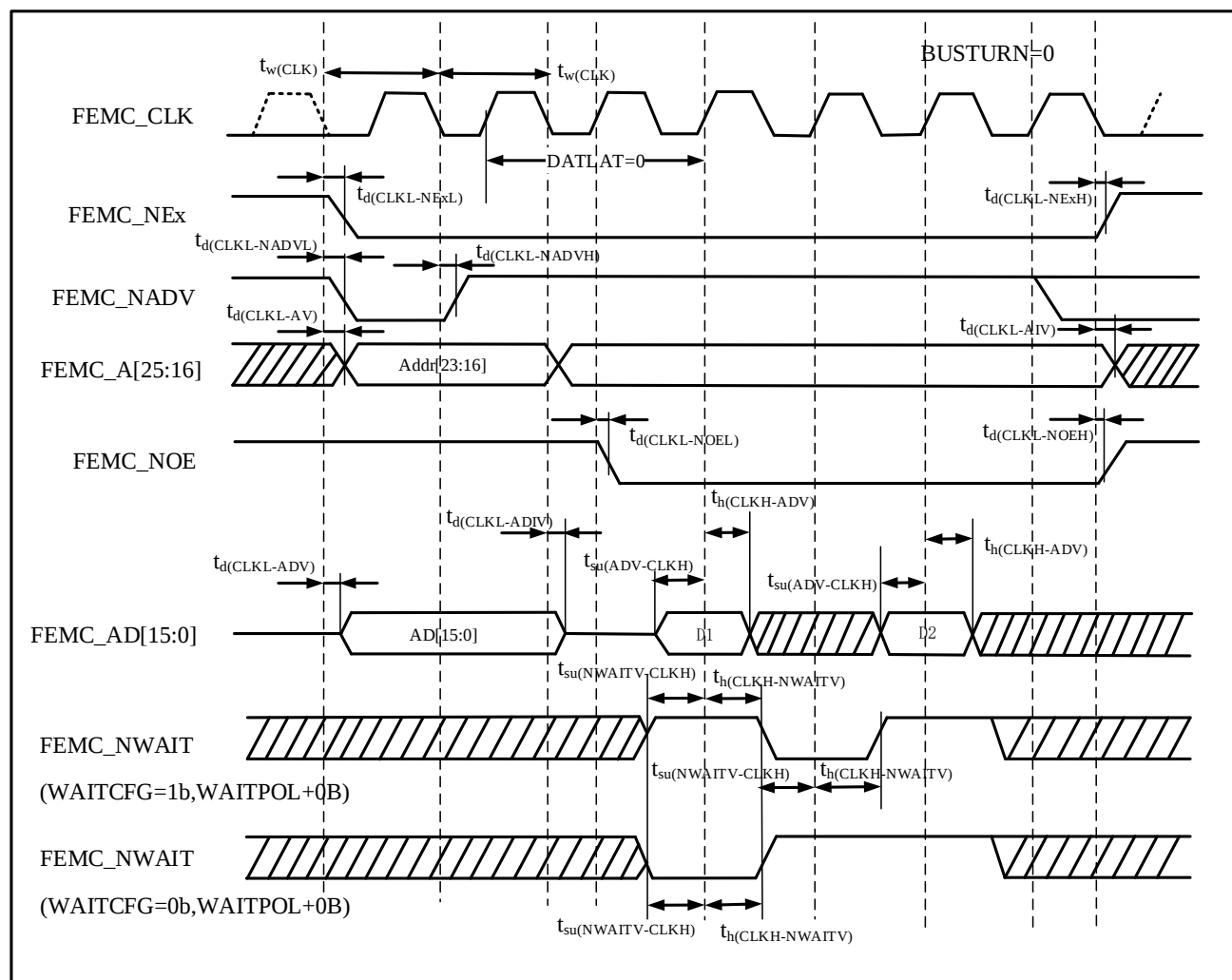


表 4-50 同步复用NOR/PSRAM读时序⁽¹⁾⁽²⁾

符号	参数	最小值 ⁽³⁾	最大值	单位
$t_w(CLK)$	FEMC_CLK周期	$4t_{HCLK}$	-	ns
$t_{d(CLKL-NExL)}$	FEMC_CLK低至FEMC_NEx低($x = 0 \dots 2$)	-	1.5	ns
$t_{d(CLKL-NExH)}$	FEMC_CLK低至FEMC_NEx高($x = 0 \dots 2$)	2	-	ns

$t_d(\text{CLKL-NADVL})$	FEMC_CLK低至FEMC_NADV低	-	2	ns
$t_d(\text{CLKL-NADVH})$	FEMC_CLK低至FEMC_NADV高	3	-	ns
$t_d(\text{CLKL-AV})$	FEMC_CLK低至FEMC_Ax有效($x = 16 \dots 25$)	-	2	ns
$t_d(\text{CLKL-AIV})$	FEMC_CLK低至FEMC_Ax无效($x = 16 \dots 25$)	2	-	ns
$t_d(\text{CLKL-NOEL})$	FEMC_CLK低至FEMC_NOE低	-	1	ns
$t_d(\text{CLKL-NOEH})$	FEMC_CLK低至FEMC_NOE高	1.5	-	ns
$t_d(\text{CLKL-ADV})$	FEMC_CLK低至FEMC_AD[15:0]有效	-	3	ns
$t_d(\text{CLKL-ADIV})$	FEMC_CLK低至FEMC_AD[15:0]无效	0	-	ns
$t_{su}(\text{ADV-CLKH})$	FEMC_CLK高之前FEMC_AD[15:0]有效数据	3	-	ns
$t_h(\text{CLKH-ADV})$	FEMC_CLK高之后FEMC_AD[15:0]有效数据	2	-	ns
$t_{su}(\text{NWAITV-CLKH})$	FEMC_CLK高之前FEMC_NWAIT有效	3	-	ns
$t_h(\text{CLKH-NWAITV})$	FEMC_CLK高之后FEMC_NWAIT有效	3	-	ns

1. IO驱动能力8mA, Capacitive load = 30 pF
2. 测量点设置于CMOS电平: 0.5VDD
3. $t_{HCLK} \geq 1/240\text{MHz}$

图 4-28 同步复用PSRAM写时序

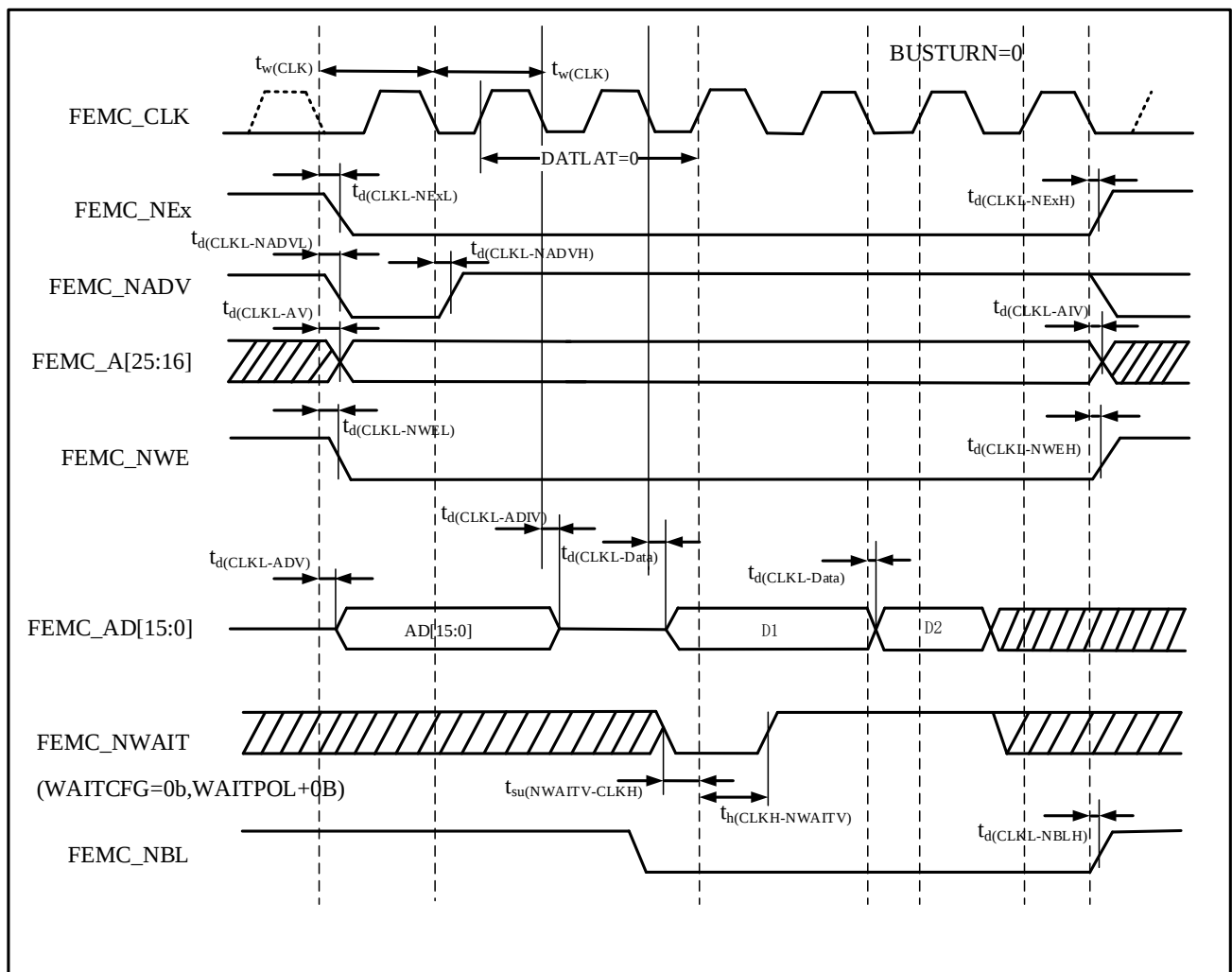


表 4-51 同步复用PSRAM写时序⁽¹⁾⁽²⁾

符号	参数	最小值 ⁽³⁾	最大值	单位
$t_w(\text{CLK})$	FEMC_CLK周期	$4t_{\text{HCLK}}$	-	ns
$t_d(\text{CLKL-NExL})$	FEMC_CLK低至FEMC_NEx低($x = 0 \dots 2$)	-	1.5	ns
$t_d(\text{CLKL-NExH})$	FEMC_CLK低至FEMC_NEx高($x = 0 \dots 2$)	2	-	ns
$t_d(\text{CLKL-NADVl})$	FEMC_CLK低至FEMC_NADV低	-	2	ns
$t_d(\text{CLKL-NADVH})$	FEMC_CLK低至FEMC_NADV高	3	-	ns
$t_d(\text{CLKL-AV})$	FEMC_CLK低至FEMC_Ax有效($x = 16 \dots 25$)	-	3	ns
$t_d(\text{CLKL-AIV})$	FEMC_CLK低至FEMC_Ax无效($x = 16 \dots 25$)	2	-	ns
$t_d(\text{CLKL-NWEL})$	FEMC_CLK低至FEMC_NWE低	-	1	ns
$t_d(\text{CLKL-NWEH})$	FEMC_CLK低至FEMC_NWE高	1.5	-	ns
$t_d(\text{CLKL-ADV})$	FEMC_CLK低至FEMC_AD[15:0]有效	-	3	ns
$t_d(\text{CLKL-ADIV})$	FEMC_CLK低至FEMC_AD[15:0]无效	0	-	ns
$t_d(\text{CLKL-Data})$	FEMC_CLK低之后FEMC_AD[15:0]有效	-	3	ns
$t_d(\text{CLKL-NBLH})$	FEMC_CLK低至FEMC_NBL高	2	-	ns
$t_{su}(\text{NWAITV-CLKH})$	FEMC_CLK高之前FEMC_NWAIT有效	3	-	ns
$t_h(\text{CLKH-NWAITV})$	FEMC_CLK高之后FEMC_NWAIT有效	3	-	ns

1. IO驱动能力8mA, Capacitive load = 30 pF
2. 测量点设置于CMOS电平: 0.5VDD
3. $t_{\text{HCLK}} \geq 1/240\text{MHz}$

■ NAND控制器波形和时序

图 4-29至图 4-32显示了同步的波形, 表 4-52给出了相应的时序。这些表格中的结果是按照下述FEMC配置得到:

- COM.FEMC_SetupTime = 0x01; (注: FEMC_NCMEMTMx的SET, $x = 2 \dots 3$)
- COM.FEMC_WaitSetupTime = 0x03; (注: FEMC_NCMEMTMxx的WAIT, $x = 2 \dots 3$)
- COM.FEMC_HoldSetupTime = 0x02; (注: FEMC_NCMEMTMxx的HLD, $x = 2 \dots 3$)
- COM.FEMC_HiZSetupTime = 0x01; (注: FEMC_NCMEMTMxx的HIZ, $x = 2 \dots 3$)
- ATT.FEMC_SetupTime = 0x01; (注: FEMC_NATTMEMTMx的SET, $x = 2 \dots 3$)
- ATT.FEMC_WaitSetupTime = 0x03; (注: FEMC_NATTMEMTMx的WAIT, $x = 2 \dots 3$)
- ATT.FEMC_HoldSetupTime = 0x02; (注: FEMC_NATTMEMTMx的HLD, $x = 2 \dots 3$)
- ATT.FEMC_HiZSetupTime = 0x01; (注: FEMC_NATTMEMTMx的HIZ, $x = 2 \dots 3$)
- Bank = FEMC_Bank_NAND;
- MemoryDataWidth = FEMC_NAND_BUS_WIDTH_16B; (注: 存储器数据宽度=16位)
- ECC = FEMC_NAND_ECC_ENABLE; (注: 使能ECC计算)
- ECCPageSize = FEMC_NAND_ECC_PAGE_512BYTES; (注: ECC页大小=512字节)
- TCLRSetupTime = 0; (注: FEMC_NCTRLx的CRDLY)
- TARSetupTime = 0; (注: FEMC_NCTRLx的ARDLY)

图 4-29 NAND控制器读操作波形

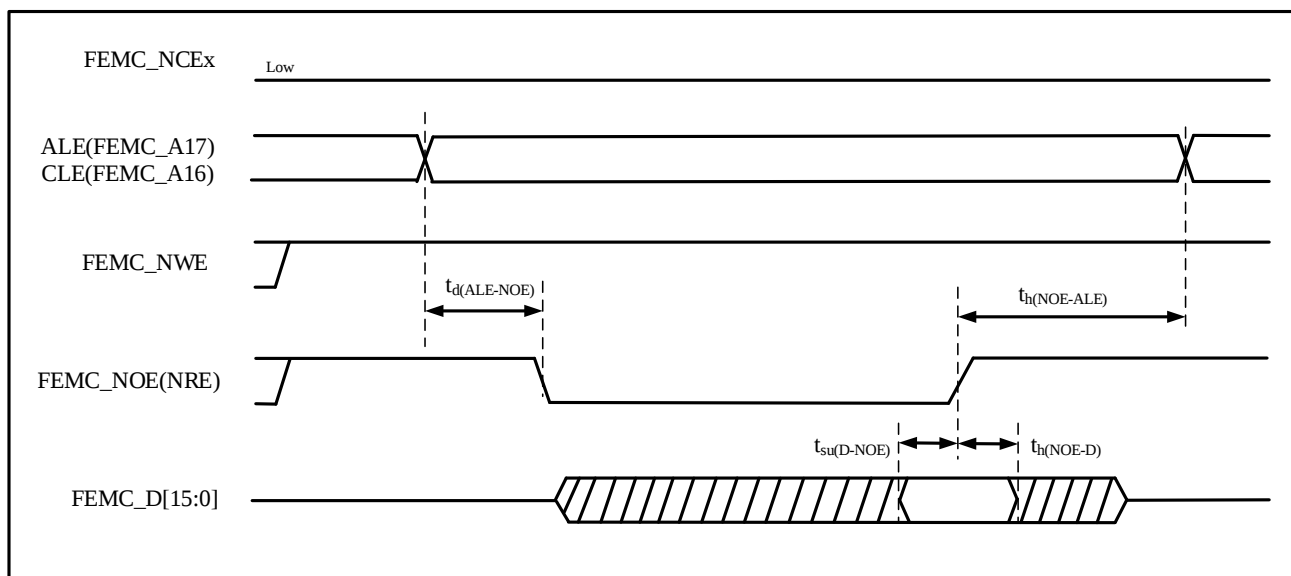


图 4-30 NAND控制器写操作波形

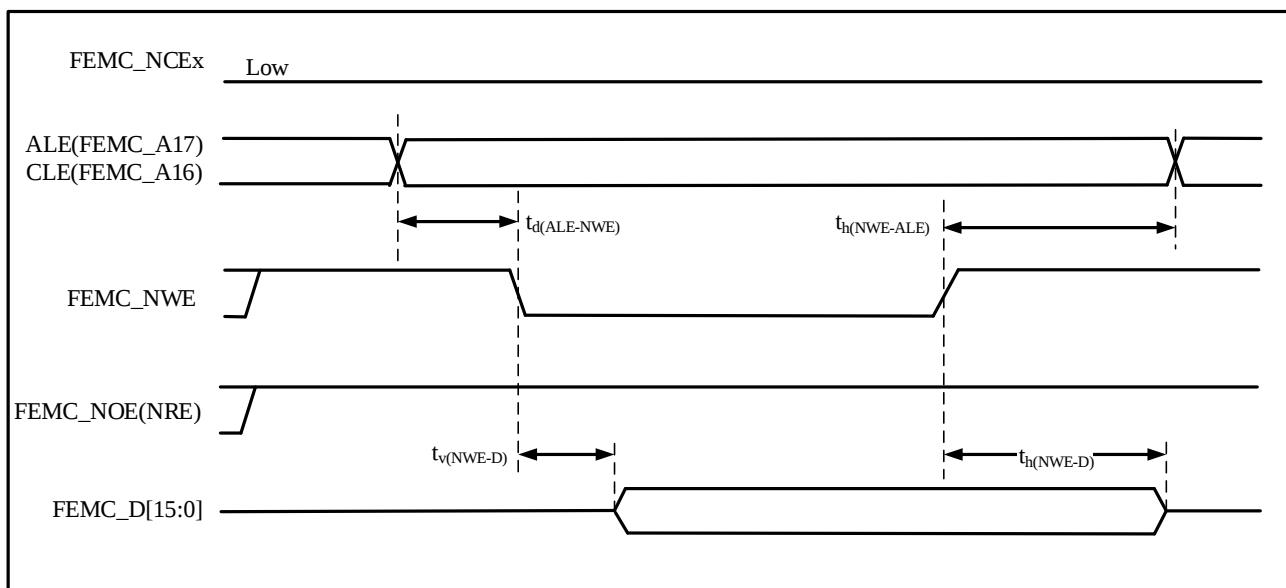


图 4-31 NAND控制器在通用存储空间的读操作波形

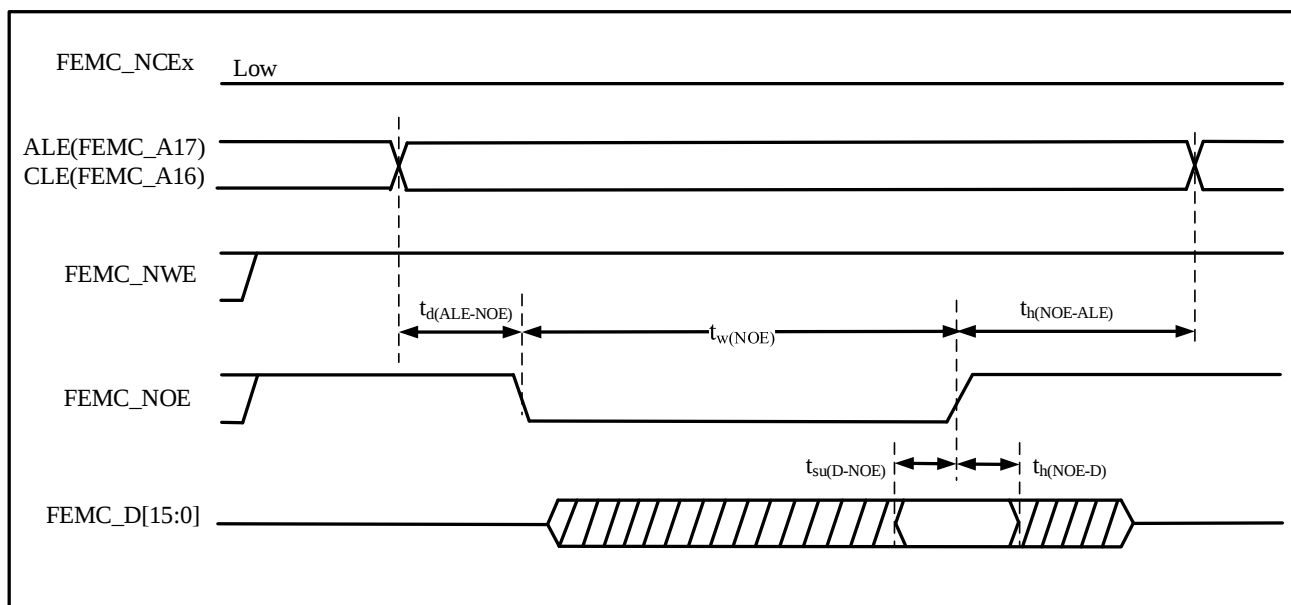


图 4-32 NAND控制器在通用存储空间的写操作波形

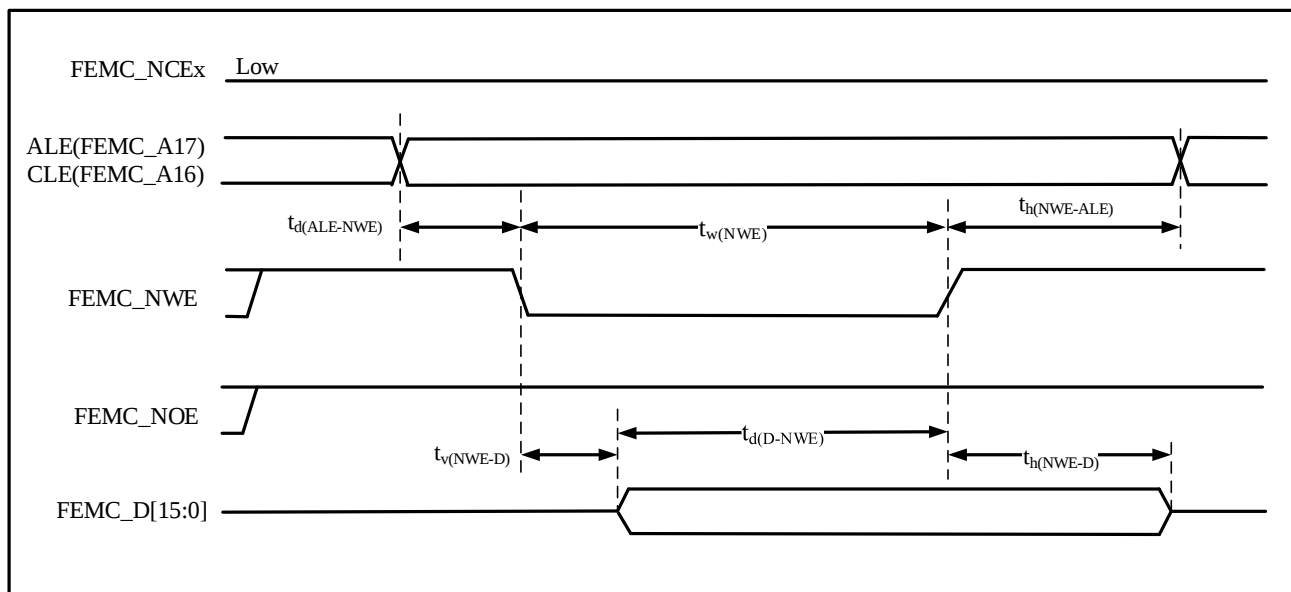


表 4-52 NAND闪存读写周期的时序特性⁽¹⁾

符号	参数	最小值	最大值	单位
$t_d(D-NWE)$	FEMC_NWE高之前至FEMC_D[15:0]数据有效	$5t_{HCLK} + 2$	-	ns
$t_w(NOE)$	FEMC_NOE低时间	$4t_{HCLK}-1.5$	$4t_{HCLK}+1.5$	ns
$t_{su}(D-NOE)^1$	FEMC_NOE高之前至FEMC_D[15:0]数据有效	6	-	ns
$t_h(NOE-D)$	FEMC_NOE高之后至FEMC_D[15:0]数据有效	2	-	ns
$t_w(NWE)$	FEMC_NWE低时间	$4t_{HCLK}-1$	$4t_{HCLK}+1$	ns
$t_v(NWE-D)$	FEMC_NWE低至FEMC_D[15:0]数据有效	-	0	ns
$t_h(NWE-D)$	FEMC_NWE高至FEMC_D[15:0]数据无效	$2t_{HCLK} + 3$	-	ns
$t_d(ALE-NWE)$	FEMC_NWE低之前至FEMC_ALE有效	-	$3t_{HCLK} + 1.5$	ns
$t_h(NWE-ALE)$	FEMC_NWE高至FEMC_ALE无效	$3t_{HCLK} + 2$	-	ns

$t_d(\text{ALE-NOE})$	FEMC_NOE低之前至FEMC_ALE有效	-	$3t_{\text{HCLK}} + 2$	ns
$t_h(\text{NOE-ALE})$	FEMC_NOE高至FEMC_ALE无效	$3t_{\text{HCLK}} + 3$	-	ns

1. Capacitive load = 15 pF。

4.3.20 USB_FS_Device特性

USB(全速)接口已通过USB-IF认证。

表 4-53 USBFS启动时间

符号	参数	最大值	单位
$t_{\text{STARTUP}}^{(1)}$	USB收发器启动时间	1	μs

1. 由设计保证，不在生产中测试。

表 4-54 USBFS直流特性

符号	参数	条件	最小值 ⁽¹⁾	最大值 ⁽¹⁾	单位
输入电平					
V _{DD}	USB操作电压 ⁽²⁾	-	3.0 ⁽³⁾	3.6	V
V _{DI} ⁽⁴⁾	差分输入灵敏度	I(USBDP, USBDM)	0.2	-	V
V _{CM} ⁽⁴⁾	差分共模范围	包含V _{DI} 范围	0.8	2.5	
V _{SE} ⁽⁴⁾	单端接收器阈值	-	1.3	2.0	
输出电平					
V _{OL}	静态输出低电平	1.5kΩ的R _L 接至3.6V ⁽⁵⁾ ⁽⁶⁾	-	0.3	V
V _{OH}	静态输出高电平	15kΩ的R _L 接至V _{SS} ⁽⁶⁾	2.8	3.6	

- 所有的电压测量都是以设备端地线为准。
- 为了与USB2.0全速电气规范兼容，USB操作电压为3.0~3.6V电压。
- 正确USB功能可以在2.7V得到保证，而不是在2.7~3.0V电压范围下降级的电气特性。
- 由综合评估保证，不在生产中测试。
- 芯片内置1.5k Ω 上拉电阻，用户可选。
- R_L 是连接到USB驱动器上的负载

图 4-33 USB时序：数据信号上升和下降时间定义

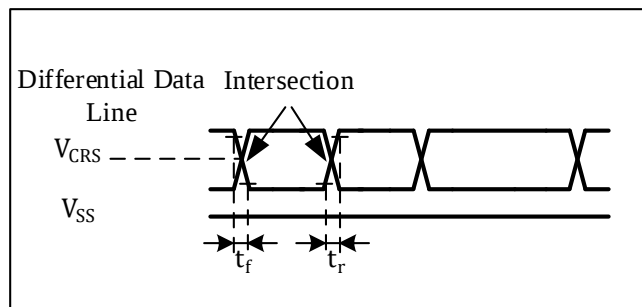


表 4-55 USB全速电气特性

符号	参数	条件	最小值 ⁽¹⁾	最大值 ⁽¹⁾	单位
t_r	上升时间 ⁽²⁾	$CL \leq 50\text{pF}$	4	20	ns
t_f	下降时间 ⁽²⁾	$CL \leq 50\text{pF}$	4	20	ns
t_{rfm}	上升下降时间匹配	t_r / t_f	90	110	%
V_{CRS}	输出信号交叉电压 ⁽³⁾	-	1.3	2.0	V

1. 由设计保证，不在生产中测试。
2. 测量数据信号从10%至90%。更多详细信息，参见USB规范第7章(2.0版)。
3. USB_PD (D+) 和 USB_DM (D-) 上不需要外部终端串联电阻器；匹配阻抗已包含在嵌入式驱动程序中。已包含在嵌入式驱动程序中。

4.3.21 USB_HS_DualRole特性

表 4-56 USBHS直流电气特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{DD}^{(1)}$	USB 工作电压	-	3	-	3.6	V
LS/FS FUNCTIONALITY						
输入电平 ⁽¹⁾	V_{DIFS}	差分输入灵敏度(FS/LS)	-	0.2	-	V
	V_{CMFS}	差分共模范围(FS/LS)	包括 V_{DI} 范围	0.8	-	
	V_{ILSE}	单端接收低电平电压(FS/LS)	-	-	0.8	
	V_{IHSE}	单端接收高电平电压(FS/LS)	-	2.0	-	
输出电平 ⁽¹⁾	V_{OLFS}	静态输出低电平(FS/LS)	R_L of 1.5k Ω to 3.6V	-	0.3	V
	V_{OHFS}	静态输出高电平(FS/LS)	R_L of 15 k Ω to V_{SS}	2.8	3.3	
$R_{PD}^{(1)}$	USBHS_DM/DP	$V_{IN} = V_{DD}$	-	15	-	k Ω
$R_{PU}^{(1)}$	USBHS_DM/DP	$V_{IN} = V_{SS}$	-	1.5	-	
$Z_{HSDRV}^{(1)}$	驱动输出阻抗	稳定状态驱动	-	45	-	Ω
HS FUNCTIONALITY						
输入电平 ⁽¹⁾	DI_{HS}	差分输入灵敏度(HS)	-	0.1	-	V
	V_{CMHS}	差分共模范围(HS)	-	-50	500	
	V_{HSSQ}	HS 余波检测阈值	-	100	150	
	V_{HSDSC}	HS 断开阈值	-	525	625	
输出电平 ⁽¹⁾	V_{OLHS}	高速低电平输出电压	45 Ω 负载	-10	10	mV
	V_{OHHS}	高速高电平输出电压	45 Ω 负载	360	400	

1. 由设计保证，不在生产中测试。

表 4-57 USB动态特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
T_{FR}	上升时间(FS/LS)	$C_L = 50$ pF	4	-	20	ns
T_{HSR}	差分上升时间(HS)	-	500	-	-	ps
T_{FF}	下降时间(FS/LS)	$C_L = 50$ pF	4	-	20	ns
T_{HSF}	差分下降时间(HS)	-	500	-	-	ps
V_{CRS}	输出单次交叉电压(FS/LS)	-	1.3	-	2	V

1. 由设计保证，不在生产中测试。

4.3.22 控制器局域网络(CAN)接口特性

有关输入输出复用功能引脚(CAN_TX和CAN_RX)的特性详情，请见第4.3.12节。

4.3.23 SDIO接口特性

除非特别说明,表 4-58列出的参数是使用环境温度、 f_{PCLKx} 频率和 V_{DD} 供电电压符合表 4-4的条件测量得到。
有关输入输出复用功能引脚(D[7:0]、CMD、CK)的特性详情,参见第4.3.12节。

图 4-34 SDIO高速模式

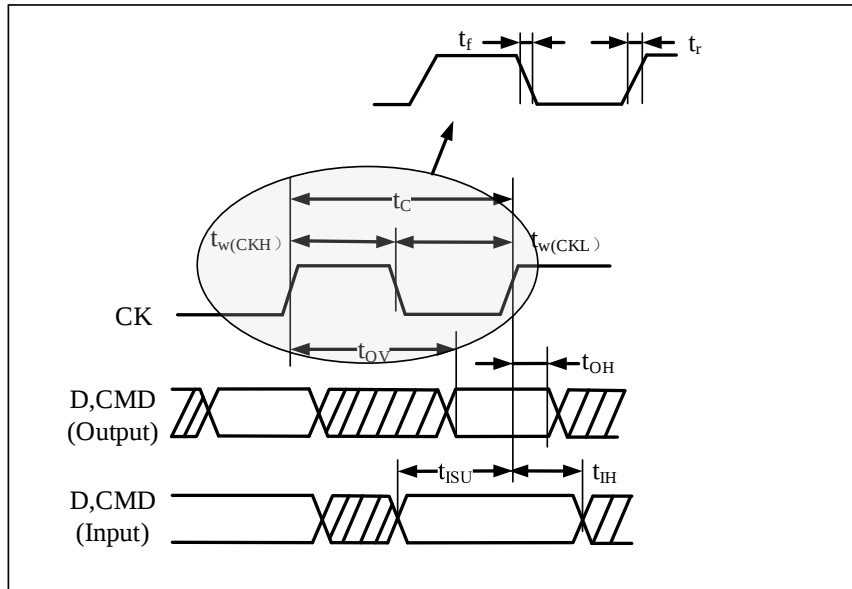


图 4-35 SD默认模式

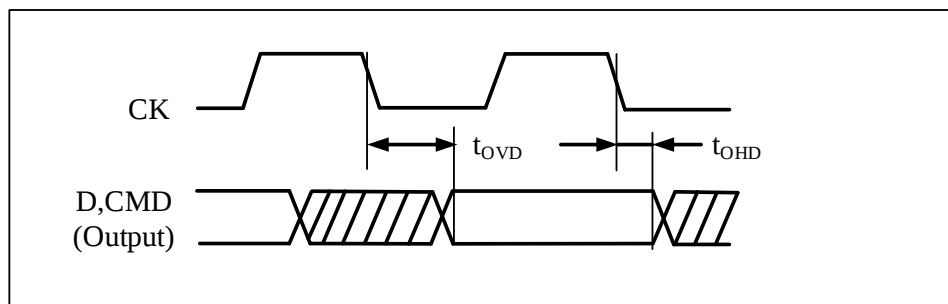


表 4-58 SD/MMC接口特性

符号	参数	条件	最小值	最大值	单位
f _{PP}	数据传输模式下的时钟频率	CL ≤ 30pF	0	50	MHz
t _{W(CKL)}	时钟低时间, f _{PP} = 48MHz	CL ≤ 30pF	8.5	-	ns
t _{W(CKH)}	时钟高时间, f _{PP} = 48MHz	CL ≤ 30pF	6	-	
t _r	时钟上升时间	CL ≤ 30pF	-	5	
t _f	时钟下降时间	CL ≤ 30pF	-	5	
CMD、D输入(参照CK)					
t _{ISU}	输入建立时间	CL ≤ 30pF	5	-	ns
t _{IH}	输入保持时间	CL ≤ 30pF	1	-	
MMC和SD高速模式下CMD、D输出(参照CK)					
t _{OV}	输出有效时间	CL ≤ 30pF	-	6	ns
t _{OH}	输出保持时间	CL ≤ 30pF	0	-	
SD默认模式下CMD、D输出(参照CK)					
t _{OVD}	输出有效默认时间	CL ≤ 30pF	-	7	ns
t _{OHD}	输出保持默认时间	CL ≤ 30pF	0.5	-	

1. 参见SDIO_CLKCR, SDI时钟控制寄存器, 控制CK输出。

4.3.24 以太网(Ethernet)接口特性

表 4-59展示了以太网操作电压。

表 4-59 以太网直流电气特性

符号	参数	最小值 ⁽¹⁾	最大值 ⁽¹⁾	单位
V _{DD}	以太网操作电压	3.0	3.6	V

1. 所有的电压测量都是以设备端地线为准。

表 4-60给出了以太网MAC的SMI信号列表，图 4-36显示了相关的时序。

图 4-36 以太网SMI时序图

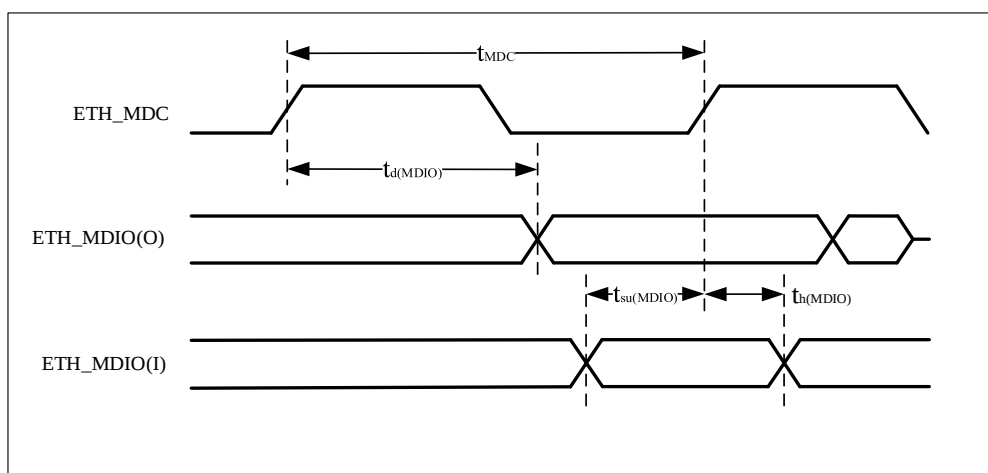


表 4-60 以太网SMI信号动态特性

符号	参数	最小值	典型值	最大值	单位
t _{MDC}	MDC时钟周期时间(2.35MHz)	420	425	430	ns
t _d (MDIO)	MDC写数据有效时间	6	10	13	ns
t _{su} (MDIO)	读数据建立时间	12	-	-	ns
t _h (MDIO)	读数据保持时间	0	-	-	ns

表 4-61展示了以太网MAC的RMII信号，图 4-37显示了相关的时序。

图 4-37 以太网RMII时序图

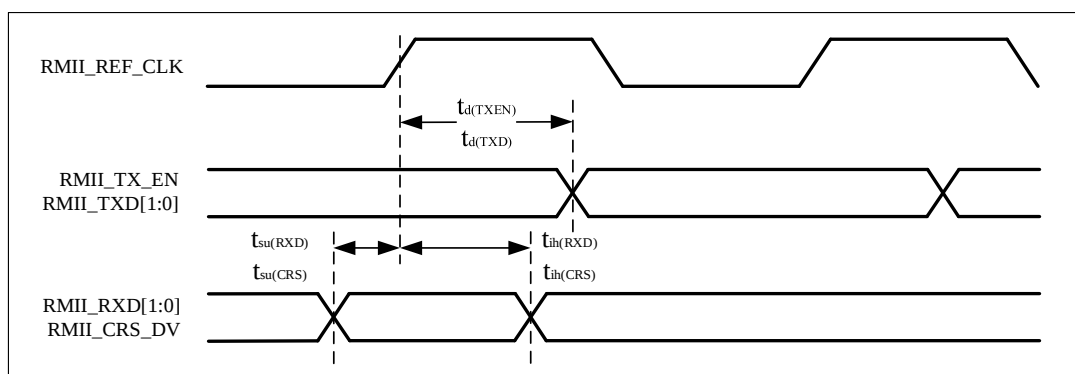


表 4-61 以太网RMII信号动态特性

符号	参数	最小值	典型值	最大值	单位
$t_{su}(RXD)$	接收数据建立时间	3.5	-	-	ns
$t_{ih}(RXD)$	接收数据保持时间	2.6	-	-	ns
$t_{su}(CRS)$	载波侦听建立时间	3.5	-	-	ns
$t_{ih}(CRS)$	载波侦听保持时间	1.5	-	-	ns
$t_d(TXEN)$	传输使能有效延迟时间	5.5	6.5	12	ns
$t_d(TXD)$	传输数据有效延迟时间	6	6.5	12	ns

表 4-62展示了以太网MAC的MII信号，图 4-38显示了相关的时序。

图 4-38 以太网MII时序图

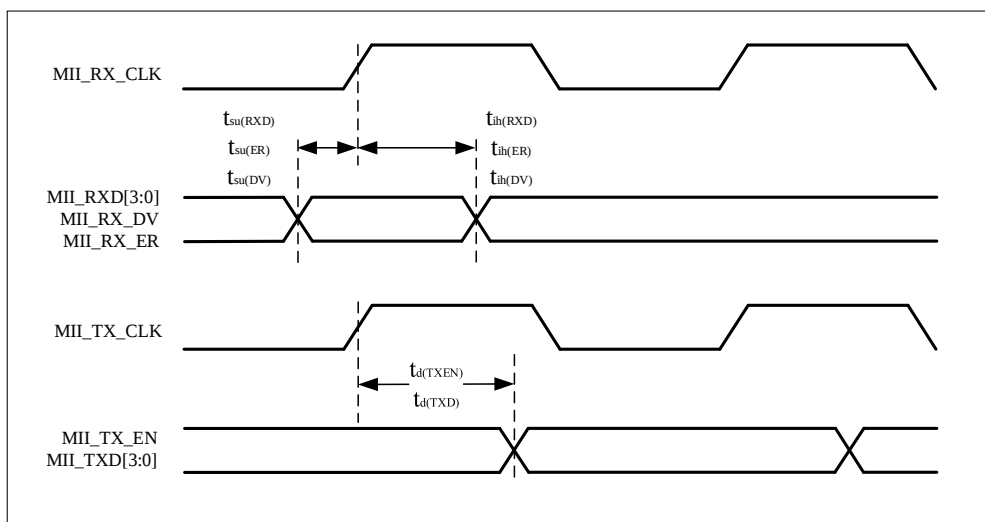


表 4-62 以太网MII信号动态特性

符号	参数	最小值	典型值	最大值	单位
$t_{su}(RXD)$	接收数据建立时间	10	-	-	ns
$t_{ih}(RXD)$	接收数据保持时间	10	-	-	ns
$t_{su}(DV)$	载波侦听建立时间	10	-	-	ns
$t_{ih}(DV)$	载波侦听保持时间	10	-	-	ns
$t_{su}(ER)$	错误建立时间	10	-	-	ns
$t_{ih}(ER)$	错误保持时间	10	-	-	ns
$t_d(TXEN)$	传输使能有效延迟时间	0	10	14	ns
$t_d(TXD)$	传输数据有效延迟时间	0	10	14	ns

4.3.25数字视频端口(DVP)接口特性

表 4-63展示了DVP接口信号的特性，图 4-39显示了相关的时序。

图 4-39 DVP接口时序图

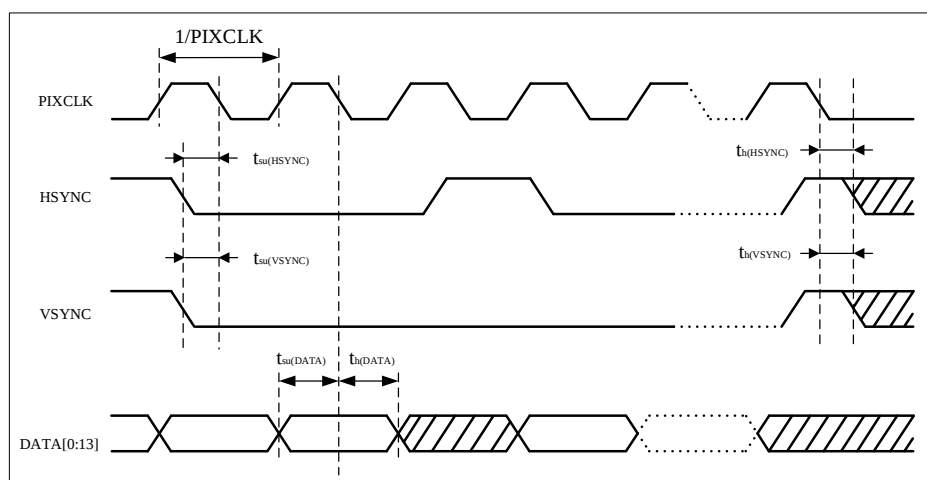


表 4-63 DVP信号动态特性

符号	参数	条件	最小值	最大值	单位
PCLK	像素时钟输入	-	0	60	MHz
Dpixel	像素时钟输入占空比	-	30%	70%	-
$t_{su}(DATA)$	数据输入建立时间	-	5	-	ns
$t_h(DATA)$	数据保持时间	-	2.5	-	
$t_{su}(HSYNC), t_{su}(VSYNC)$	HSYNC/VSYNC输入建立时间	-	5	-	
$t_h(HSYNC), t_h(VSYNC)$	HSYNC/VSYNC输入保持时间	-	2.5	-	

4.3.26 12位模数转换器(ADC)电气参数

除非特别说明，表 4-64的参数是使用符合表 4-4的条件的环境温度、 f_{HCLK} 频率和 V_{DDA} 供电电压测量得到。
注意：建议在每次上电时执行一次校准。

表 4-64 ADC特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	供电电压	-	1.8	-	3.6	V
V_{REF+}	正参考电压	-	1.8	-	V_{DDA}	V
f_{ADC}	ADC 时钟频率	-	-	-	80	MHz
f_s	采样速率 ⁽¹⁾	$V_{DDA} \geq 2.4V$	-	-	4.7	Msps
		$1.8V \leq V_{DDA} < 2.4V$	-	-	4	
V_{AIN}	转换电压范围 ⁽²⁾	-	0(V_{SSA} 或 V_{REF-} 连接到地)	-	V_{REF+}	V
R_{ADC}	采样开关电阻	2.4~3.3V	-	-	300	ohm
		1.8~2.4V	-	-	480	
C_{ADC}	内部采样和保持电容	-	-	5	-	pF
SNDR	Singal noise distortion ration	-	-	65	-	dBFS
T_{cal}	校准时间	-	82			1/ f_{ADC}
t_s	采样时间	$f_{ADC} = 80 \text{ MHz}$ (快速通道)	0.0563	-	7.52	us
		$f_{ADC} = 80 \text{ MHz}$ (慢速通道)	0.0938	-	7.52	

Ts		快速通道($f_{ADC} = 80 \text{ MHz}$)	4.5	-	601.5	$1/f_{ADC}$
		慢速通道($f_{ADC} = 80 \text{ MHz}$)	7.5	-	601.5	
tSTAB	上电时间	-	0	0	20	μs
tCONV ⁽²⁾	总的转换时间(包括采样时间)	-	14~614(采样 t_s + 逐步逼近 12.5)			$1/f_{ADC}$

1. 由设计保证，不在生产中测试。
2. 依据不同的封装， V_{REF+} 可以在内部连接到 V_{DDA} ， V_{REF-} 可以在内部连接到 V_{SSA} 。
3. 采样时间/采样速率和输入阻抗 R_{in} 有关，最大输入阻抗 R_{in} 和采样时间的对应关系具体见表 4-65。

表 4-65 ADC采样时间⁽¹⁾

分辨率	$R_{in} \text{ (k}\Omega\text{)}$	最小采样时间 (ns)			
		$V_{dda}=2.4\text{V to }3.6\text{V}$, $V_{ddd}=1.1\text{ V}$, $selrange_ldo=L$, $T_{junction}=125\text{ }^\circ\text{C}$, $f_{clk}=80\text{ MHz}$		$V_{dda}=1.8\text{V to }2.4\text{V}$, $V_{ddd}=1.1\text{ V}$, $selrange_ldo=L$, $T_{junction}=125\text{ }^\circ\text{C}$, $f_{clk}=80\text{ MHz}$	
		快速通道	慢速通道	快速通道	慢速通道
12-bit	0.14	45.0	73.0	79.0	103.0
	0.6	79.0	103.0	300.0	345.0
	4.6	300.0	345.0	576.0	651.0
	9.5	576.0	651.0	1131.0	1257.0
	19	1131.0	1257.0	2776.0	3051.0
	48	2776.0	3051.0	5475.0	5982.0
10-bit	0.14	39.0	61.0	64.0	88.0
	0.6	64.0	88.0	250.0	357.0
	4.6	250.0	357.0	478.0	540.0
	9.5	478.0	540.0	935.0	1040.0
	19	935.0	1040.0	2294.0	2526.0
	48	2294.0	2526.0	4532.0	4963.0
8-bit	0.14	33.0	50.0	52.0	71.0
	0.6	52.0	71.0	202.0	234.0
	4.6	202.0	234.0	391.0	457.0
	9.5	391.0	457.0	800.0	1012.0
	19	800.0	1012.0	1838.0	2027.0
	48	1838.0	2027.0	3632.0	3984.0
6-bit	0.14	27.0	40.0	41.0	56.0
	0.6	41.0	56.0	153.0	177.0
	4.6	153.0	177.0	292.0	330.0
	9.5	292.0	330.0	569.0	642.0
	19	569.0	642.0	1435.0	1666.0
	48	1435.0	1666.0	3001.0	3919.0

1. 由设计保证，不在生产中测试。

表 4-66 ADC精度 – 局限的测试条件⁽¹⁾⁽²⁾

符号	参数	测试条件	典型值	最大值 ⁽³⁾	单位
ET ⁽⁴⁾	综合误差	f _{HCLK} = 240 MHz, f _{ADC} = 240 MHz, sample rate=1.75M sps, V _{DDA} = 3.3V, T _A = 25 °C 测量是在ADC校准之后进行的 V _{REF+} = V _{DDA}	1.3	5	LSB
EO ⁽⁴⁾	偏移误差		1	3	
ED	微分线性误差		1	2.2	
EL	积分线性误差		2	3	

1. ADC的直流精度数值是在经过内部校准后测量的。
2. ADC精度与反向注入电流的关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，(引脚与地之间) 增加一个肖特基二极管。
3. 如何正向的注入电流，只要处于第4.2节中给出的I_{INJ(PIN)}范围之内，就不会影响ADC精度。
4. 由综合评估保证，不在生产中测试。

图 4-40 ADC精度特性

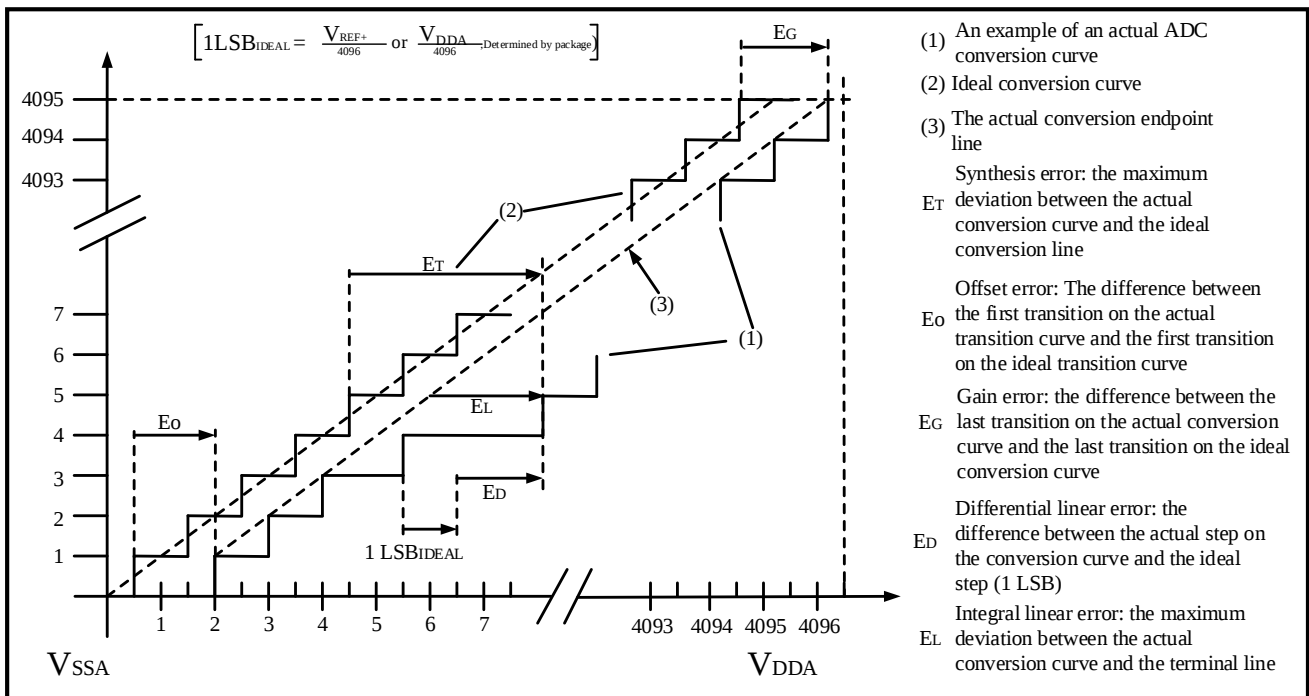
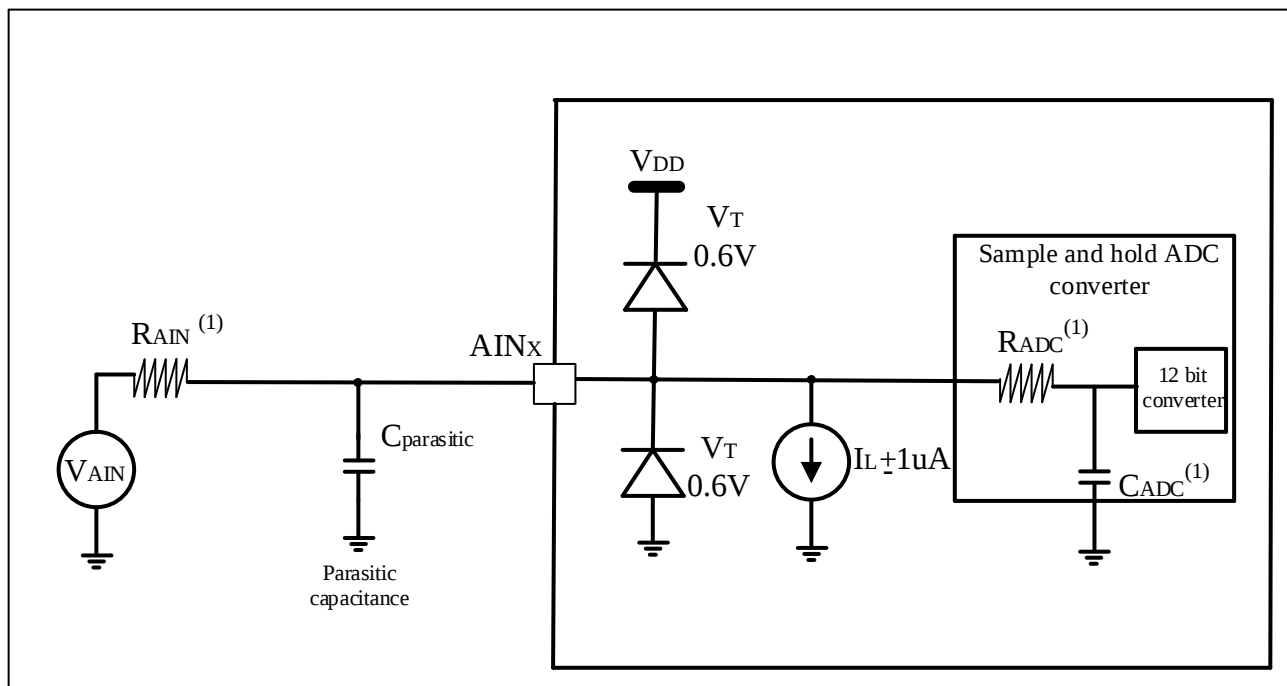


图 4-41 使用ADC典型的连接图



1. 有关 R_{AIN} 、 R_{ADC} 和 C_{ADC} 的数值，参见表 4-64。
2. $C_{parasitic}$ 表示PCB(与焊接和PCB布局质量相关)与焊盘上的寄生电容(大约7pF)。较大的 $C_{parasitic}$ 数值将降低转换的精度，解决的办法是减小 f_{ADC} 。

4.3.27 12位数模转换器(DAC)电气参数

除非特别说明,表 4-67 的参数是使用符合表 4-4 的条件的环境温度、 f_{HCLK} 频率和 V_{DDA} 供电电压测量得到。

表 4-67 DAC 1MSPS特性

符号	参数	条件		最小值	典型值	最大值	单位
V _{DDA}	模拟供电电压	DAC 输出缓存关闭，输出仅内部连接		2.4	-	3.6	V
V _{REF+}	正参考电压	DAC 输出缓存关闭，输出仅内部连接		2.4	-	V _{DDA}	
V _{REF-}	负参考电压	-		V _{SSA}			
R _L	缓冲器打开时的负载电阻	DAC 输出缓冲 打开	连接到 V _{SSA}	5	-	-	kΩ
			连接到 V _{DDA}	25	-	-	
R _o	输出阻抗	DAC 输出缓冲关闭		10.3	12.3	15.7	kΩ
C _L	负载电容	-		-	-	50	pF
DAC_OUT 最大	DAC_OUT 输出电压	输出缓冲器打开		0.2	-	V _{REF+} - 0.2	V
		输出缓冲器关闭		0	-	V _{REF+}	-
I _{DD}	在静止模式(待机模式)DAC 直流消耗(V _{DDD} +V _{DDA} +V _{REF+})	-		-	425	600	μA
		-		-	500	700	μA
t _{SETTLING}		DAC 缓冲器打开 CL ≤ 50 pF,RL ≥ 5 kΩ		-	3	4.1	μs

	设置时间(全范围: 12 位输入代码从最小值转变为最大值, DAC_OUT 达到其终值的±1 LSB)	DAC 缓冲器关闭		-	2.1	2.6	
tWAKEUP	从关闭状态唤醒的时间(从使能 DAC 到 DAC_OUT 达到其终值的±1 LSB)	DAC 缓冲器打开, CL ≤ 50 pF, RL ≥ 5 kΩ		-	4.2	7.5	μs
		DAC 缓冲器关闭, CL ≤ 10 pF		-	2.1	5	
PSRR	供电抑制比(相对于 VDD33A)(静态直流测量)	DAC 缓冲器打开, CL ≤ 50 pF, RL ≥ 5 kΩ		-	-80	-28	dB
TW_to_W	两次连续写入DACx_DATO寄存器之间的最小时间, 以保证输入代码的微小变化具有正确的 DAC_OUT(1 LSB)。 DACxy_CTRL.EXOUT = 1, DACxy_CTRL. BxEN = 1	CL ≤ 50 pF, RL ≥ 5 kΩ		1	-	-	μs
	DACxy_CTRL.EXOUT = 1, DACxy_CTRL. BxEN = 0 或 DACxy_CTRL.INOUT = 1, DACxy_CTRL. BxEN = 0	CL ≤ 10 pF		1.4	-	-	
Voffset	Middle code offset for 1 trim code step	VREF+ =3.6V		-	-	1500	μV
IDDA(DAC)	DAC consumption from VDDA	输出缓冲器打开	无负载, 输入中值 0x800	-	325	500	μA
			无负载, 输入最大值 0xF1C	-	450	670	
		输出缓冲器关闭	无负载, 输入中值 0x800	-	-	0.25	
IDDV(DAC)	DAC consumption from VREF+	输出缓冲器打开	无负载, 输入中值 0x800	-	185	240	μA
			无负载, 输入最大值 0xF1C	-	340	400	
		输出缓冲器关闭	无负载, 输入中值 0x800	-	155	205	
DNL	非线性失真(2 个连续代码间的偏差)	-		-	-	±2	LSB
INL	非线性积累(在代码 i 时测量的数值与代码 0 和代码 4095 之间的连线间的偏差)	-		-	-	±6	LSB
偏移	偏移误差(代码 0x800 时测量的数值)	输出缓冲打 开,CL ≤ 50 pF,RL ≥ 5 kΩ	VREF+ =3.6V	-	-	±12	LSB
			VREF+ =1.8V	-	-	±25	
		输出缓冲关闭,CL ≤ 50 pF,没有 RL		-	-	±8	
增益误差	增益误差	-		-	±0.5	-	%

1. 由综合评估保证, 不在生产中测试。

4.3.28 温度传感器(TS)特性

除非特别说明, 表 4-68 的参数是使用符合表 4-4 的条件的环境温度、f_{HCLK} 频率和 V_{DDA} 供电电压测量得到。

表 4-68 温度传感器特性

符号	参数	最小值	典型值	最大值	单位
T _L ⁽¹⁾	V _{SENSE} 相对于温度的线性度	-	± 1	± 3	℃
Avg_Slope ⁽¹⁾	平均斜率	-3.7	-4	-4.3	mV/℃
V ₂₅ ⁽¹⁾	在 25℃ 时的电压	-	1.32	-	V
t _{START} ⁽¹⁾	建立时间	4	-	10	μ s
T _{S_temp} ⁽²⁾⁽³⁾	当读取温度时, ADC 采样时间	-	-	3	μ s

1. 由综合评估保证，不在生产中测试。
2. 由设计保证，不在生产中测试。
3. 最短的采样时间可以由应用程序通过多次循环决定。

5 封装尺寸

5.1 LQFP64

图 5-1 LQFP64 封装尺寸

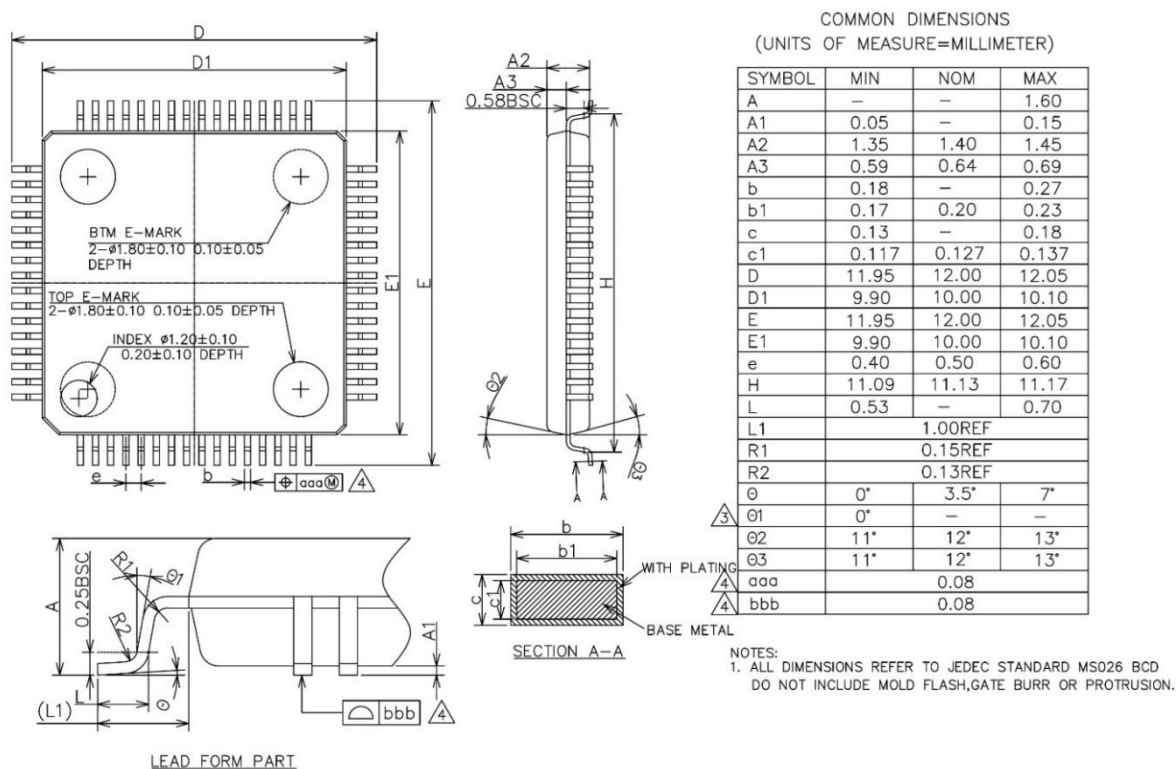
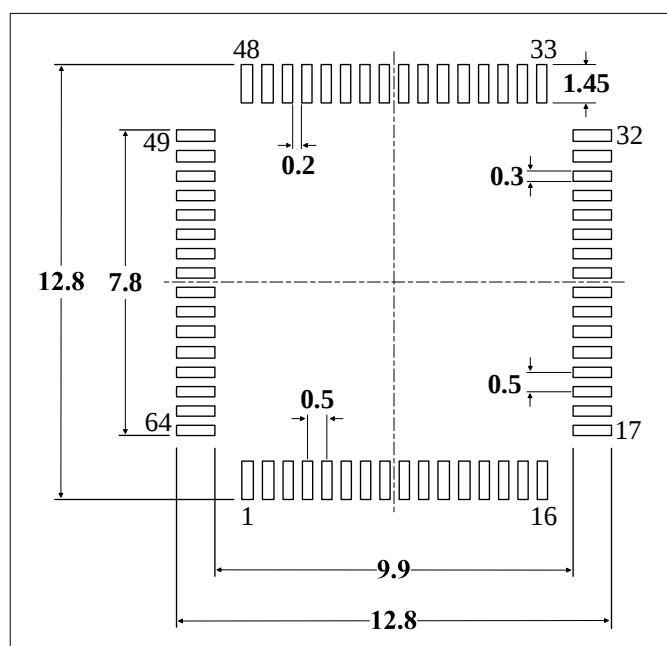


图 5-2 LQFP64 封装焊盘建议⁽¹⁾



1. 尺寸单位为毫米

5.2 LQFP100

图 5-3 LQFP100 封装尺寸

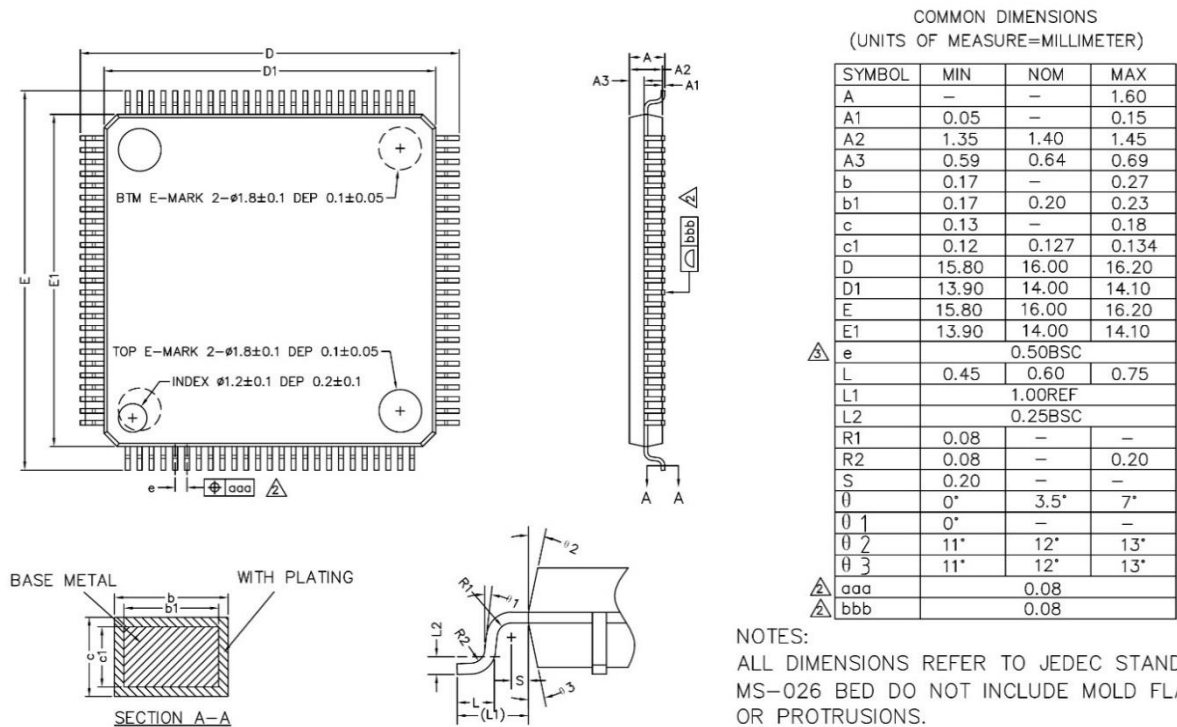
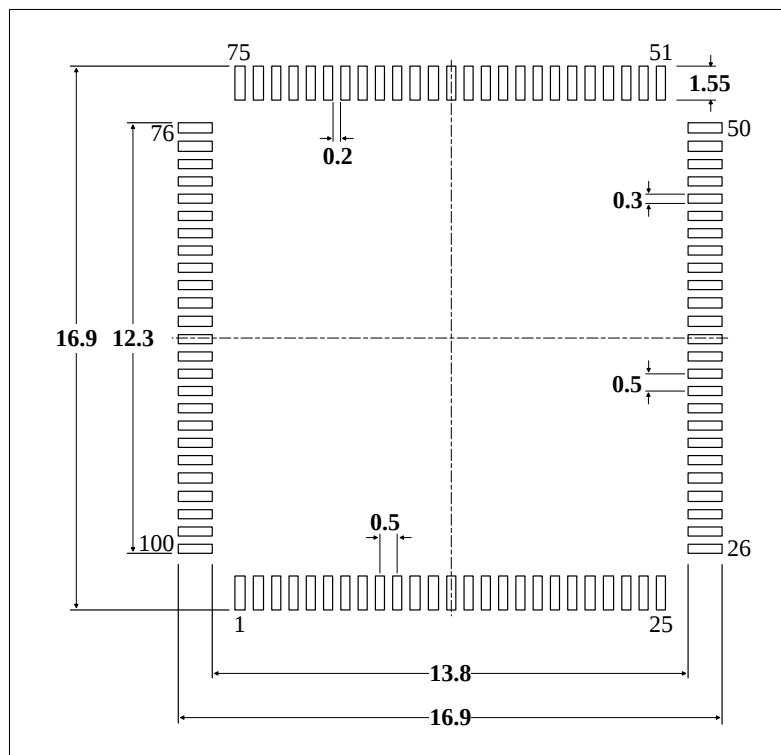


图 5-4 LQFP100 封装焊盘建议⁽¹⁾



1. 尺寸单位为毫米

5.3 LQFP144

图 5-5 LQFP144 封装尺寸

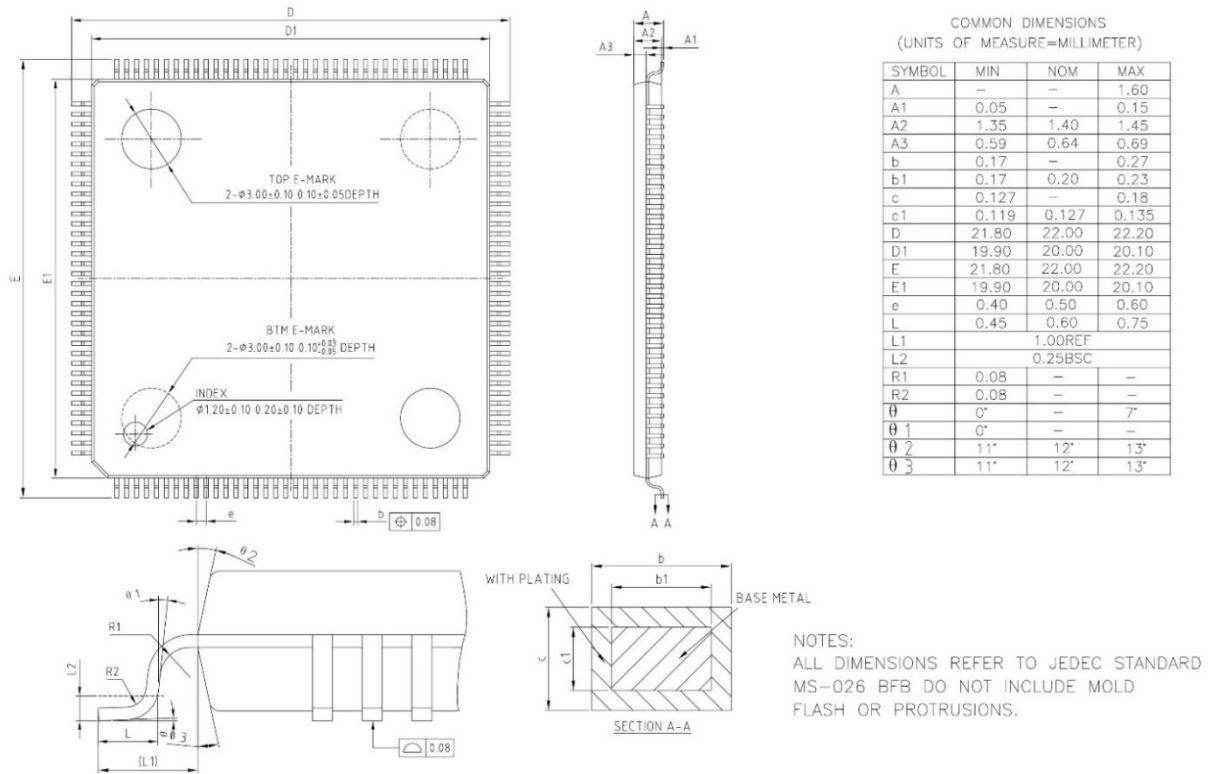
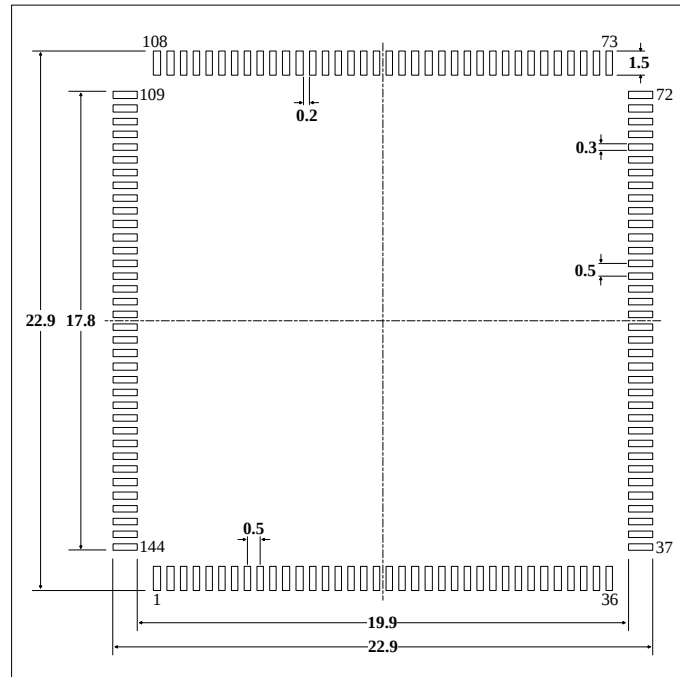
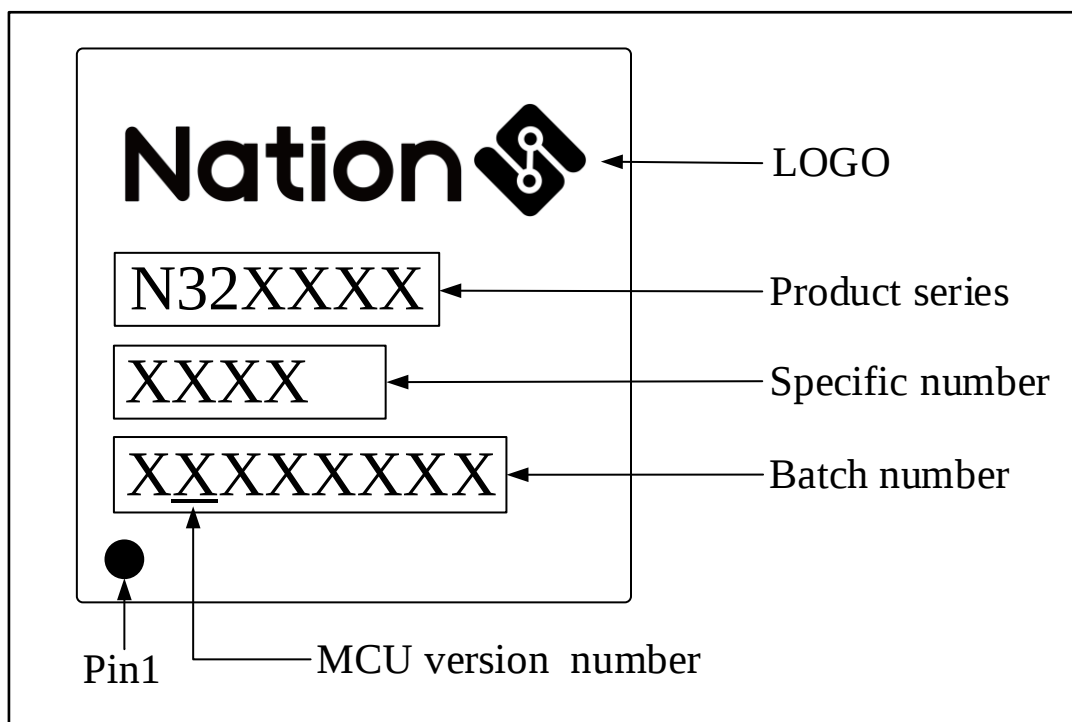


图 5-6 LQFP144 封装焊盘建议⁽¹⁾



6 丝印说明

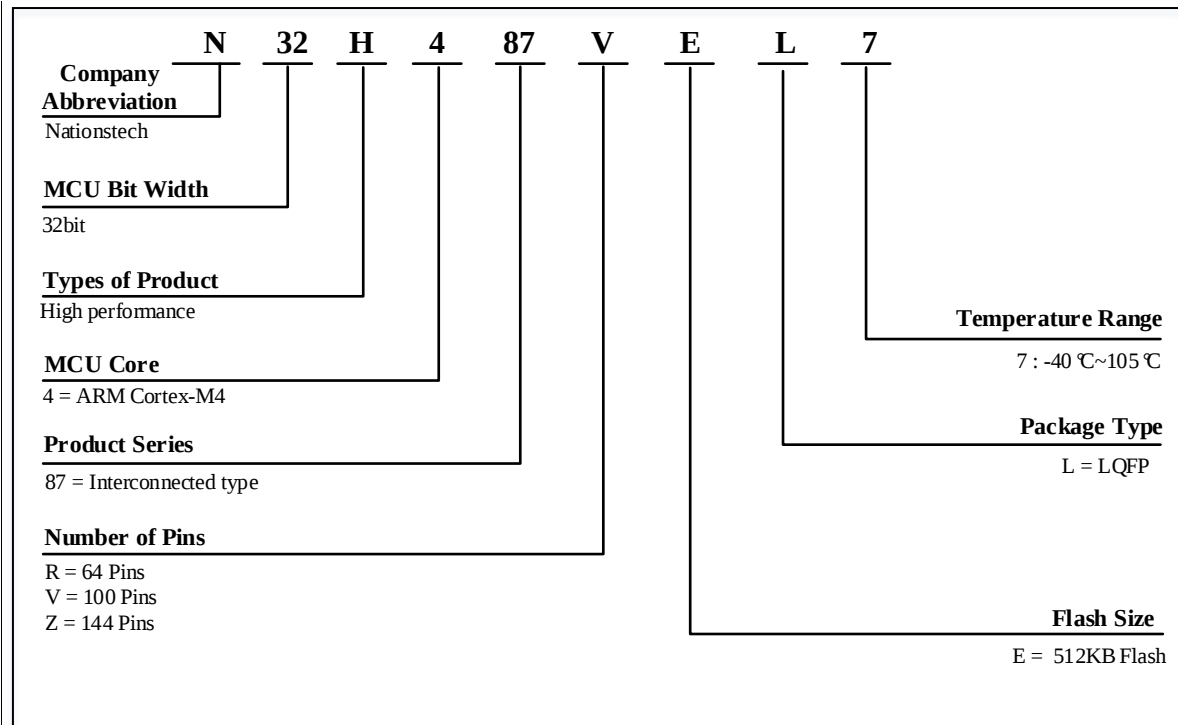
图 6-1 丝印说明图



7 订购信息

7.1 命名规则

图 7-1 N32H487 系列订货代码信息图示



7.2 订货代码信息

表 7-1 N32H487系列订货代码信息

订购型号 ⁽¹⁾	封装	封装尺寸	包装 ⁽²⁾	SPQ ⁽³⁾	温度范围
N32H487REL7	LQFP64	10mm x 10mm	托盘	160	-40 °C ~ 105 °C
N32H487VEL7	LQFP100	14mm x 14mm	托盘	90	-40 °C ~ 105 °C
N32H487ZEL7	LQFP144	20mm x 20mm	托盘	60	-40 °C ~ 105 °C

1. 最新详细订购信息见选型手册
2. 此包装为基础包装，如有其他需求，请联系国民技术
3. 最小包装数量

8 版本历史

日期	版本	修改
2024.1.3	V0.6.0	初始版本
2024.4.8	V0.7.0	1. 修改 GTIM1~7 关键特性及电气特性 2. 添加 ADC 采样时间
2024.5.28	V0.8.0	1. 新增表 4-19 SHRTPLL 特性
2024.11.12	V1.0.0	1. 添加 USBHS 使用注意事项 2. 修改部分描述笔误 3. 更新表 4-19 SHRTPLL 特性 4. 添加焊盘图，修改订货代码信息，修改丝印说明 5. 更新低功耗电流数据

9 声明

国民技术股份有限公司（下称“国民技术”）对此文档拥有专属产权。依据中华人民共和国的法律、条约以及世界其他法域相适用的管辖，此文档及其中描述的国民技术产品（下称“产品”）为公司所有。

国民技术在此并未授予专利权、著作权、商标权或其他任何知识产权许可。所提到或引用的第三方名称或品牌（如有）仅用作区别之目的。

国民技术保留随时变更、订正、增强、修改和改良此文档的权利，恕不另行通知。请使用者在下单购买前联系国民技术获取此文档的最新版本。

国民技术竭力提供准确可信的资讯，但即便如此，并不推定国民技术对此文档准确性和可靠性承担责任。

使用此文档信息以及生成产品时，使用者应当进行合理的设计、编程并测试其功能性和安全性，国民技术不对任何因使用此文档或本产品而产生的任何直接、间接、意外、特殊、惩罚性或衍生性损害结果承担责任。

国民技术对于产品在系统或设备中的应用效果没有任何故意或保证，如有任何应用在其发生操作不当或故障情况下，有可能致使人员伤亡、人身伤害或严重财产损失，则此类应用被视为“不安全使用”。

不安全使用包括但不限于：外科手术设备、原子能控制仪器、飞机或宇宙飞船仪器、所有类型的安全装置以及其他旨在支持或维持生命的应用。

所有不安全使用的风险应由使用人承担，同时使用人应使国民技术免于因为这类不安全使用而导致被诉、支付费用、发生损害或承担责任时的赔偿。

对于此文档和产品的任何明示、默示之保证，包括但不限于适销性、特定用途适用性和不侵权的保证，国民技术可在法律允许范围内进行免责。

未经明确许可，任何人不得以任何理由对此文档的全部或部分进行使用、复制、修改、抄录和传播。