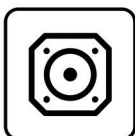


自主封測 品質把控 售後保障

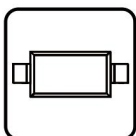
WEB | WWW.TDSEMIC.COM



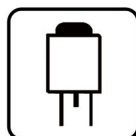
電源管理



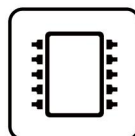
顯示驅動



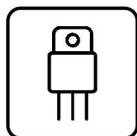
二三極管



LDO穩壓器



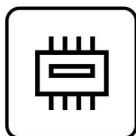
觸摸芯片



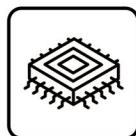
MOS管



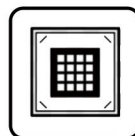
運算放大器



存儲芯片



MCU



串口通信

74HC4053-TD

產品規格說明書

3 路二选一模拟开关

概 述

74HC4053 是一块带有公共使能输入控制位的 3 路二选一模拟开关电路。每一个多路选择开关都有两个独立的输入/输出 (Y0 到 Y1)、一个公共的输入/输出端 (Z) 和选择输入 (Sn)。每一路都包含了两个双向模拟开关, 开关的一边连接到独立输入/输出 (Y0 到 Y1), 另一边连接到公共输入/输出端 (Z)。

当 \bar{E} 为低电平时, 两个开关中的其中一个被 Sn 选通 (低阻导通态)。当 \bar{E} 为高电平时, 所有开关都处于高阻关断态, 与 SA ~Sc 无关。

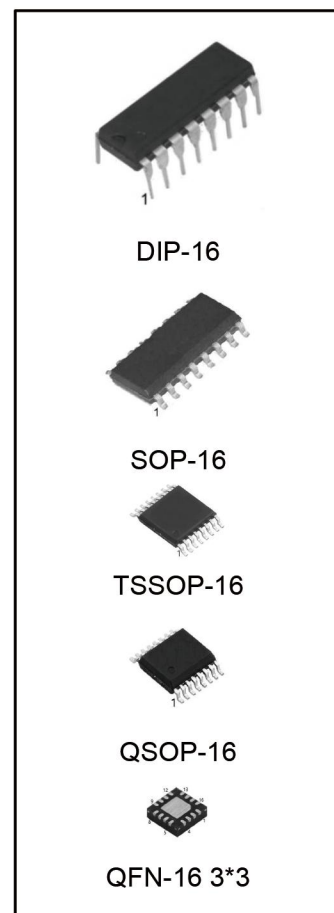
VDD 和 VSS 是连接到数字控制输入 (SA、Sc 和 \bar{E}) 的电源电压。

(VDD - VSS) 的范围是 3 ~ 9V, 模拟输入输出 (Y0 ~ Y1 和 Z) 能够在最高 VDD, 最低 VEE 之间变化。(VDD - VEE) 不会超过 9V。

对于用做数字多路选择开关, VEE 和 VSS 是连在一起的 (通常接地)。

74HC4053 主要应用于模拟多路选择开关、数字多路选择开关及信号选通。

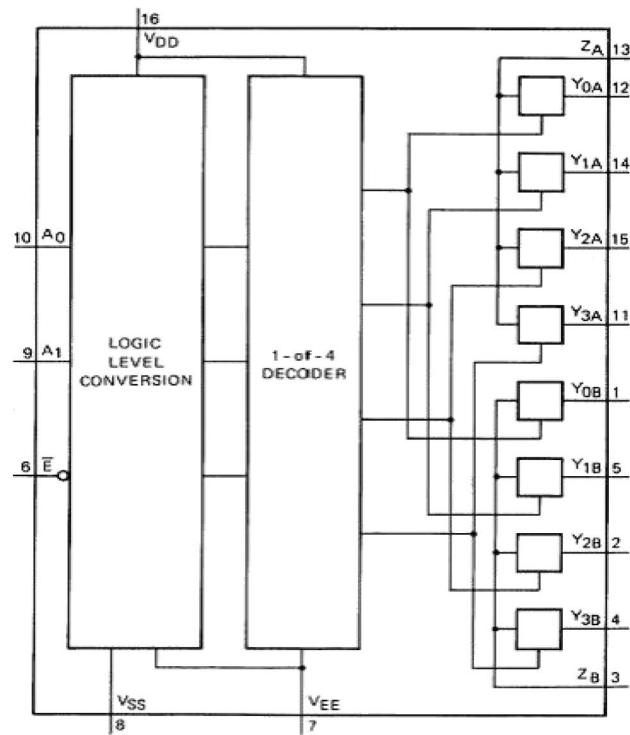
封装形式: DIP-16 / SOP-16 / TSSOP-16 / QSOP-16 / QFN-16 / QFN-16



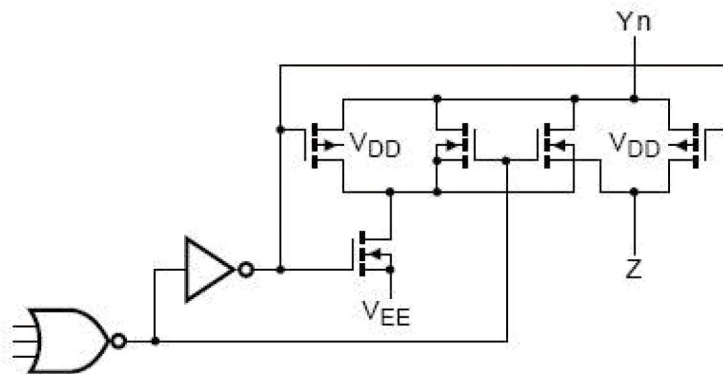
产品订购信息

产品名称	封装	打印名称	包装	包装数量
74HC4053N	DIP-16	74HC4053	管装	1000 只/盒
74HC4053	SOP-16	74HC4053	编带	2500 只/盘
74HC4053	TSSOP-16	HC4053	编带	2500 只/盘
74HC4053	QSOP-16	HC4053	编带	2500 只/盘
74HC4053	QFN-16 3*3	HC4053	编带	5000 只/盘

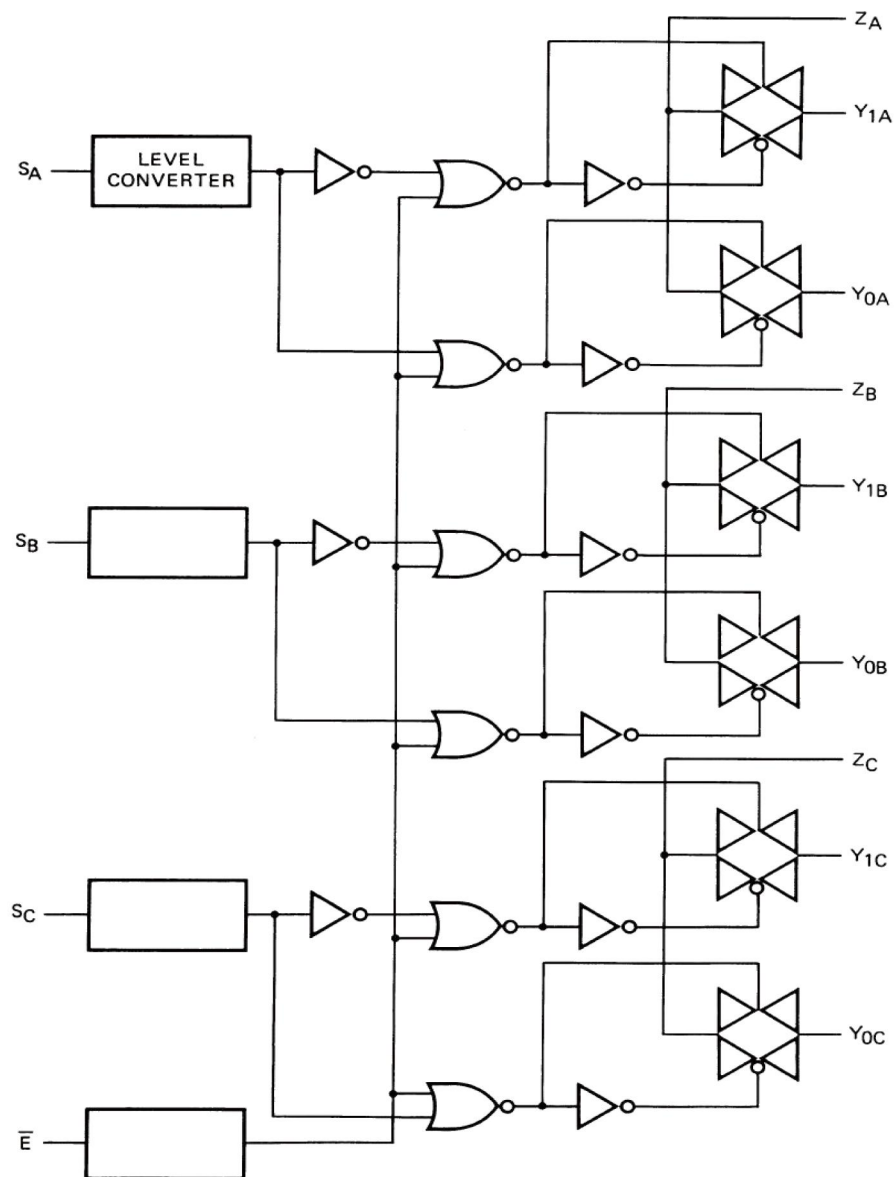
功能框



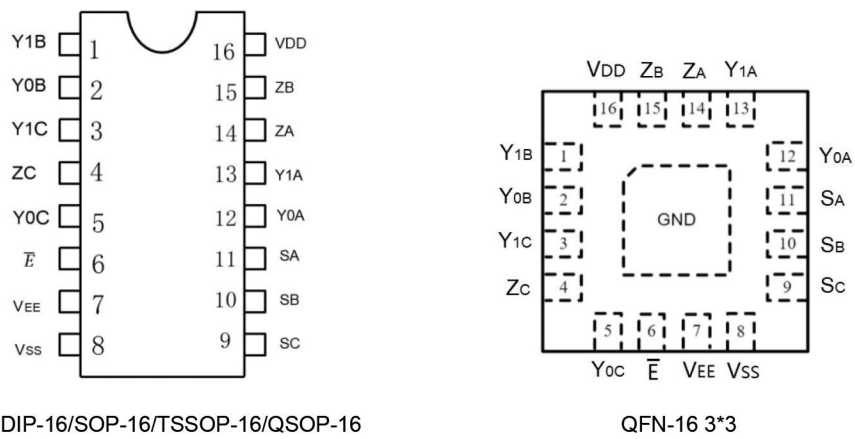
电路图（一个开关）



逻辑图



引脚排列图



引脚说明

引脚	符 号	功 能	引脚	符 号	功 能
1	Y1B	独立输入/输出	9	Sc	选择输入端
2	Y0B	独立输入/输出	10	Sb	选择输入端
3	Y1C	独立输入/输出	11	SA	独立输入端
4	Zc	共用输入/输出	12	Y0A	独立输入/输出
5	Y0C	独立输入/输出	13	Y1A	独立输入/输出
6	\bar{E}	使能输入（低电平有效）	14	ZA	共用输入/输出
7	VEE	负电源电压	15	ZB	共用输入/输出
8	VSS	接地	16	VDD	正电源电压

功能说明（真值表、逻辑关系等）

输入		沟道导通
\bar{E}	S _n	
L	L	Y _{0n} —Z _n
L	H	Y _{1n} —Z _n
H	x	无

注：1. H 是高电平状态（较高的正电压）
2.L 是低电平状态（较低的正电压）
3. " x " 是任意状态
4.n=A,B,C

极限参数

符号	参数	条件		最小	最大	单位
V _{DD}	电源电压范围			-0.5	+12	V
V _{DD} - V _{EE}	电源电压范围			-0.5	+12	V
I _Q	静态电流	V _{DD} -V _{EE} =12V			2	μA
V _I	输入电压范围			-0.5	V _{DD} +0.5	V
I _{IH}	高电平输入电流	V _{DD} =5V, V _I = V _{DD}			1	μA
I _{IL}	低电平输入电流	V _{DD} =5V, V _I = 0V			1	μA
V _{IO}	输入输出电压范围			V _{EE} -0.5	V _{DD} +0.5	V
I _{IK}	输入钳位电流	V _I < -0.5V 或 V _I > V _{DD} +0.5V		-	±20	mA
I _{IOK}	输入输出钳位电流	V _{IO} < V _{EE} -0.5V 或V _{IO} > V _{DD} +0.5V		-	±20	mA
I _T	开关导通电流	V _O = -0.5V ~ V _{DD} +0.5V		-	±25	mA
I _{DD} , I _{GND}	V _{DD} 或GND 电流			-	±50	mA
P _D	功耗				500	mW
T _{STG}	贮存温度			-65	+150	℃
T _{OP}	工作温度			-40	+85	℃
T _L	焊接温度	10 秒	DIP 封装	-	245	℃
			SOP 封装	-	245	

注：极限参数是指无论在任何条件下都不能超过的极限值。万一超过此极限值，将有可能造成产品劣化等物理性损伤；同时在接近极限参数下，不能保证芯片可以正常工作。

推荐使用条件

符号	参数	条件	最小	典型	最大	单位
V_{DD}	电源电压		3.0	5.0	9.0	V
V_{EE}	电源电压		-6.0		0	V
$V_{DD}-V_{EE}$	电源电压		3.0		9.0	V
V_I	输入电压		0	-	V_{DD}	V
V_{IO}	输入输出电压		V_{EE}	-	V_{DD}	V
$t_{r,tf}$	输入上升、下降时间	$V_{CC}=3.0V$	-	-	1000	ns
		$V_{CC}=5.0V$	-		500	ns
		$V_{CC}=6.0V$	-	-	400	ns
T_{OP}	工作温度		-40	-	+85	$^{\circ}C$

直流特性

参数	$V_{DD} - V_{EE}$ (V)	符号	典型	最大	单 位	条件
导通电阻	5 9	R_{ON}	350 80	2500 245	Ω	$V_{is}=0 \sim V_{DD} - V_{EE}$ 见图 1
导通电阻	5 9	R_{ON}	115 50	340 160	Ω	$V_{is}=0$ 见图 1
导通电阻	5 9	R_{ON}	120 65	365 200	Ω	$V_{is}=V_{DD} - V_{EE}$ 见图 1
任意两个通道导 通电阻的差值	5 9	ΔR_{ON}	25 10	— —	Ω	$V_{is}=0 \sim V_{DD} - V_{EE}$ 见图 1
关断态漏电流 (所有通道关断)	5 9	I_{OZZ}	— —	— 1000	nA	\bar{E} 处于 V_{DD}
关断态漏电流 (任一通道)	5 9	I_{OZY}	— —	— 200	nA	\bar{E} 处于 V_{EE}

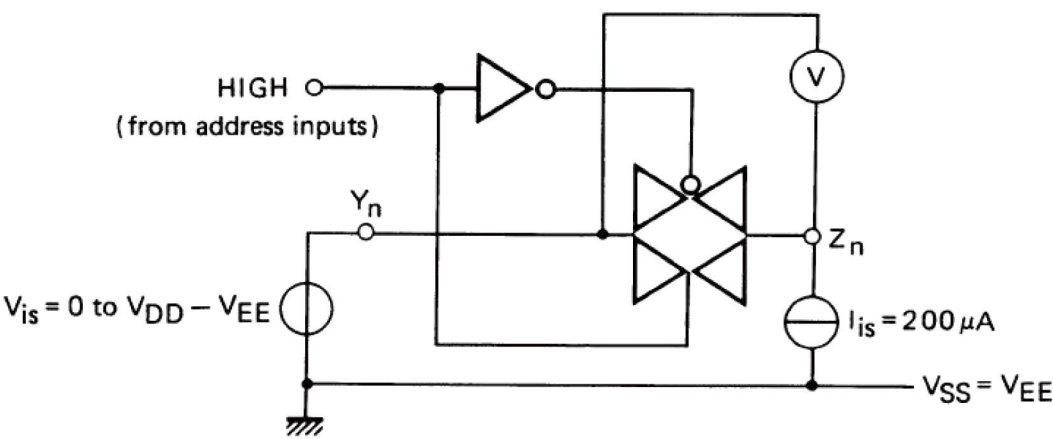


图 1 导通电阻的测试

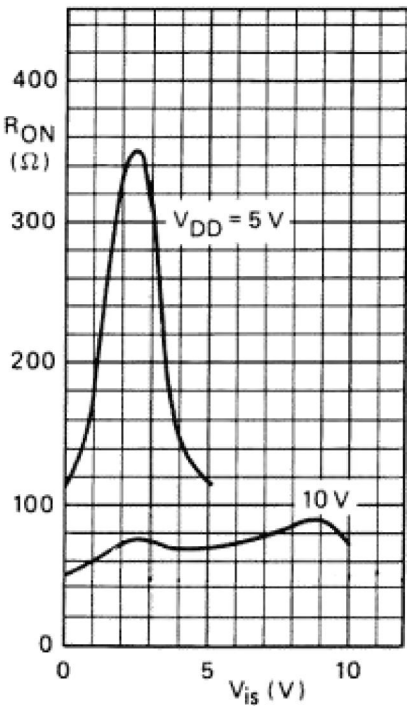


图 2 导通电阻是输入电压的函数 (Iis=200μA VSS=VEE=0V)

交流特性 (VSS=VEE=0V; Tamb=25℃; 输入转换时间小于 20ns)

	VDD (V)	功率计算公式 (μW)	fi是输入频率(MHz) fo是输出频率(MHz) CL是负载电容(pF) Σ(fiCL)是输出之和 VDD 是电源电压(V)
一块电路的动态 功率耗散 (P)	5 9	2500fi+Σ(fiCL)×VDD² 11500fi+Σ(fiCL)×VDD²	

参数		VDD (V)	符号	典型	最大	单位	备注
传输延时 Vis → Vos	高到低	5 9	tPHL	10 5	20 10	ns	注释 1
	低到高	5 9	tPLH	15 5	30 10	ns	注释 1
传输延时 An → Vos	高到低	5 9	tPHL	200 85	400 170	ns	注释 2
	低到高	5 9	tPLH	275 100	555 200	ns	注释 2
输出 禁止 时间 E→Vos	高	5 9	tPHZ	200 115	400 230	ns	注释 3
	低	5 9	tPLZ	200 120	400 245	ns	注释 3

输出 使能 时间 $\bar{E} \rightarrow V_{os}$	高	5 9	t_{PZH}	260 95	525 190	ns	注释 3
	低	5 9	t_{PZL}	280 105	565 205	ns	注释 3
失真 (正弦波响应)		5 9		0.25 0.04		%	注释 4
任意两个通道 之间的干扰		5 9		— 1		MHz	注释 5
串扰, 使能端或 选择端到输出		5 9		— 50		mV	注释 6
关断态		5 9		— 1		MHz	注释 7
导通态频率响应		5 9		13 40		MHz	注释 8

注释: V_{is} 是 Y 或 Z 端的输入电压, V_{os} 是 Y 或 Z 端的输出电压

1. $R_L=10K\Omega$ 到 V_{EE} ; $C_L=50pF$ 到 V_{EE} ; $\bar{E} = V_{SS}$; $V_{is}=V_{DD}$ (方波); 如图 3 所示

2. $R_L=10K\Omega$; $C_L=50pF$ 到 V_{EE} ; $\bar{E} = V_{SS}$; $S_n=V_{DD}$ (方波); $V_{is}=V_{DD}$ 和 R_L 到 V_{EE} 用来测量 t_{PLH} ; $V_{is}=V_{EE}$ 和 R_L 到 V_{DD} 用来测量 T_{PHL} ; 如图 3 所示

3. $R_L=10K\Omega$; $C_L=50pF$ 到 V_{EE} ; $\bar{E} = V_{DD}$ (方波); $V_{is}=V_{DD}$, R_L 到 V_{EE} ; 测量 t_{PHZ} 和 t_{PZH} 时; $V_{is}=V_{EE}$ 和 R_L 到 V_{DD} 用来测量 t_{PLZ} 和 t_{PZL} ; 如图 3 所示

4. $R_L=10K\Omega$; $C_L=15pF$; 通道开; $V_{is}=V_{DD}$ (P-P) /2(正弦波, 在 $V_{DD}/2$ 处对称), $f_{is}=1KHz$; 如图 4 所示

5. $R_L=1K\Omega$; $V_{is}=V_{DD}$ (P-P) /2(正弦波, 在 $V_{DD}/2$ 处对称); $20lg(V_{os}/V_{is})=-50dB$; 如图 5 所示

6. $R_L=10K\Omega$ 到 V_{EE} ; $C_L=15pF$ 到 V_{EE} ; \bar{E} 或 $S_n=V_{DD}$ (方波); 干扰是 $|V_{os}|$ (峰值); 如图 3 所示

7. $R_L=1K\Omega$; $C_L=5pF$; 通道关; $V_{is}=V_{DD}$ (P-P) /2(正弦波, 在 $V_{DD}/2$ 处对称); $20lg(V_{os}/V_{is})=-50dB$; 如图 4 所示

8. $R_L=1K\Omega$; $C_L=5pF$; 通道开; $V_{is}=V_{DD}$ (P-P) /2(正弦波, 在 $V_{DD}/2$ 处对称); $20lg(V_{os}/V_{is})=-3dB$; 如图 4 所示

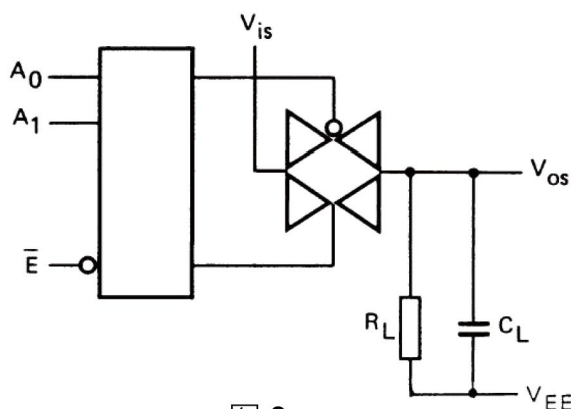


图 3

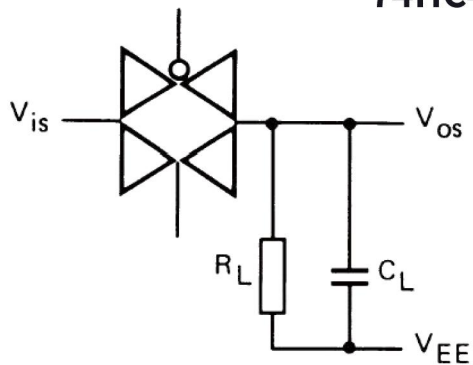


图 4

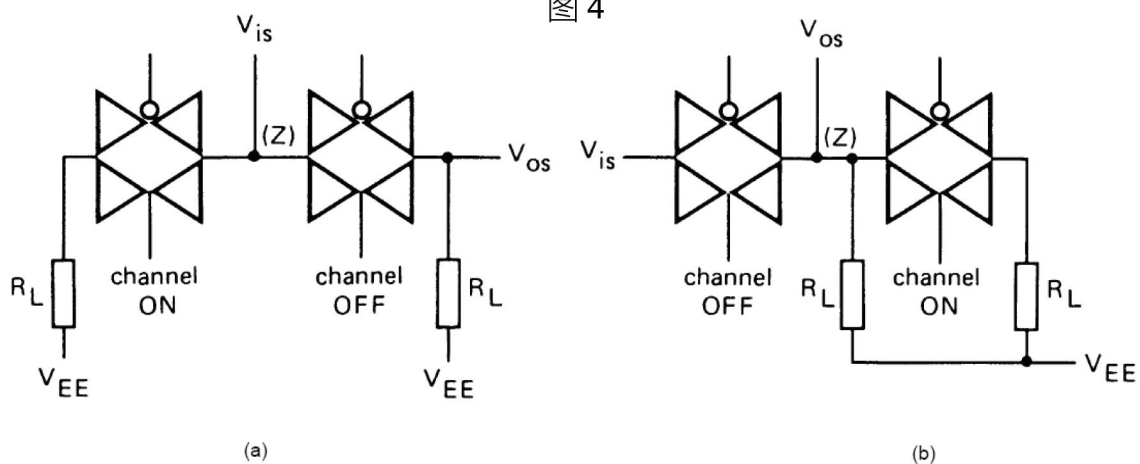
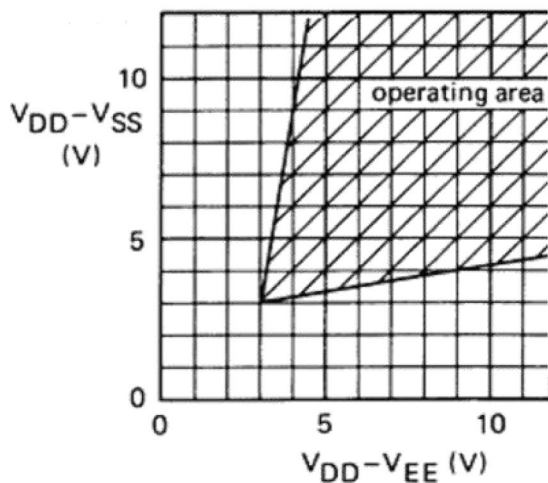


图 5

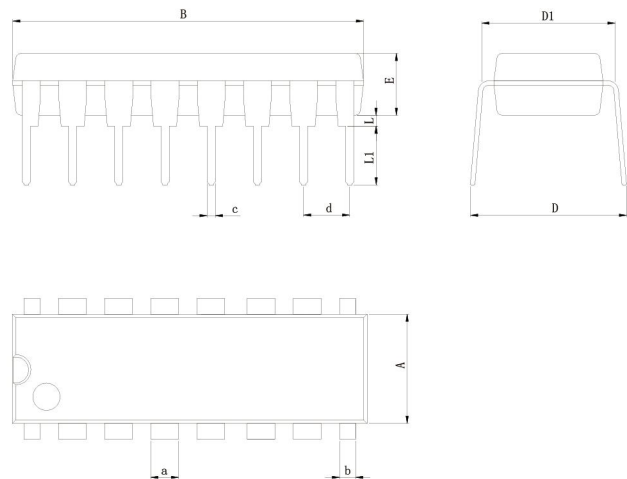
应用说明

电路工作区域



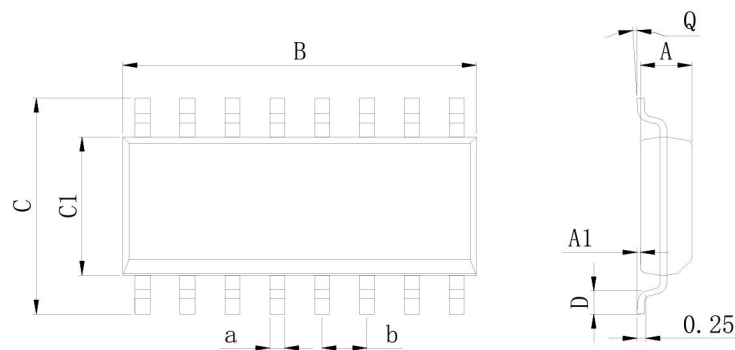
封装外形尺寸

DIP-16



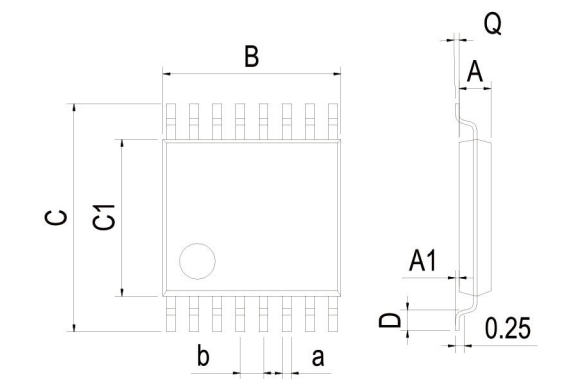
Dimensions In Millimeters(DIP-16)											
Symbol:	A	B	D	D1	E	L	L1	a	b	c	d
Min:	6.10	18.94	8.10	7.42	3.10	0.50	3.00	1.50	0.85	0.40	2.54 BSC
Max:	6.68	19.56	10.9	7.82	3.55	0.70	3.60	1.55	0.90	0.50	

SOP-16



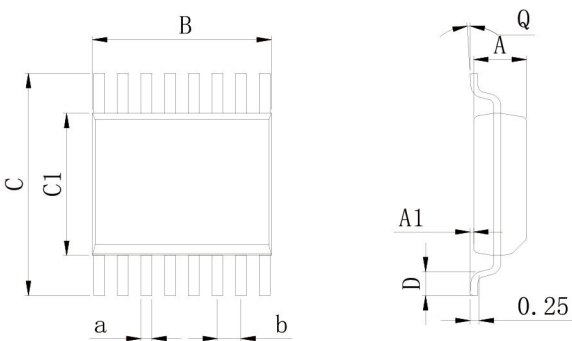
Dimensions In Millimeters(SOP-16)									
Symbol:	A	A1	B	C	C1	D	Q	a	b
Min:	1.35	0.05	9.80	5.80	3.80	0.40	0°	0.35	1.27 BSC
Max:	1.55	0.20	10.0	6.20	4.00	0.80	8°	0.45	

TSSOP-16



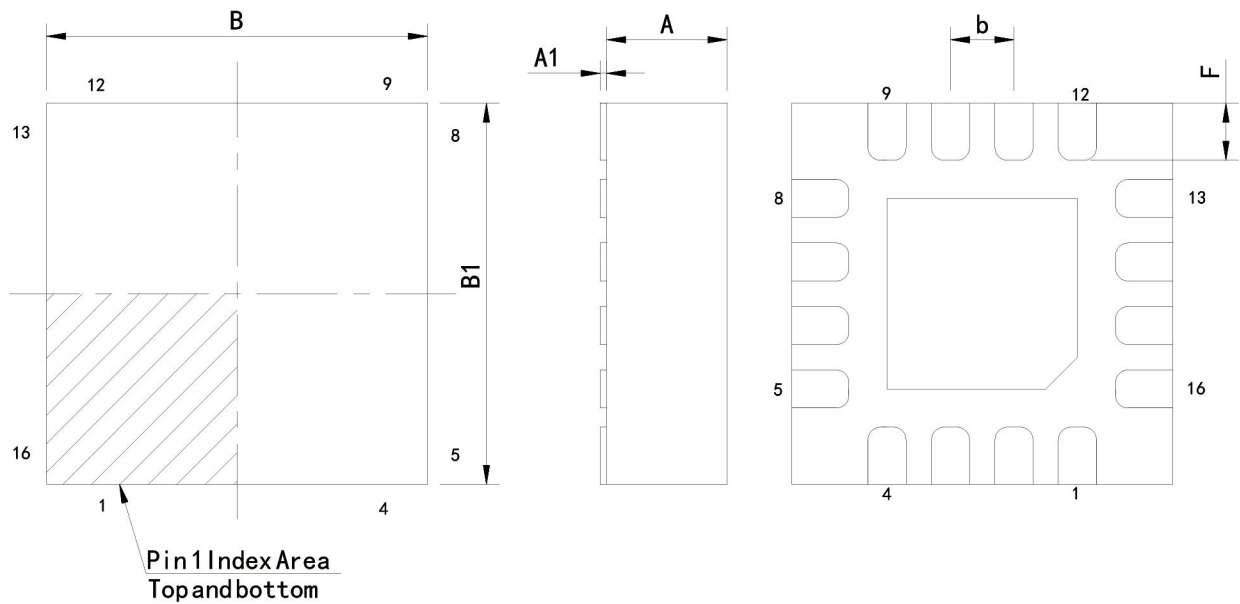
Dimensions In Millimeters(TSSOP-16)									
Symbol:	A	A1	B	C	C1	D	Q	a	b
Min:	0.85	0.05	4.90	6.20	4.30	0.40	0°	0.20	0.65 BSC
Max:	0.95	0.20	5.10	6.60	4.50	0.80	8°	0.25	

QSOP-16



Dimensions In Millimeters(QSOP-16)									
Symbol:	A	A1	B	C	C1	D	Q	a	b
Min:	1.35	0.05	4.80	5.80	3.80	0.40	0°	0.20	0.635 BSC
Max:	1.55	0.20	5.10	6.20	4.00	0.80	8°	0.25	

QFN-16 3*3



Dimensions In Millimeters(QFN-16 3*3)								
Symbol:	A	A1	B	B1	E	F	a	b
Min:	0.85	0	2.90	2.90	0.15	0.25	0.18	0.50TYP
Max:	0.95	0.05	3.10	3.10	0.25	0.45	0.30	