

# 产品规格书

## 产品描述

XC11663A 是具有 10 位、超低功耗、小尺寸、单极性、单端输入的基本特征的模数转换器 (ADC)。具有便捷的电源/串行时钟速度管理。转换速率由串行时钟决定，可以通过增加串行时钟速度来减少转换时间。能够自动关断，转换后的自动断电可以降低平均功耗。

XC11663A 版本采用 3.0 V – 4.5 V 单电源供电，采样率最高可达 1000 KSPS。

XC11663A 采用 6 引脚 SOT-23 封装，工作温度范围为 -40°C 至 85°C。

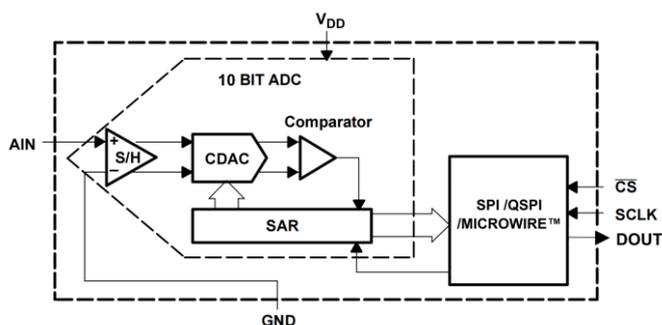
**XC11663A 可 pin-to-pin 替代 MAX11663。**

## 主要特征

- 3.0 V – 4.5 V 单电源供电
- 最高采样速率：1000 KSPS
- 省电模式
- 超低功耗（典型值）  
2.20mW（3.3 V，1000 KSPS）  
9.60mW（4.5 V，1000 KSPS）
- 误差 ±0.5LSB INL，±0.5LSB DNL
- 0—V<sub>DD</sub> 单极单通道输入
- SPI/QSPI/MICROWIRE™ 兼容串行接口
- 6 引脚 SOT-23 封装
- 工作温度范围为 -40°C 至 85°C

## 应用领域

- 通信系统
- 数据采集系统
- 手持式便携设备
- 医疗仪器
- 电池供电系统
- 车载电子设备



原理图



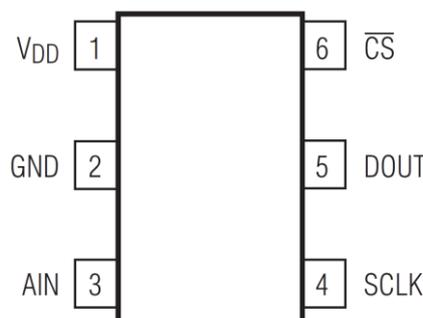
封装示意图

# XC11663A — 10 位超低功耗 3.0 V – 4.5 V 工作电压 1000 KSPS 模数转换器(ADC)

## 1.主要技术参数

- 3.0 V – 4.5 V 单电源供电
- 超低功耗（典型值）
  - 2.20mW（3.3V，1000 KSPS）
  - 9.60mW（4.5V，1000 KSPS）
- 最高采样速率：1000 KSPS
- 10 位分辨率，无失码
- 微分非线性误差(DNL)：±0.5 LSB
- 积分非线性误差(INL)：±0.5 LSB
- 信噪比失真(SNR)：61 dB @100 KHz
- 总谐波失真(THD)：-73.5 dB @100 KHz
- SPI/QSPI/MICROWIRE™兼容串行接口
- 无流水线周期延迟
- 省电模式
- 单极单通道输入，0 V 至  $V_{DD}$  范围
- 6 引脚 SOT-23 封装

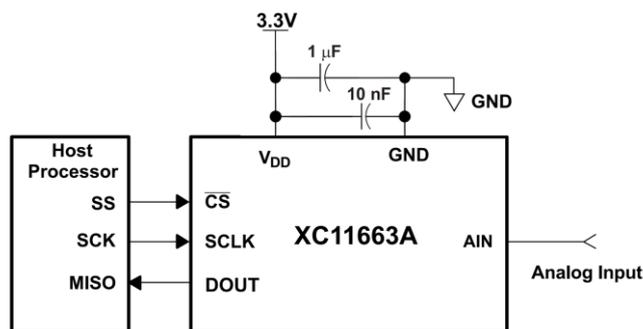
## 2.引脚配置



| 引脚              |    | 描述                                          |
|-----------------|----|---------------------------------------------|
| 名称              | 序号 |                                             |
| $V_{DD}$        | 1  | 电源输入。也类似于 ADC 的基准电压。                        |
| GND             | 2  | 模拟输入信号接地。所有模拟和数字信号都以此引脚为基准。                 |
| AIN             | 3  | 单极模拟信号输入。输入范围为 0 到 $V_{DD}$ 。               |
| SCLK            | 4  | 串行时钟输入。该时钟用于输出数据，也是转换时钟的来源。                 |
| DOUT            | 5  | 这是转换结果的串行数据输出。串行流以 MSB 优先。                  |
| $\overline{CS}$ | 6  | 片选信号，低电平有效，用于对 SCLK 输入进行选通、启动转换和对输出数据进行帧处理。 |

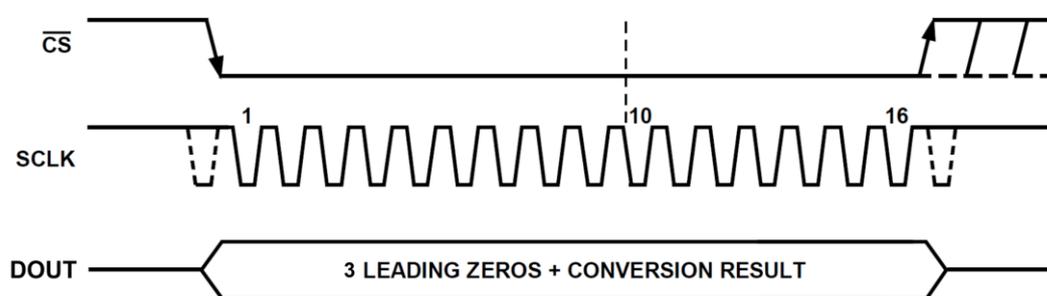
## 3.典型连接

XC11663A 系列的典型连接电路，请参见下图。电源应来自稳定的供电设备，如 LDO。XC11663A 系列的  $V_{DD}$  引脚与 GND 引脚之间需要一个  $1\mu F$  和一个  $10nF$  的耦合电容。电容应尽可能靠近 XC11663A 系列的引脚。



电路连接图

## 4.时序图



时序图

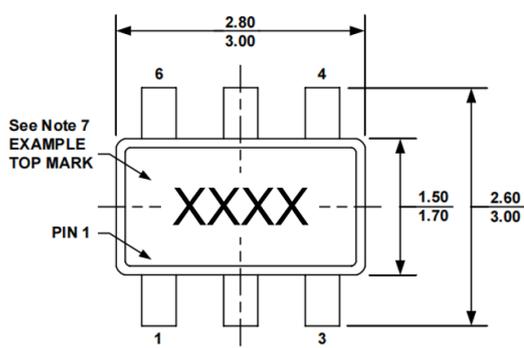
与 MAX11663 系列转换不同，MAX11663 在  $\overline{CS}$  下降沿后经过第 2 个 SCLK 下降沿之后才会通过 DOUT 输出转换结果。而 XC11663A 系列在  $\overline{CS}$  下降沿后经过第 4 个 SCLK 下降沿之后，才会从 DOUT 输出三个前导零跟随 8 位转换结果，8 位结果后跟四个尾随零，10 位结果后跟两个尾随零。之后 DOUT 进入高阻态，转换周期结束。

## 5.省电模式

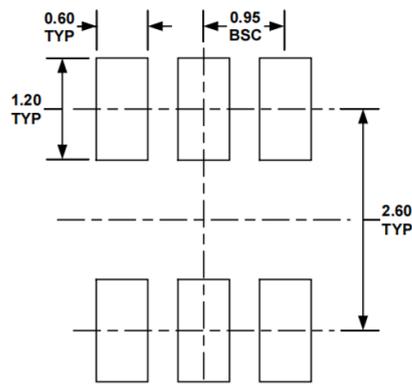
XC11663A 具有自动断电功能。在关闭所有电路之后，转换器在这种模式下通常只消耗很小的电流。当出现  $\overline{CS}$  下降沿时，设备自动唤醒。然而，只有当 SCLK 的第三个下降沿出现，所有的功能块才完全启动。经过 XC11663A 的 SCLK 的第 12 个下降沿，设备检测到转换结束，设备就会又自动断电。如果  $\overline{CS}$  在 10 个 SCLK 之前被拉高，XC11663A 就会中止正在进行的数据转换过程，转换器将强迫进入断电模式，并且在接下来的一次转换中没有有效数据。

SCLK 的频率越高，转换器在固定吞吐率下消耗的功耗就越低，因为在固定的时间段内转换时间越短，即转换器在每个转换周期中更多地处于自动断电模式。对于特定的 SCLK 频率，采样时间（ $\overline{CS}$  下降沿到 SCLK 的第三个下降沿）和转换时间（三个前导零加上 12 个 SCLK 周期）是固定的，所以较低的吞吐量时（即总的转换周期延长）增加了断电所占的时间比例，从而使功耗降低。

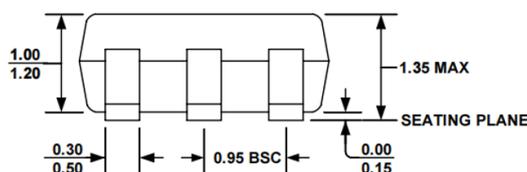
## 6.封装示意图



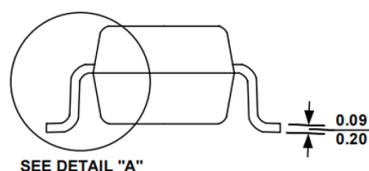
**TOP VIEW**



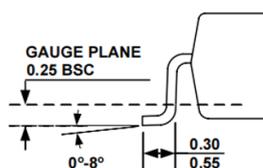
**RECOMMENDED LAND PATTERN**



**FRONT VIEW**



**SIDE VIEW**



**DETAIL "A"**

### NOTE:

- 1) ALL DIMENSIONS ARE IN MILLIMETERS.
- 2) PACKAGE LENGTH DOES NOT INCLUDE MOLD FLASH, PROTRUSION OR GATE BURR.
- 3) PACKAGE WIDTH DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION.
- 4) LEAD COPLANARITY (BOTTOM OF LEADS AFTER FORMING) SHALL BE 0.10 MILLIMETERS MAX.
- 5) DRAWING CONFORMS TO JEDEC MO-178, VARIATION AB.
- 6) DRAWING IS NOT TO SCALE.
- 7) PIN 1 IS LOWER LEFT PIN WHEN READING TOP MARK FROM LEFT TO RIGHT, (SEE EXAMPLE TOP MARK)

## 7.注意事项

1. 拆封的 IC、管装 IC 等必须放在干燥柜内储存，干燥柜内湿度<20% R.H。
2. 存取后都以静电包装防护袋保存元件。
3. 防静电损伤：器件为静电敏感器件，传输、装配、测试过程中应采取充分的防静电措施。
4. 用户在使用前应进行外观检查，电路底部、侧面、四周光亮方可进行焊接。如出现氧化可采去氧化手段对电路进行处理，处理完成电路必须在 12 小时内完成焊接。