

概述

MF7606-P 是 16 位、8 通道同步采样的模数转换器芯片。MF7606-P 内置了模拟输入钳位保护、二阶抗混叠滤波器、跟踪保持放大器、16 位电荷再分配逐次逼近型模数转换器、灵活的数字滤波器、2.5V 基准电压源、基准电压缓冲以及高速串行和并行接口。MF7606-P 采用 5V 单电源供电，可以处理 $\pm 10V$ 和 $\pm 5V$ 真双极性输入信号，所有通道均能以高达 200kSPS 的吞吐率采样。输入钳位保护电路可以耐受最高 $\pm 16.5V$ 的电压。无论以何种采样频率工作，MF7606-P 的模拟输入阻抗均为 $1M\Omega$ 。MF7606-P 采用单电源工作，具有片内滤波和高的输入阻抗，因此无需外置运算放大器和双极性电源。MF7606-P 抗混叠滤波器的 3dB 截止频率为 22.9kHz，在 200kSPS 采样率下，它具有 40dB 的抗混叠抑制特性。灵活的数字滤波器采用引脚驱动，可以改善信噪比。

应用

电力线监控和保护系统
多相电机控制仪表和控制
系统多轴定位系统

特性

- 8 路同步采样输入
- 双极性模拟输入范围： $\pm 10V$ ， $\pm 5V$
- 5V 单模拟电源，VDRIVE：2.3V to 5V
- 全集成的数据采集解决方案
 - 模拟输入钳位保护
 - 具有 $1M\Omega$ 模拟输入阻抗的输入缓冲器
 - 二阶抗混叠模拟滤波器
 - 片上精密基准电压及缓冲电路
 - 16 位、200kSPS ADC（所有通道）
 - 数字滤波提供过采样功能
- 灵活的并行/串行接口
- 模拟输入通道提供 8kV ESD 保护
- 87.5dB SNR，-108dB THD
- 低功耗：95mW
- 待机功耗：35mW
- 工作温度范围： $-40^{\circ}C$ to $+85^{\circ}C$
- 64 PIN LQFP 封装

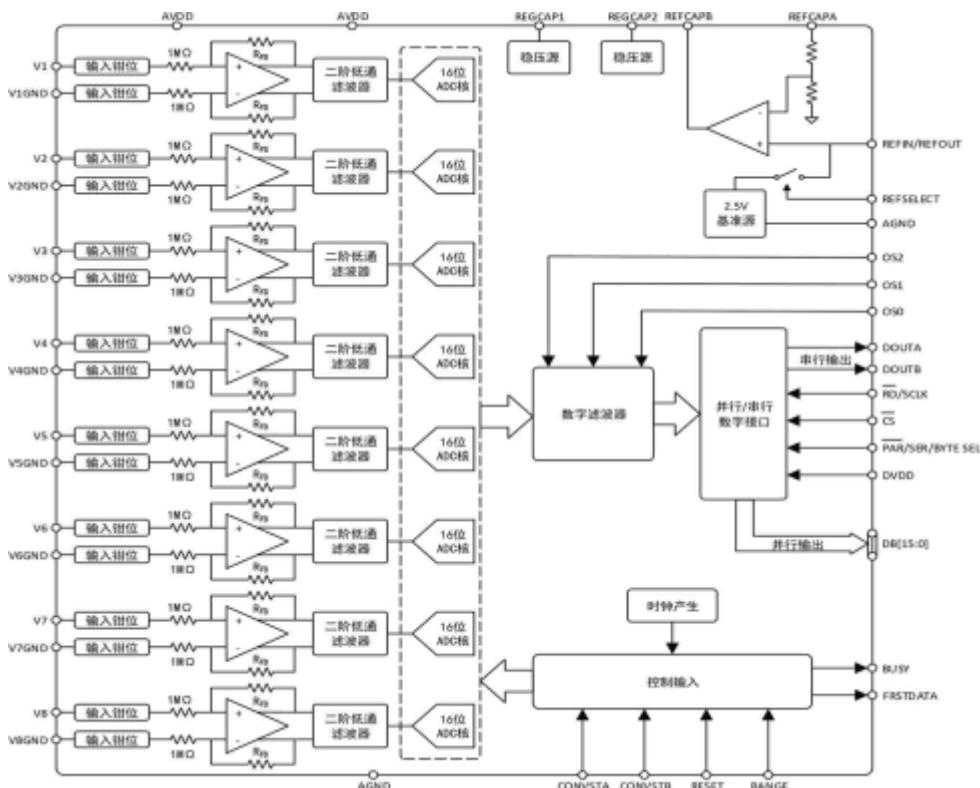


图 1. MF7606-P 功能框图

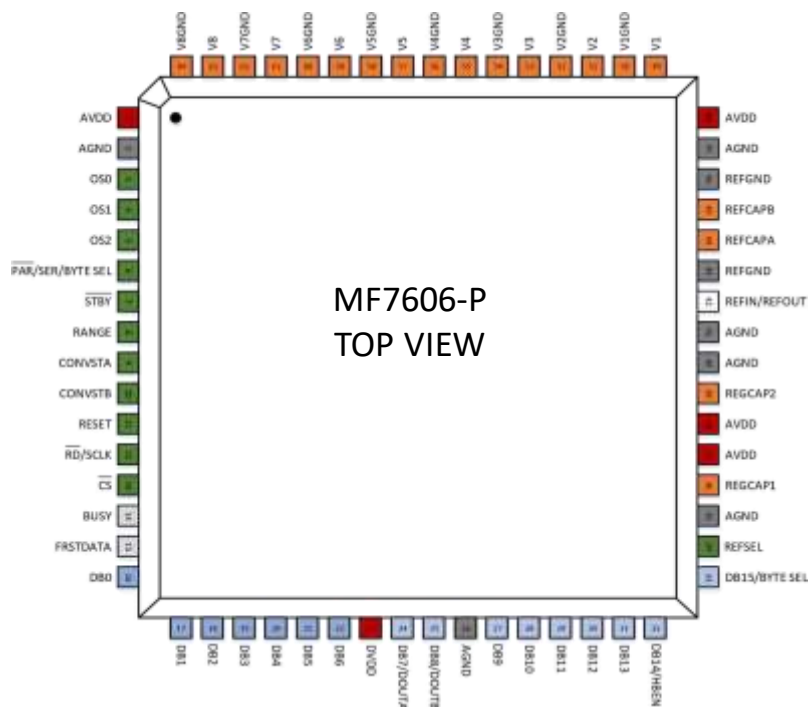


图2. MF7606-P 引脚配置图

表1: 引脚功能

引脚编号	类型 ¹	引脚名称	功能描述
1, 37, 38, 48	P	AVDD	模拟电源电压，4.75V 至 5.25V。这是内部前端放大器和 ADC 内核的电源电压。应将这些电源引脚去耦合连接至 AGND。
2, 26, 35, 40, 41, 47	P	AGND	模拟参考地。这些引脚是 MF7606-P 所有模拟电路的参考地，都应当连接到系统的 AGND 平面。
5, 4, 3	DI	OS[2:0]	过采样模式引脚。逻辑输入。这些输入引脚用来选择过采样的倍数。
6	DI	PAR/SER/BYTE SEL	并行/串行/字节接口选择输入。该引脚为逻辑低电平，则选择并行接口；该引脚为逻辑高电平，则选择串行接口；该引脚为逻辑高电平，而且 DB15/BYTE SEL 也为逻辑高电平，则选择并行字节接口模式。
7	DI	STBY	待机模式输入。该引脚为逻辑低电平时，MF7606-P 进入两种省电模式之一：待机模式或者关断模式。具体进入何种模式取决于 RANGE 引脚的逻辑状态。
8	DI	RANGE	模拟输入范围选择。该引脚的逻辑状态决定了模拟输入通道的输入范围。该引脚为逻辑高电平，则所有通道的模拟输入范围是 $\pm 10V$ ；该引脚为逻辑低电平，则所有通道的模拟输入范围是 $\pm 5V$ ；该引脚的逻辑状态会立刻影响模拟输入范围，建议不要在转换过程中改变该引脚的状态。
9, 10	DI	CONVSTA, CONVSTB	转换开始输入 A 和转换开始输入 B。该引脚用来启动模拟输入通道的数据转换。将 CONVSTA 和 CONVSTB 引脚短接在一起，施加满足 t_2 时序的低电平脉宽，即可同步启动 8 个通道的数据采样
11	DI	RESET	复位。当该引脚为逻辑高电平时，上升沿复位 MF7606-P。MF7606-P 应该在上电后收到一个 RESET 脉冲，脉冲宽度典型值 50nS。如果在转换期间施加 RESET 脉冲，转换将立刻中断。如果在读取数据期间施加 RESET 脉冲，输出寄存器的内容将复位至 0。
12	DI	RD/SCLK	并行数据读取控制/串行通信的时钟输入。在并行通信模式下，CS 和 RD 均为逻辑低电平会启动总线输出。串行通信模式下，该引脚用作数据输出的串行时钟输入。

引脚编号	类型 ¹	引脚名称	功能描述
13	DI	CS	片选。该引脚的低电平使能数据帧的传输。在并行通信模式下，CS 和 RD 均为逻辑低电平会启动总线输出。在串行通信模式下，该引脚的下降沿使数据输出线路 DOUTA 和 DOUTB 脱离三态，并逐个输出转换结果的 MSB。
14	D O	BUSY	输出繁忙。CONVST A 和 CONVST B 均达到上升沿之后，该引脚变为逻辑高电平，表示转换过程已经开始。该引脚输出保持高电平，直到所有的通道的转换完成为止。该引脚的下降沿表示转换数据正被锁存至输出数据寄存器。
15	D O	FRSTDATA	该引脚指示何时在并行、字节或者串行接口上读取第一通道 V1 的转换数据。
16~22	D O	DB[6:0]	并行输出数据位 DB6 至 DB0。
23	P	DVDD	逻辑电源输入。该引脚的电源电压决定了逻辑接口的工作电压。该引脚的标称电源和主机接口的电源应该相同。
24	D O	DB7/DOUTA	并行输出数据位 DB7/串行接口数据输出引脚 DOUTA。
25	D O	DB8/DOUTB	并行输出数据位 DB8/串行接口数据输出引脚 DOUTB。
27~31	D O	DB[13:9]	并行输出数据为 DB13 至 DB9。
32	D O	DB14/HBEN	并行输出数据为 14/高字节使能。当 PAR/SER/BYTE SEL = 0 时，该引脚充当三态并行数字输出引脚。当 CS=0 而且 RD=0 时，该引脚用来输出转换结果的 DB14。当 PAR/SER/BYTESEL = 1 时，MF7606-P 工作在并行字节接口模式，该引脚用来选择是首先输出转换结果的高字节还是低字节。
33	D O/DI	DB15/BYTE SEL	并行输出数据为 15/并行字节模式选择。当 PAR/SER/BYTE SEL = 0 时，该引脚充当三态并行数字输出引脚。当 CS=0 而且 RD=0 时，该引脚用来输出转换结果的 DB15。当 PAR/SER/BYTE SEL = 1 时，该引脚用来选择串行接口模式或者并行字节接口模式。
34	DI	REF_SELECT	内部/外部基准电压选择输入。该引脚为逻辑高电平，则选择并使能内部基准电压模式；该引脚为逻辑低电平，则内部基准电压禁用，必须将外部的基准电压施加到REFIN/REFOUT 引脚。
36, 39	P	REGCAP1, REGCAP2	内部 1.5V 和 4.2V 稳压器输出电压去耦电容引脚。这两个引脚应分别通过 1uF 的陶瓷电容去耦至 AGND。
42	REF	REFIN/REFOUT	基准电压输入/基准电压输出。如果 REF SELECT 引脚为逻辑高电平，该引脚将提供 2.5V 片内基准电压供外部实用。如果 REF SELECT 引脚为逻辑低电平，该引脚可以连接外部的 2.5V 基准电压。该引脚需要连接 10uF 陶瓷电容去耦至 REFGND 引脚。
43, 46	REF	REFGND	基准电压接地引脚。这些引脚应当连接到 AGND。
44, 45	REF	REFCAPA, REFCAPB	基准电压缓冲输出强制/检测引脚。这些引脚必须连接在一起，并通过低 ESR 的 10uF 的此片电容去耦合至 AGND。这些引脚上的电压通常为 4.5V。
49	AI	V1	1 通道模拟输入。该引脚为单端模拟输入，输入范围由 RANGE 引脚决定。
50	AI GND	V1 GND	1 通道模拟输入参考地。该引脚应连接到系统的 AGND 平面。
51	AI	V2	2 通道模拟输入。该引脚为单端模拟输入，输入范围由 RANGE 引脚决定。
52	AI GND	V2 GND	2 通道模拟输入参考地。该引脚应连接到系统的 AGND 平面。
53	AI	V3	3 通道模拟输入。该引脚为单端模拟输入，输入范围由 RANGE 引脚决定。
54	AI GND	V3 GND	3 通道模拟输入参考地。该引脚应连接到系统的 AGND 平面。
55	AI	V4	4 通道模拟输入。该引脚为单端模拟输入，输入范围由 RANGE 引脚决定。
56	AI GND	V4 GND	4 通道模拟输入参考地。该引脚应连接到系统的 AGND 平面。
57	AI	V5	5 通道模拟输入。该引脚为单端模拟输入，输入范围由 RANGE 引脚决定。
58	AI GND	V5 GND	5 通道模拟输入参考地。该引脚应连接到系统的 AGND 平面。
59	AI	V6	6 通道模拟输入。该引脚为单端模拟输入，输入范围由 RANGE 引脚决定。
60	AI GND	V6 GND	6 通道模拟输入参考地。该引脚应连接到系统的 AGND 平面。
61	AI	V7	7 通道模拟输入。该引脚为单端模拟输入，输入范围由 RANGE 引脚决定。
62	AI GND	V7 GND	7 通道模拟输入参考地。该引脚应连接到系统的 AGND 平面。
63	AI	V8	8 通道模拟输入。该引脚为单端模拟输入，输入范围由 RANGE 引脚决定。
64	AI GND	V8 GND	8 通道模拟输入参考地。该引脚应连接到系统的 AGND 平面。

技术规格

最大额定值

表2

参数	额定值
AVDD 至 AGND	-0.3 V 至 +7.0 V
DVDD 至 AGND	-0.3 V 至 AVDD+0.3 V
模拟输入电压至 AGND	±16.5V
数字输入电压至 AGND	-0.3 V 至 DVDD+0.3 V
数字输出电压至 AGND	-0.3 V 至 DVDD+0.3 V
REFIN 至 ANGND	-0.3 V 至 AVDD+0.3 V
输入电流至除电源外的其它引脚	±10 mA
工作温度范围	-40° C 至 +85° C
存储温度范围	-55° C 至 +150° C
结温	150° C
模拟输入引脚 ESD	±7kV
除模拟输入以外其它引脚 ESD	±2kV

ESD 警告



ESD（静电放电）敏感器件

电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有保护电路，但在遇到高能量ESD事件时，器件可能会损坏。因此，应当采用适当的ESD防范措施，以避免器件性能的下降或者功能丧失。

热阻

热阻参数和 PCB 板的设计以及工作环境强相关。

θ_{JA} is the natural convection junction to ambient thermal resistance measured in a one cubic foot sealed enclosure. θ_{JC} is the junction to case thermal resistance.

表3. 热阻

封装形式	θ_{JA}	$\theta_{JC(TOP)}$	Unit
64-Lead LQFP	45	11	° C/W

电气指标

AVDD = 4.75~5.25 V, DVDD = 2.3~5.25 V, fSAMPLE = 200kSPS, Ta = -40° C 至+85° C。

表4

参数	测试条件	最小值	典型值	最大值	单位
电源					
AVDD		4.75	5	5.25	V
DVDD		2.3	3.3	5.25	V
供电电流					mA
正常模式	无采样		17		mA
	200kSPS 采样		19		mA
待机模式			7		mA
关断模式			3		uA
动态性能					
信噪比 (SINAD)	无过采样; ±10V 输入范围;		88.2		dB
	无过采样; ±5V 输入范围;		87.5		dB
	64 倍过采样; ±10V 输入范围; f _{IN} = 130Hz		93		dB
	64 倍过采样; ±5V 输入范围; f _{IN} = 130Hz		92		dB
峰值谐波 (SFDR)	无过采样; ±10V 输入范围;		108		dB
	无过采样; ±5V 输入范围;		105		dB
通道间隔离度	未选中通道的 0Hz < f _{IN} < 80kHz		-108		dB
直流精度					
分辨率			16		Bits
微分非线性			±1		LSB
积分非线性			±2		LSB
增益误差			±2.5	±8	LSB
失调误差			±0.2	±1	LSB
模拟输入					
输入电压范围	RANGE = 1			±10	V
	RANGE = 0			±5	V
模拟输入电流	10V		6.01		uA
	5V		2.24		uA
输入阻抗			1		MΩ

表4

参数	测试条件	最小值	典型值	最大值	单位
模拟输入滤波器					
3dB 带宽	±10V 输入范围		22.9		kHz
	±5V 输入范围		15		kHz
整体延时	±10V 输入范围		12		μs
	±5V 输入范围		17.5		μs
基准输入/输出					
基准输入电压范围		2.475	2.5	2.525	V
直流漏电流			2		μA
基准输出电压		2.4975	2.5	2.5025	V
基准源温度系数			±6.5		ppm/°C
转换速率					
转换时间			2.3		μs
采样保持器采集时间			1		μs
吞吐速率				300	kSPS
逻辑输入					
输入高电压		0.9x DVDD			V
输入低电压				0.1x DVDD	V
输入电流				±1	μA
输入电容				10	pF
输出逻辑					
输出高电压	$I_{SOURCE} = 6 \text{ mA}$	DVDD-0.8			V
输出低电压	$I_{SINK} = 3 \text{ mA}$			0.5	V

时序规格

AVDD = 4.75~5.25 V, DVDD = 3.3 V, VREF = 2.5V 外部 / 内部基准电压, Ta = -40°C至+85°C。

表5

参数	在 TMIN, TMAX 的限值			单位	描述
	最小值	典型值	最大值		
并行/串行/字节模式					
t _{CYCLE}					1/吞吐速率
			5	uS	并行模式, 转换器件或之后读取; 或者串行模式: DVDD=4.75V 至 5.25V, 用 DOUTA 和 DOUTB 在转换期间读取
			8	uS	串行模式, 转换后读取; DVDD=2.3V, DOUTA 和 DOUTB 线路
t _{CONV}					转换时间
	2	2.3	4	uS	过采样关闭
	5		7.4	uS	2 倍过采样
	10		14.1	uS	4 倍过采样
	20		27.6	uS	8 倍过采样
	40		54.2	uS	16 倍过采样
	80		108	uS	32 倍过采样
	160		215	uS	64 倍过采样
t _{WAKE-UP STANDBY}			100	uS	STBY 上升沿到 CONVST x 上升沿; 从待机模式上电的时间。
t _{WAKE-UP SHUTDOWN}					STBY 上升沿到 CONVST x 上升沿; 从关断模式上电的时间。
内部基准电压			40	mS	
外部基准电压			25	mS	
t _{RESET}	60			nS	RESET 高电平脉冲宽度
t ₁			180	nS	CONVST x 高电平到 BUSY 高电平
t ₂	40			nS	最短 CONVST x 低电平脉冲
t ₃	40			nS	最短 CONVST x 高电平脉冲
t ₄	0			nS	BUSY 下降沿到 CS 下降沿延时时间
t ₅			0.5	mS	CONVST A/CONVST B 上升沿之间最大容许延迟时间
t ₆	0			nS	最后 CS 上升沿有 BUSY 下降沿之间的最长时间
t ₇	140			nS	RESET 低电平到 CONVST x 高电平之间的最短延迟时间

表5

参数	在 T _{MIN} , T _{MAX} 的限值			单位	描述
	最小值	典型值	最大值		
并行/字节读取操作					
t ₈	5			nS	CS 到 RD 设置时间
t ₉	0			nS	CS 到 RD 保持时间
t ₁₀	32			nS	RD 低电平脉冲宽度
t ₁₁	15			nS	RD 高电平脉冲宽度
t ₁₂	40			nS	CS 高电平脉冲宽度; CS 与 RD 相连
t ₁₃			32	nS	CS 直到 DB[15:0]三态禁用的延迟时间
t ₁₄			34	nS	RD 下降沿后的数据访问时间
t ₁₅	10			nS	RD 下降沿后的数据保持时间
t ₁₆	10			nS	CS 到 DB[15:0]保持时间
t ₁₇			22	nS	从 CS 上升沿到 DB[15:0]三态使能的延迟时间
串行读取操作					
f _{SCLK}			25	MHz	串行读取时钟频率
t ₁₈			31	nS	从 CS 直到 DOUTA/DOUTB 三态禁用的延迟时间
t ₁₉			31	nS	SCLK 上升沿后的数据访问时间
t ₂₀	0.4x _t SCLK			nS	SCLK 低电平脉冲宽度
t ₂₁	0.4x _t SCLK			nS	SCLK 高电平脉冲宽度
t ₂₂	7			nS	SCLK 上升沿到 DOUTA/DOUTB 有效的保持时间
t ₂₃			25	nS	CS 上升沿到 DOUTA/DOUTB 三态使能
FRSTDATA 操作					
t ₂₄			20	nS	从 CS 下降沿到 FRSTDATA 三态禁用的延迟时间
t ₂₅			20	nS	从 CS 下降沿到 FRSTDATA 高电平的延迟时间, 串行模式
t ₂₆			20	nS	从 RD 下降沿到 FRSTDATA 高电平的延迟时间
t ₂₇			19	nS	从 RD 下降沿到 FRSTDATA 低电平的延迟时间
t ₂₈			20	nS	从第 16 个 SCLK 下降沿到 FRSTDATA 低电平的延迟时间
t ₂₉			24	nS	从 CS 上升沿到 FRSTDATA 三态使能的延迟时间

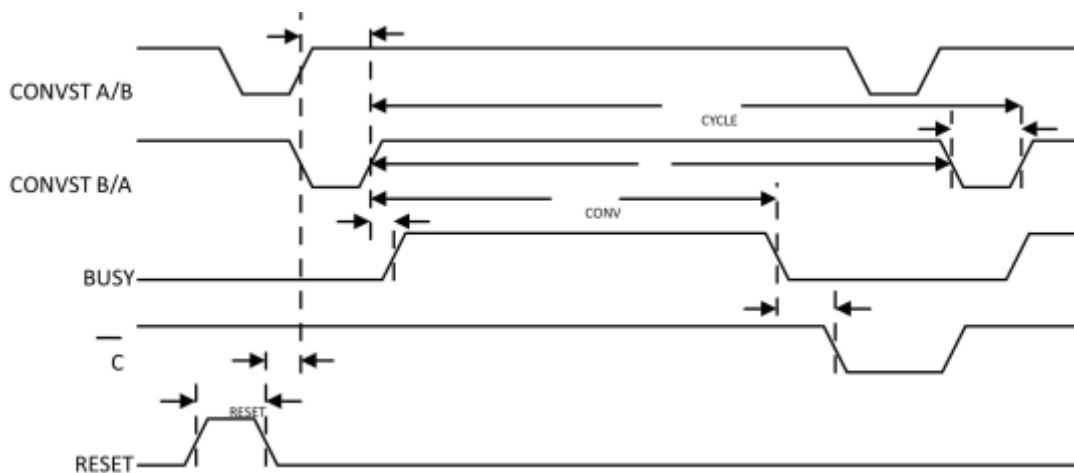


图3 转换时序（转换后读取数据）

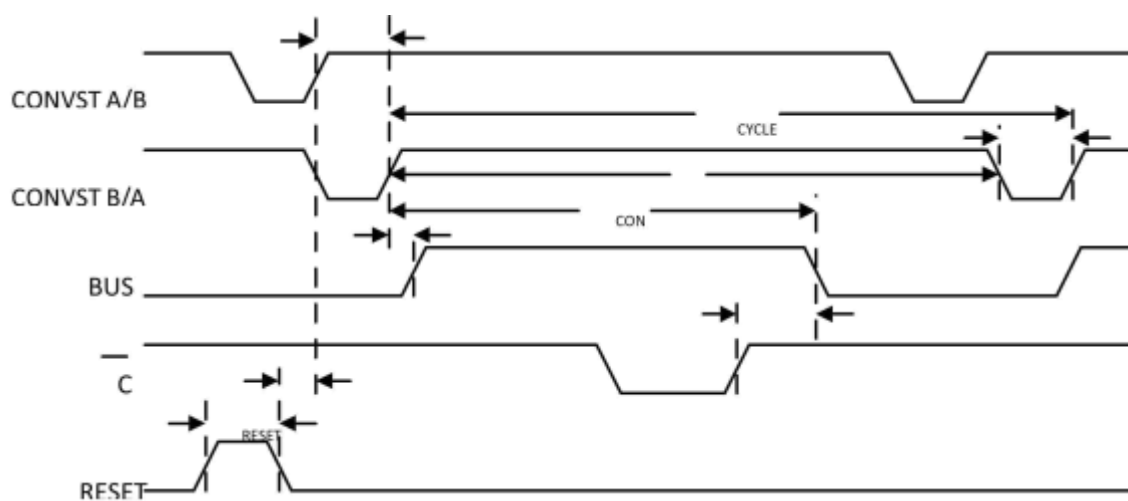


图4 转换时序（转换间读取数据）

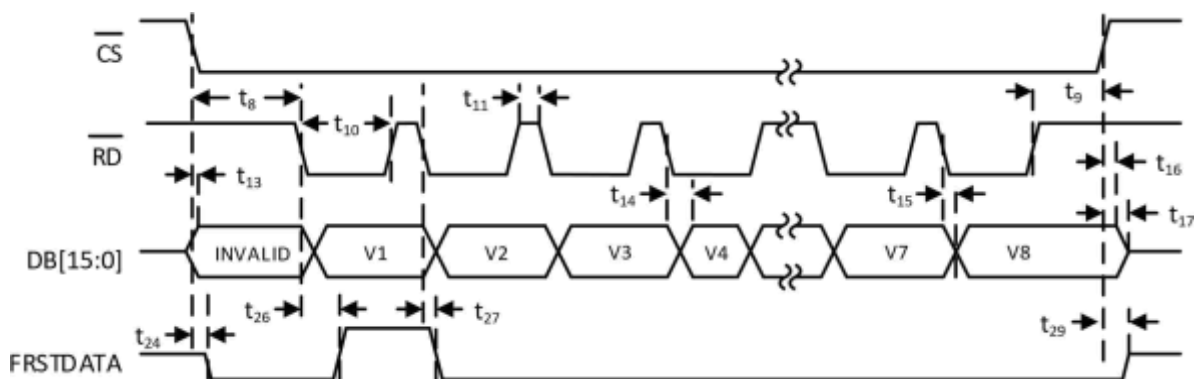


图5 并行接口模式（独立的CS和RS脉冲）

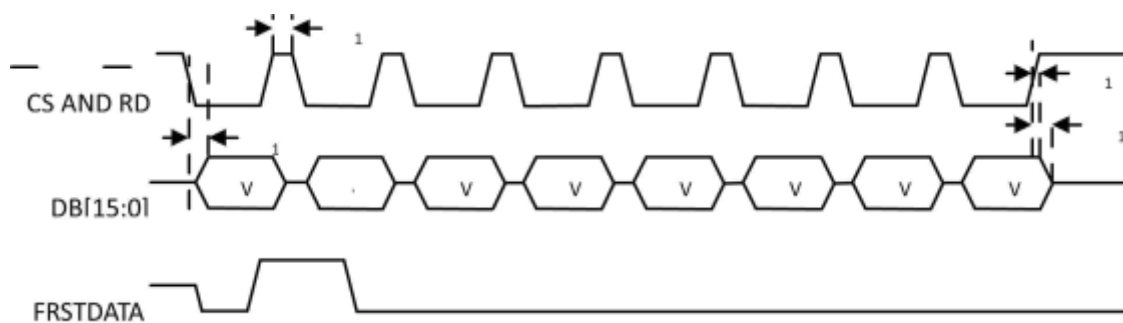


图6 并行接口模式（CS和RD相连）

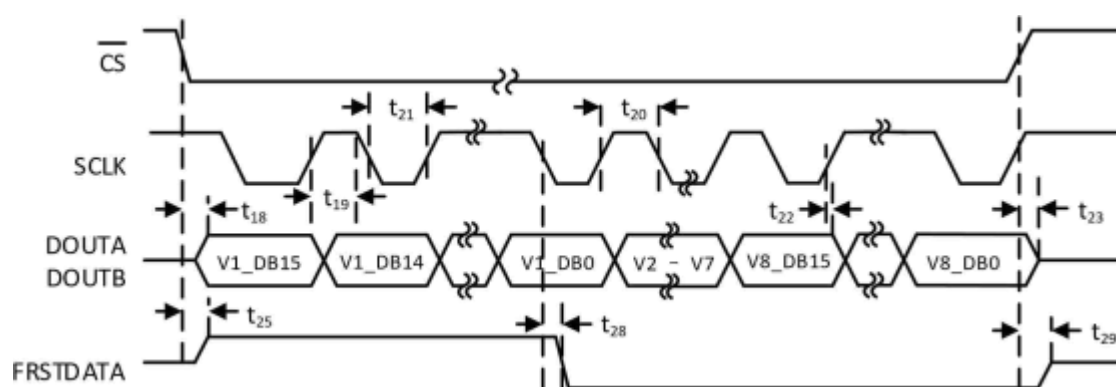


图7 串行接口模式

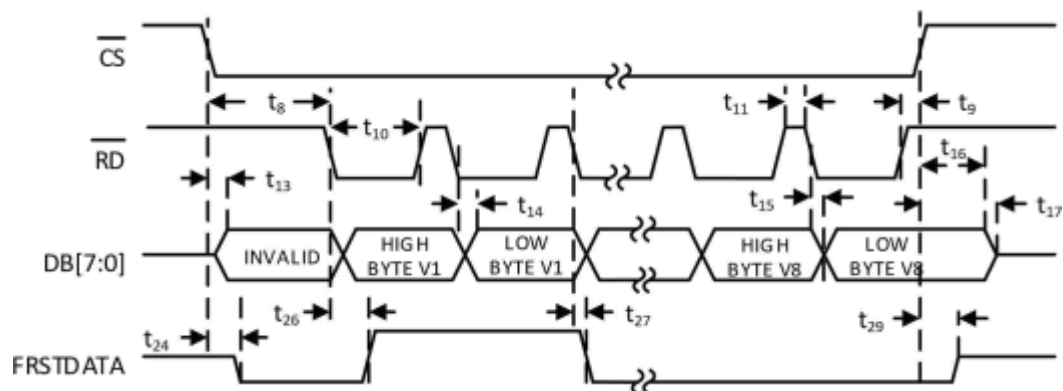
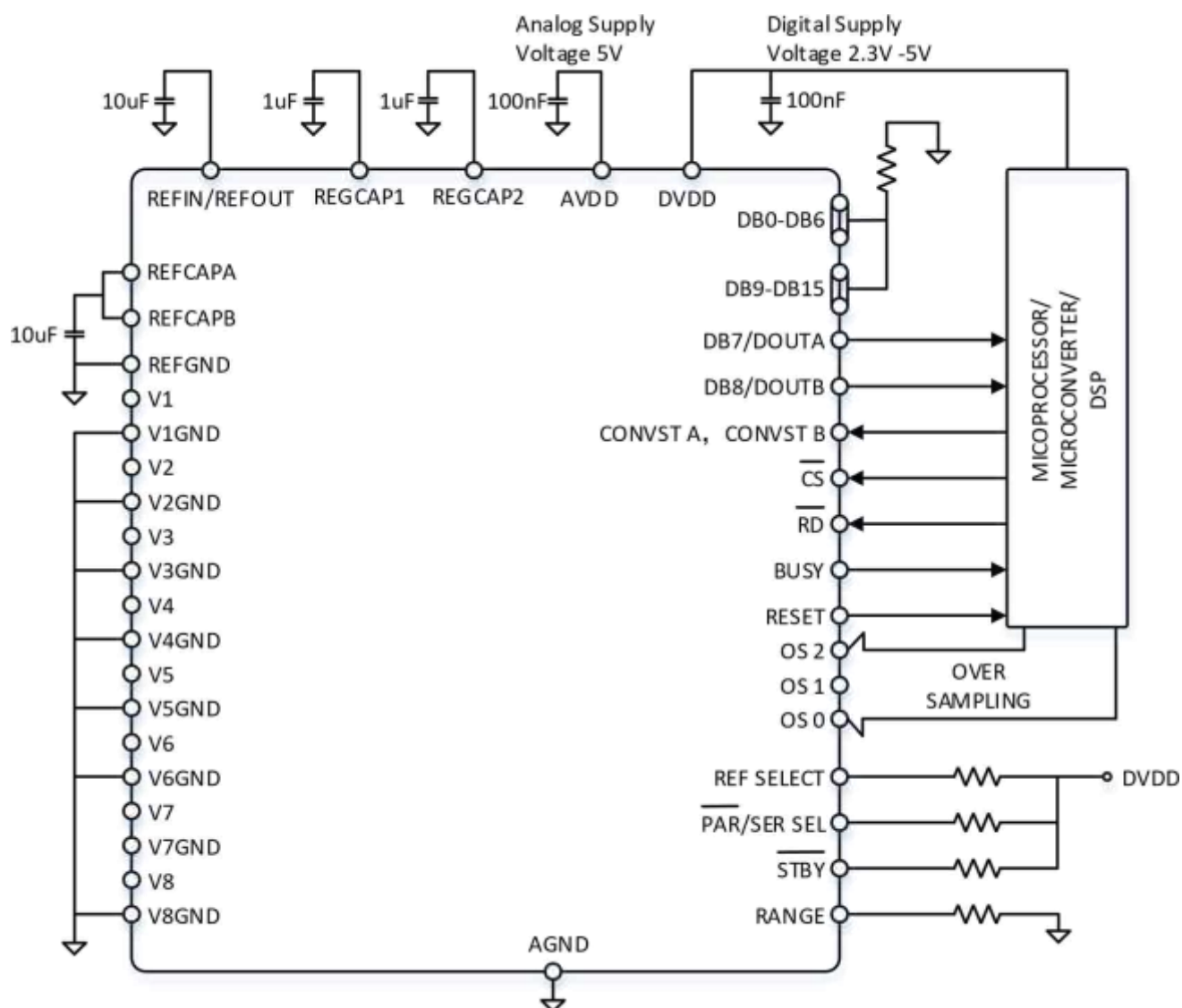


图8 并行字节接口模式



Note: 1) 4个AVDD管脚需要各自独立的去耦电容
2) REGCAP1和REGCAP2需要各自独立的去耦电容

图 9. MF7606-P 典型应用图（串行接口）

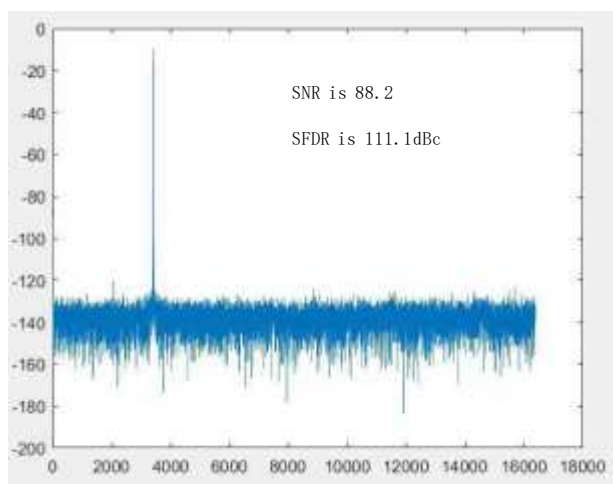


图10 MF7606-P FFT, ±10V范围, 并行接口模式, 200kSPS

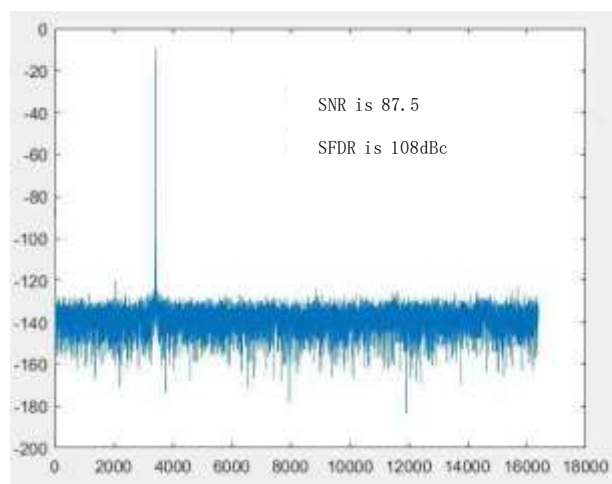


图11. MF7606-P FFT, ±5V范围, 并行接口模式, 200kSPS

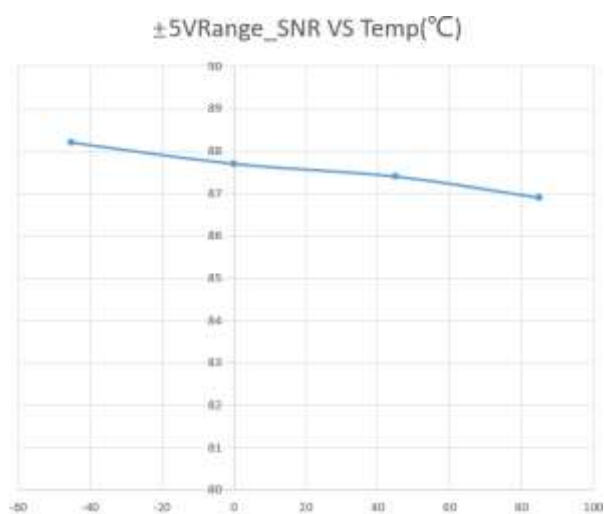


图12. MF7606-P ±5VRange_SNR随温度的变化

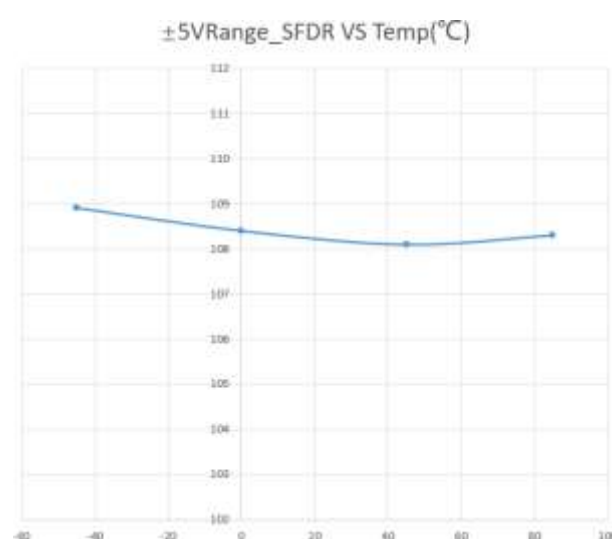


图13. MF7606-P ±5VRange_SFDR随温度的变化

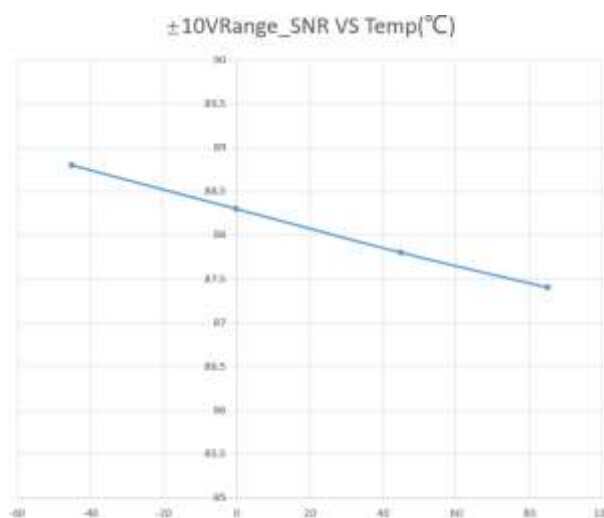


图14. MF7606-P ±10VRange_SNR随温度的变化

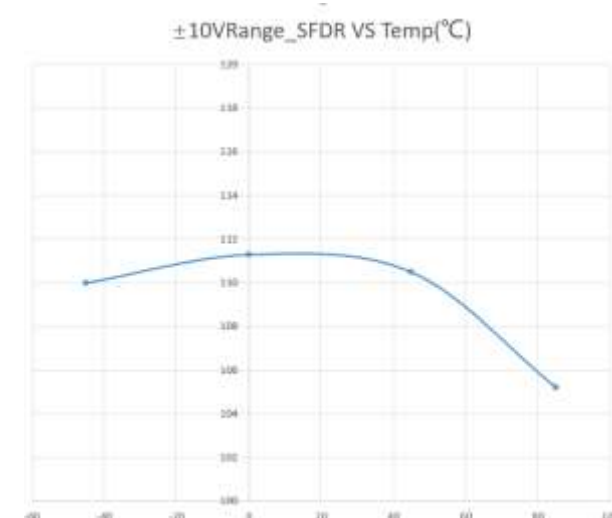


图15. MF7606-P ±10VRange_SFDR随温度的变化

工作原理

• 转换器详解

MF7606-P是采用高速、低功耗、电荷再分配逐次逼近型模数转换器的数据采集系统，可以对8个模数输入通道进行同步采样。MF7606-P采用5V的单电源供电，MF7606-P的模拟输入可以接受真双极性输入信号。用RANGE引脚可以选择模拟输入的电压范围。

MF7606-P内置输入钳位保护电路、输入信号放大电路、二阶抗混叠滤波器、采样保持放大器、片上基准电压源、基准电压缓冲、高速ADC、数字滤波器以及高速并行和串行接口。MF7606-P的采样转换通过CONVST A/B信号进行使能控制。

• 模拟输入

• 模拟输入范围

MF7606-P可以处理真双极性、单端输入电压。RANGE引脚的逻辑电平决定了所有模拟输入通道的输入电压范围。

RANGE=1，则所有通道的模拟输入范围为 $\pm 10V$ ；RANGE=0，则所有通道的模拟输入范围为 $\pm 5V$ 。

RANGE引脚的逻辑状态改变会立刻影响模拟输入范围，建议根据系统信号所需的输入范围，通过硬件连线设置RANGE引脚。

• 模拟输入阻抗

MF7606-P的模拟输入阻抗为 $1M\Omega$ ，该阻抗为固定值，不随MF7606-P的采样频率而变化。高模拟输入阻抗可以省去MF7606-P前端的驱动放大器电路，允许MF7606-P和信号源或者传感器直接相连，同时也省去了驱动放大器的双极性供电电源。

• 模拟输入钳位保护电路

图16展示了MF7606-P的模拟输入结构，每一路模拟输入均有钳位保护电路。虽然采用5V的单电源供电，但是该模拟输入钳位保护电路允许输入过压达到 $\pm 16.5V$ 。

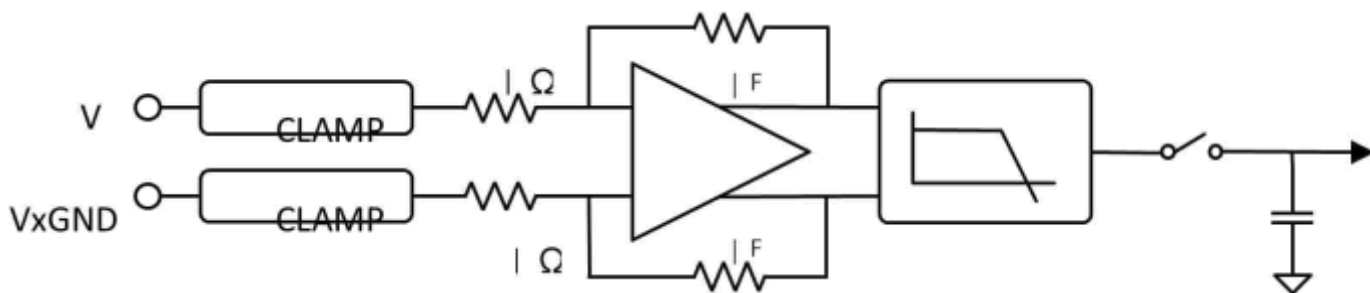


图16 模拟输入电路

图 17 展示了钳位电路的电源和电流的关系。当输入电压不超过 $\pm 16.5\text{V}$ 时，钳位电路中无电流。当输入电压超过 $\pm 16.5\text{V}$ 时，MF7606-P 的钳位电路开启。

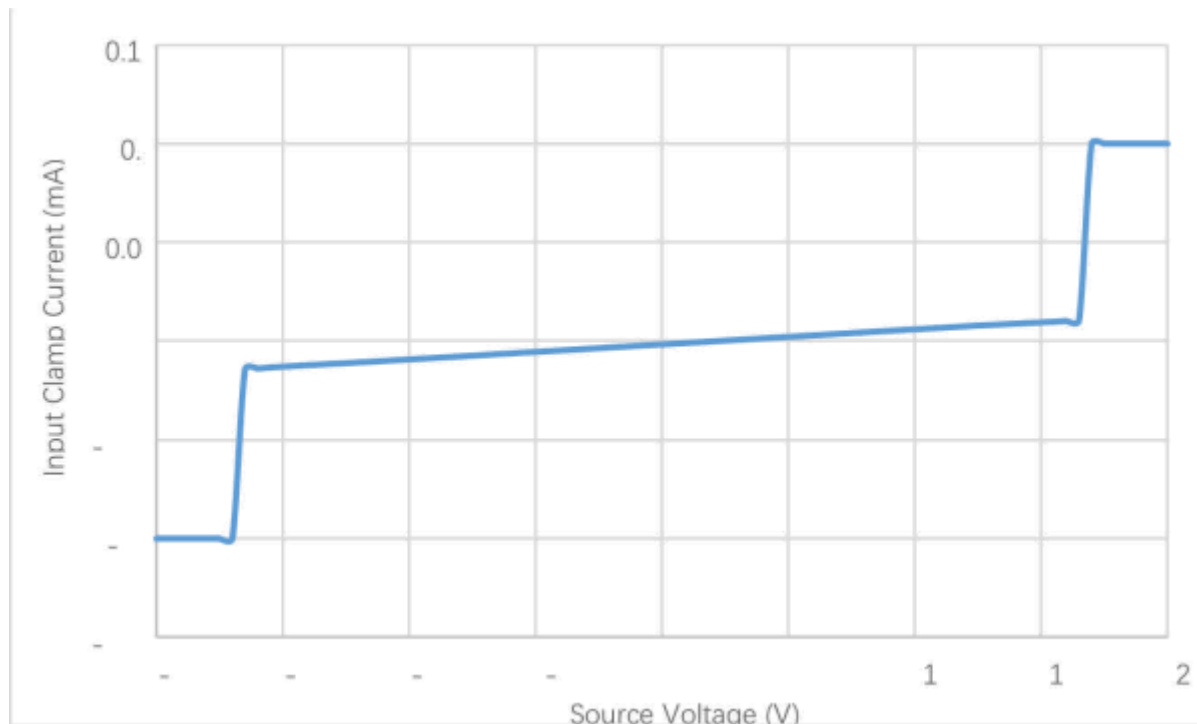


图17 输入钳位保护电路特性

模拟输入通道上应放置一个串联电阻，在输入电压超过 $\pm 16.5\text{V}$ 时将电流限制在 $\pm 10\text{mA}$ 以内。如果模拟输入通道 V_x 上有串联电阻，则该通道的信号参考地 V_{xGND} 上也需要一个对等的电阻，否则该通道将出现输入失调误差。

• 输入模拟抗混叠滤波器

MF7606-P 提供了模拟抗混叠滤波器。在 $\pm 5\text{V}$ 输入电压范围内，3dB 带宽的典型值为 15kHz ；在 $\pm 10\text{V}$ 的范围内，3dB 带宽典型值为 22.9kHz 。

• 采样保持放大器

MF7606-P 的采样保持放大器可以使 ADC 以 16 位的分辨率精确采集满量程幅值的输入正弦波。采样保持放大器在 CONVST_x 上升沿时对其各自输入进行同步采样。一个器件的所有 8 个采样保持放大器以及不同器件的采样保持放大器从使能到进入保持模式的延迟时间严格匹配，因此允许对一个系统中的多片 MF7606-P 进行同步采样控制。

BUSY 的下降沿表示所有的 8 个通道的转换过程均已经结束，此时采样保持器返回跟踪模式，下一批转换的采集时间开始计时。

MF7606-P 的所有通道转换时间位 $2.3\mu\text{s}$ ，8 个通道均转换完成后，BUSY 信号恢复低电平，表示转换过程结束。在 BUSY 下降沿时，采样保持放大器返回跟踪模式。在 BUSY 变为低电平后，可以通过并行、并行字节或串行接口从输出寄存器中读取新数据。或者，当 BUSY 位高电平时，可以读取前一次转换的数据，在转换期间从 MF7606-P 读取数据对性能几乎没有影响，可以实现更快的吞吐速率。

• ADC 传递函数

MF7606-P 的输出编码方式为二进制补码。所设计的码转换在连续的 LSB 整数值的中间（即 $1/2\text{LSB}$ 和 $3/2\text{LSB}$ ）进行。

MF7606-P 的 LSB 的大小为 $\text{FSR}/65536$ 。MF7606-P 的立项传递函数特性如图 18 所示。

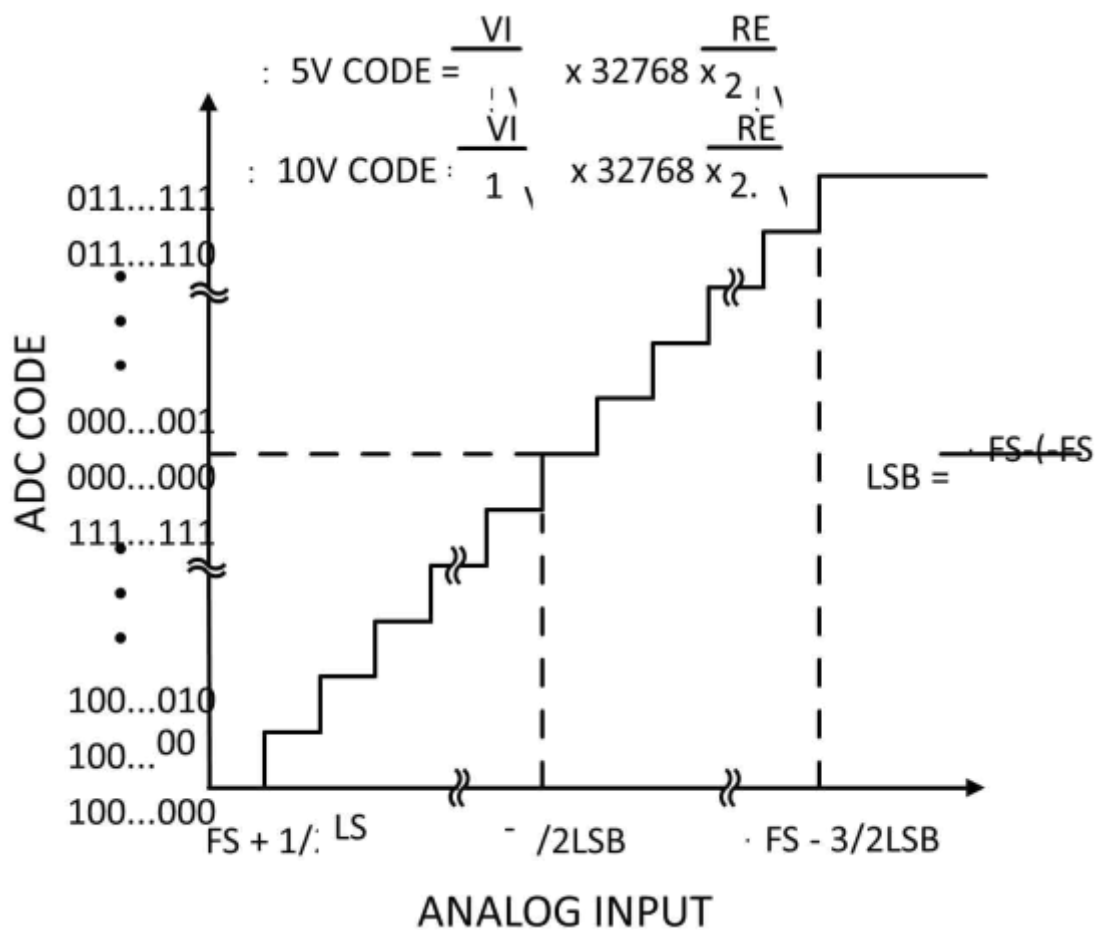


图18 MF7606-P 传递函数

LSB 的大小取决于输入电压范围的选择。

• 内部/外部电压基准

MF7606-P内置了 2.5V 的片上带隙基准电压源和基准电压缓冲电路，缓冲电路可以将 REFIN/REFOUT 引脚的电压同通过闭环控制放大到约 4.5V 输出到 REFCAPA 和 REFCAPB 引脚（参考图 19），此放大后的电压给 ADC 作为数据转换时的参考电压。REFCAPA 和 REFCAPB 引脚必须在外部短路在一起，并通过一个 10uF 陶瓷电容连接至 REFGND，以确保基准电压缓冲电路工作在闭环状态。

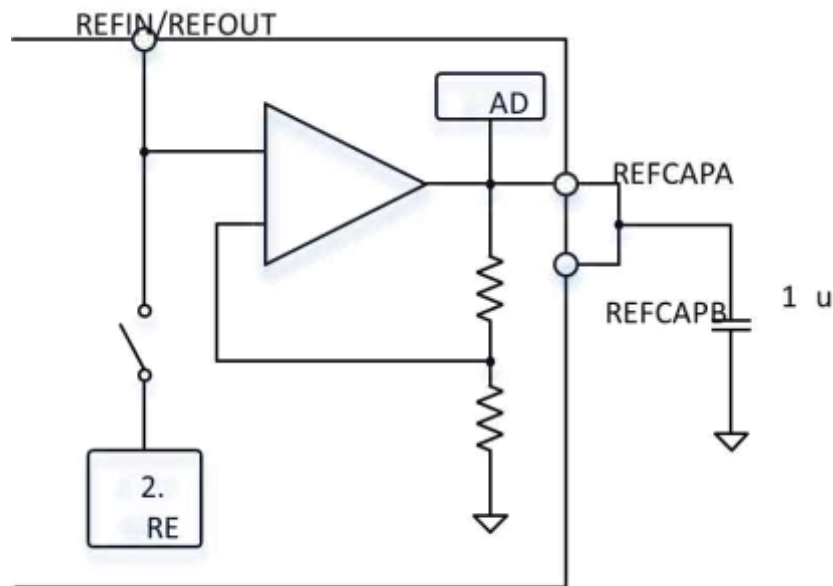


图19 基准电压电路

通过配置 REF SELECT 引脚，缓冲电路的输入电压，即 REFIN/REFOUT 引脚的电压，可以被配置为来自片上的带隙基准电压源或者外部施加的一个 2.5V 的基准电压源。REF SELECT 引脚为高电平，选择片上的基准电压源；REF SELECT 为低电平，则内部的基准电压源被禁用，必须在 REFIN/REFOUT 引脚施加一个外部的基准电压源。无论是用片上基准电压或外部的基准电压，REFIN/REFOUT 引脚都必须用 10uF 的陶瓷电容去耦连接到 AGND。

• 典型电路连接

图 9 显示了 MF7606-P 的电性连接图。MF7606-P 的四个 AVDD 电源引脚，各使用一个 100nF 的陶瓷电容去耦至 AGND，供电电源端再使用一个 1uF 的陶瓷电容。DVDD 电源连接到和处理器相同的电源，并用 100nF 的陶瓷电容去耦至 AGND。

图 9 展示了使用 MF7606-P 片上基准源的内部基准源模式。REFIN/REFOUT 引脚应该使用一个 10uF 陶瓷电容进行去耦，REFCAPA 和 REFCAPB 应当短接在一起并通过 10uF 陶瓷电容去耦至 REFGND。

• 省电模式

MF7606-P 有两种省电模式：待机模式和关断模式。STBY 和 RANGE 引脚的逻辑状态组合决定了具体进入的省电模式。STBY = 0, RANGE = 1, MF7606-P 进入待机模式，待机模式下 MF7606-P 最大的电流为 7 mA。STBY = 0, RANGE = 0, MF7606-P 进入关断模式，所有电路停止工作，供电电流只有 3uA。MF7606-P 从关断模式上电之后，需要施加 RESET 脉冲。

• 转换控制

所有通道同步采样

MF7606-P 可以对所有模拟输入通道进行同步采样。当 CONVST A 和 CONVST B 引脚连接在一起并施加转换开始信号时，所有 8 个通道同步进行采样。所有通道的转换时间为 t_{CONV} 。BUSY 信号的高电平表示转换正在进行，当 BUSY 变为低电平时表示转换结束，BUSY 信号的下降沿使 8 个通道的采样保持放大器返回跟踪状态。BUSY 信号的下降沿还表示可以通过接口读取数据。

• 数字接口

MF7606-P 提供三种数字接口选型：并行接口、串行接口和并行字节接口。接口模式可以通过配置 PAR/SER/BYTE SEL 和 DB15/BYTE SEL 引脚来选择，详情见表 5。

表 6 接口模式选择

PAR/SER/BYTE SEL	DB15	接口模式
0	x	并行接口模式
1	0	串行接口模式
1	1	并行字节接口模式

注：x：并行模式下，DB15 是数据总线，不能进行配置。

• 并行接口模式

选择并行接口模式时，可以通过控制 CS 和 RD 引脚，从 DB[0:15]总线上依次读取 8 个通道的采样数据。

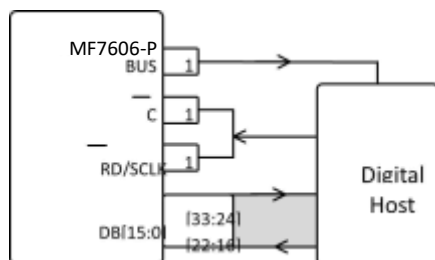


图20 MF7606-P 并联接口框图

CS 是使能数据总线的控制信号，CS 的上升沿使总线引脚进入三态，其下降沿使总线引脚脱离高阻态。控制 CS 引脚可以使多个 MF7606-P 共享同一个并行的数据总线。

RD 用来从输出转换寄存器读取数据。对 RD 施加脉冲序列，可以使各通道的转换结果按照升序逐个输出到并行总线。

BUSY 变为低电平之后的第一个 RD 下降沿输出通道 V1 的转换结果，下一个 RD 下降沿输出 V2 的转换结果，依次类推。

当系统里只有一个 MF7606-P 时，可以将 CS 和 RD 连接在一起，用数字主机同一个信号来控制。

• 并行字节接口模式

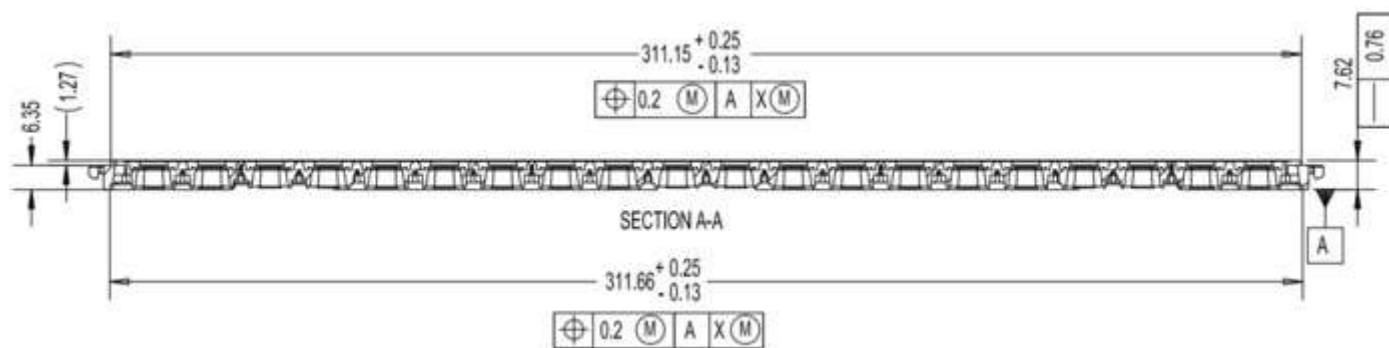
并行字节接口模式和并行接口模式的工作原理类似，区别在于 16 位的转换结果分两次从 DB[0:7]总线引脚输出，因此8 个通道的数据读取需要 16 个 RD 的脉冲。并行字节模式下，DB[0]为数据传输的 LSB，而 DB[7]为数据传输的MSB，DB[14]充当 HBEN 引脚。DB[14]/HBEN 引脚为逻辑高电平时，首先输出转换结果的高字节（MSB），然后输出转换结果的低字节（LSB），DB[14]/HBEN 引脚为逻辑低电平时，正好相反。在并行字节模式下，FRSTDATA 引脚将维持高电平，直到 V1 通道的转换结果全部被读取。

• 串行接口模式

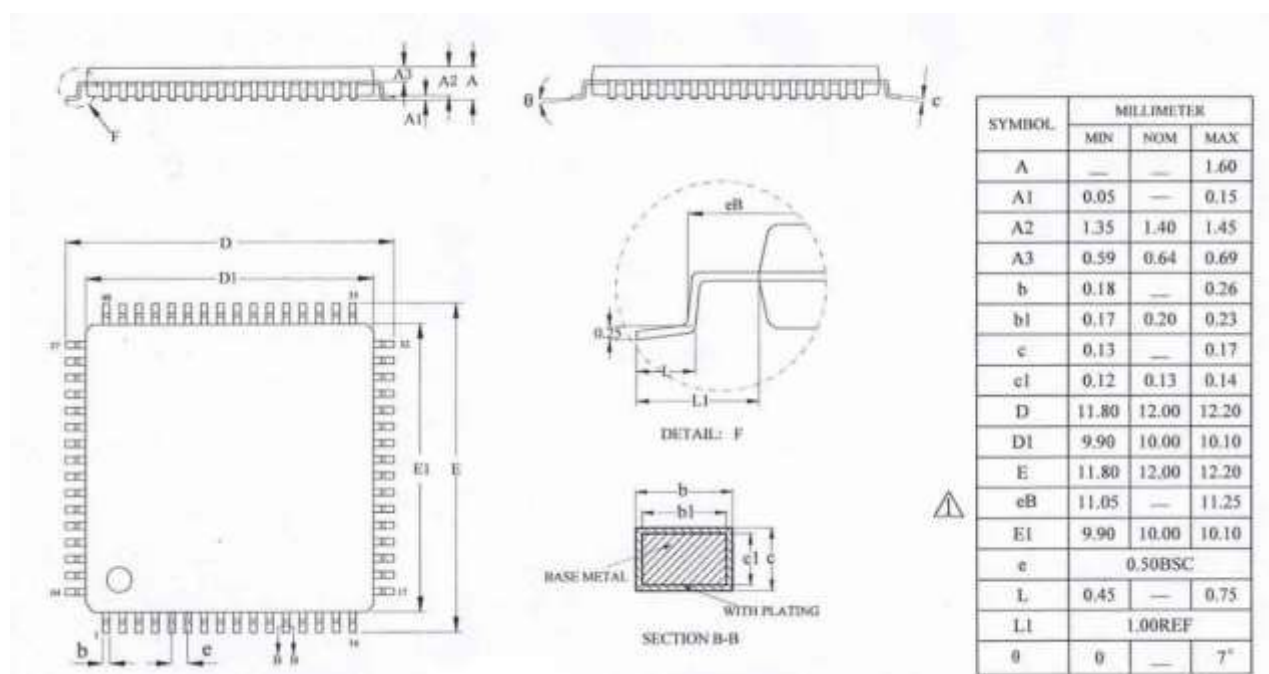
串行接口模式下，CS、SCLK 和 DOUTA/DOUTB 被用来实现数据传输和控制。CS的下降沿使数据输出总线 DOUTA/DOUTB 脱离三态，并逐个输出转换结果的 MSB。SCLK 的上升沿将随后的所有数据为逐个输出至 DOUTA 和 DOUTB。在串行读取操作过程中，CS 引脚必须 全程保持低电平，8 各通道数据全部读取完毕之后才能恢复高电平，因此一次串行读取数据需要 128 个 SCLK 周期。

MF7606-P 有两个串行数据总线 DOUTA 和 DOUTB，用户可以选择通过单总线或双总线从 MF7606-P 读取数据。串行通信开始之后，DOUTA 总线上将以 V1, V2, V3, V4, V5, V6, V7, V8 的顺序输出数据，而 DOUTB 总线将以 V5, V6, V7, V8, V1, V2, V3, V4 的顺序输出数据。

CS 的下降沿到来之后，总线引脚脱离三态，逐个输出 16 位的转换结果的 MSB。MSB 在 CS 下降沿之后的第一个SCLK 下降沿有效，后续的 15 位数据在 SCLK 的上升沿逐个输出，数据在 SCLK 的下降沿有效。



封装



产品订购信息

产品型号	工作温度范围	封装形式	封装尺寸
MF7606-P	-40°C to +85°C	64-Pin LQFP	10mm X 10mm