

CA-IS36xx 高性能, 5000 V_{RMS} 隔离耐压, 集成高效率、低辐射 DC-DC

转换器的数字隔离器

1 产品特性

- 信号传输速率: DC ~ 150 Mbps
- 默认输出: 高电平和低电平可选
- 精确时序 (典型 5 V 电源)
 - 10 ns 传播延迟
 - 1 ns 脉冲宽度失真
 - 2 ns 传播延迟偏差
- 高 CMTI: ±150 kV/μs (典型)
- 根据使能信号三态输出
- 施密特触发器输入
- 宽输入电压范围: 3 V ~ 5.5 V
- 宽工作温度范围: -40 °C ~ 125 °C
- 集成高效率的 DC-DC 转换器和片上变压器
 - 输出电压可选: 3.3 V 或 5.0 V
 - 内置软启电路来防止浪涌电流和输出过冲
 - 过载和短路保护功能
 - 过热关断保护功能
- 优异的电磁兼容性 (EMC)
 - 低辐射
- 优异的隔离性能
 - 高达 5 kV_{RMS} 的隔离电压
 - 隔离栅寿命: >40 年
- 符合 RoHS 标准封装
 - SOIC16-WB

2 应用

- 工业自动化控制系统
- 电机控制
- 医疗设备
- 测试和测量
- 隔离 ADC, DAC

3 概述

CA-IS36xx 是数字隔离器系列中, 增强隔离耐压并集成 DC-DC 转换器的一款芯片。CA-IS36xx 的出现可替代传统

用分立器件组建的隔离电源方案, 并且新方案使得外形尺寸更小, 能够实现完全隔离。

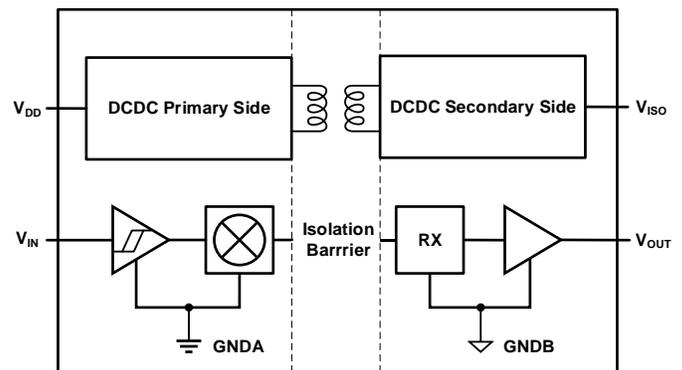
CA-IS3620/CA-IS3621/CA-IS3622 是双通道数字隔离器。CA-IS3640/CA-IS3641/CA-IS3642/CA-IS3643/CA-IS3644 是四通道数字隔离器。

CA-IS3620 芯片有两个同向的通道, CA-IS3621 和 CA-IS3622 芯片具有两个反向的通道, 如图 7-1 所示。CA-IS3640 芯片具有四个前向通道, CA-IS3641 芯片具有三个前向通道和一个反向通道, CA-IS3642 芯片具有两个前向通道和两个反向通道, CA-IS3643 芯片具有一个前向通道和三个反向通道, CA-IS3644 具有四个反向通道, 如图 7-2 所示。所有器件都具有故障安全模式选项, 如果输入信号丢失, 则以 L 为后缀的芯片默认输出为低电平, 以 H 为后缀的芯片默认输出为高电平。

器件信息

零件号	封装	封装尺寸 (标称值)
CA-IS3620	SOIC16-WB(W)	10.30 mm × 7.50 mm
CA-IS3621		
CA-IS3622		
CA-IS3640		
CA-IS3641		
CA-IS3642		
CA-IS3643		
CA-IS3644		

简化通道结构图

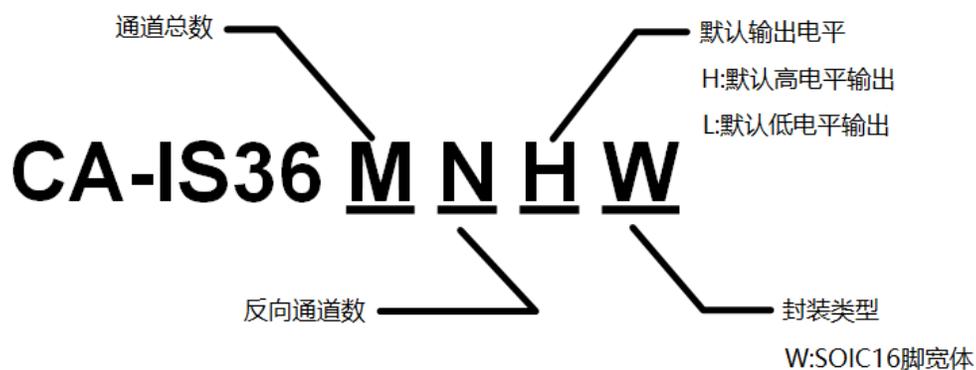


4 订购指南

表 4-1 有效订购零件编号

型号	输入通道数 A 侧	输入通道数 B 侧	故障安全输出 状态	额定耐压 (kV _{RMS})	封装
CA-IS3620L	2	0	低	5.0	SOIC16-WB
CA-IS3620H	2	0	高	5.0	SOIC16-WB
CA-IS3621L	1	1	低	5.0	SOIC16-WB
CA-IS3621H	1	1	高	5.0	SOIC16-WB
CA-IS3622L	0	2	低	5.0	SOIC16-WB
CA-IS3622H	0	2	高	5.0	SOIC16-WB
CA-IS3640L	4	0	低	5.0	SOIC16-WB
CA-IS3640H	4	0	高	5.0	SOIC16-WB
CA-IS3641L	3	1	低	5.0	SOIC16-WB
CA-IS3641H	3	1	高	5.0	SOIC16-WB
CA-IS3642L	2	2	低	5.0	SOIC16-WB
CA-IS3642H	2	2	高	5.0	SOIC16-WB
CA-IS3643L	1	3	低	5.0	SOIC16-WB
CA-IS3643H	1	3	高	5.0	SOIC16-WB
CA-IS3644L	0	4	低	5.0	SOIC16-WB
CA-IS3644H	0	4	高	5.0	SOIC16-WB

5 命名规则



目录

1 产品特性	1	8.9.3 3.3 V 输入, 3.3 V 输出.....	16
2 应用	1	8.10 时序特性.....	18
3 概述	1	8.10.1 5 V 输入, 5 V 输出.....	18
4 订购指南	2	8.10.2 5 V 输入, 3.3 V 输出.....	18
5 命名规则	2	8.10.3 3.3 V 输入, 3.3 V 输出.....	19
6 修订历史	3	9 典型波形图	20
7 引脚功能描述	4	9.1 软启动和输出短路恢复波形.....	20
8 产品规格	6	9.2 输出纹波和动态负载响应.....	21
8.1 绝对最大额定值 ^{1,2}	6	9.3 输出电压和效率随负载和芯片表面温度的变化.....	22
8.2 ESD 额定值.....	6	10 参数测量信息	23
8.3 推荐工作条件.....	6	11 详细说明	24
8.4 热量信息.....	7	11.1 工作原理.....	24
8.5 额定功率.....	7	11.2 功能框图.....	24
8.6 隔离特性.....	8	11.3 芯片工作模式.....	25
8.7 安全相关认证.....	9	12 典型应用	27
8.8 电气特性.....	9	13 封装信息	28
8.8.1 5 V 输入, 5 V 输出.....	9	13.1 16 脚的宽体 SOIC 封装.....	28
8.8.2 5 V 输入, 3.3 V 输出.....	10	14 焊接信息:	29
8.8.3 3.3 V 输入, 3.3 V 输出.....	11	15 编带信息	30
8.9 供电电流特性.....	12	16 重要声明	31
8.9.1 5 V 输入, 5 V 输出.....	12		
8.9.2 5 V 输入, 3.3 V 输出.....	14		

6 修订历史

修订版本号	修订内容	页码
Version 1.00	NA	NA
Version 1.01	更新引脚说明,删除封装信息表	5,30
Version 1.02	新增输入输出电容使用建议以及布线建议。	27

7 引脚功能描述

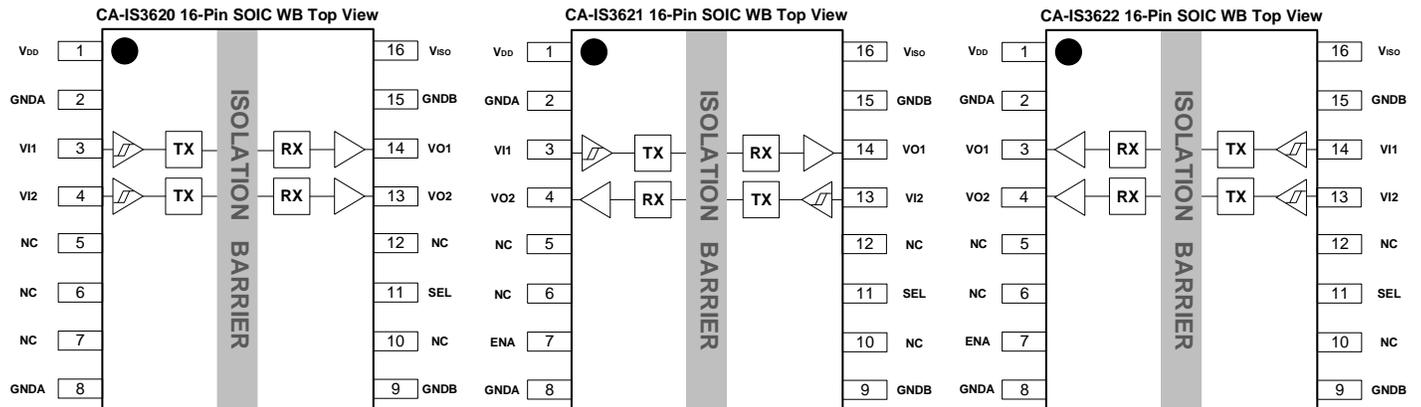


图 7-1 CA-IS362x 顶部视图

表 7-1 CA-IS362x 引脚功能描述

引脚名称	SOIC16 引脚编号	类型	描述
V _{DD}	1	电源	A 侧电源电压
GNDA	2	地	A 侧接地基准点
VI1/VO1	3	逻辑输入/输出	CA-IS3620/21 A 侧逻辑输入或 CA-IS3622 A 侧逻辑输出
VI2/VO2	4	逻辑输入/输出	CA-IS3620 A 侧逻辑输入或 CA-IS3621/22 A 侧逻辑输出
NC ¹	5	没有连接	没有连接
NC	6	没有连接	没有连接
NC/ENA ²	7	没有连接/ 逻辑输入	CA-IS3620 此引脚没有连接或 CA-IS3621/22 A 侧输出使能信号
GNDA	8	地	A 侧接地基准点
GNDB	9	地	B 侧接地基准点
NC	10	没有连接	没有连接
SEL ³	11	逻辑输入	V _{ISO} 输出电压选择脚
NC	12	没有连接	没有连接
VI2 / VO2	13	逻辑输入/输出	CA-IS3620 B 侧逻辑输出或 CA-IS3621/22 B 侧逻辑输入
VI1 / VO1	14	逻辑输入/输出	CA-IS3620/21 B 侧逻辑输出或 CA-IS3622 B 侧逻辑输入
GNDB	15	地	B 侧接地基准点
V _{ISO}	16	输出电压	由 SEL 管脚决定的隔离输出电压

- NC 引脚没有内部连接，它们可以浮空、连接到 V_{DD} 或连接到 GND。
- 使能输入 ENA 可用于多路复用，时钟同步，或其他输出控制。表 10-3 总结了每个隔离器产品的 ENA 真值表。这个输入在内部被拉到电源 V_{DD}，所以允许它们连接到外部逻辑电平(高或低)或浮空。为了最小化噪声耦合，如果 ENA 是浮空的，不要连接到电路走线。如果 ENA 未使用，建议将其连接到外部逻辑电平，特别是对于在嘈杂环境中工作的 CA-IS362x。
- 输出隔离电压选择管脚。当 SEL 管脚连接到 V_{ISO} 脚，V_{ISO}=5 V；当 SEL 脚连接到 GNDB 或者浮空，V_{ISO}=3.3 V。表 11-1 总结了 SEL 脚的真值表。

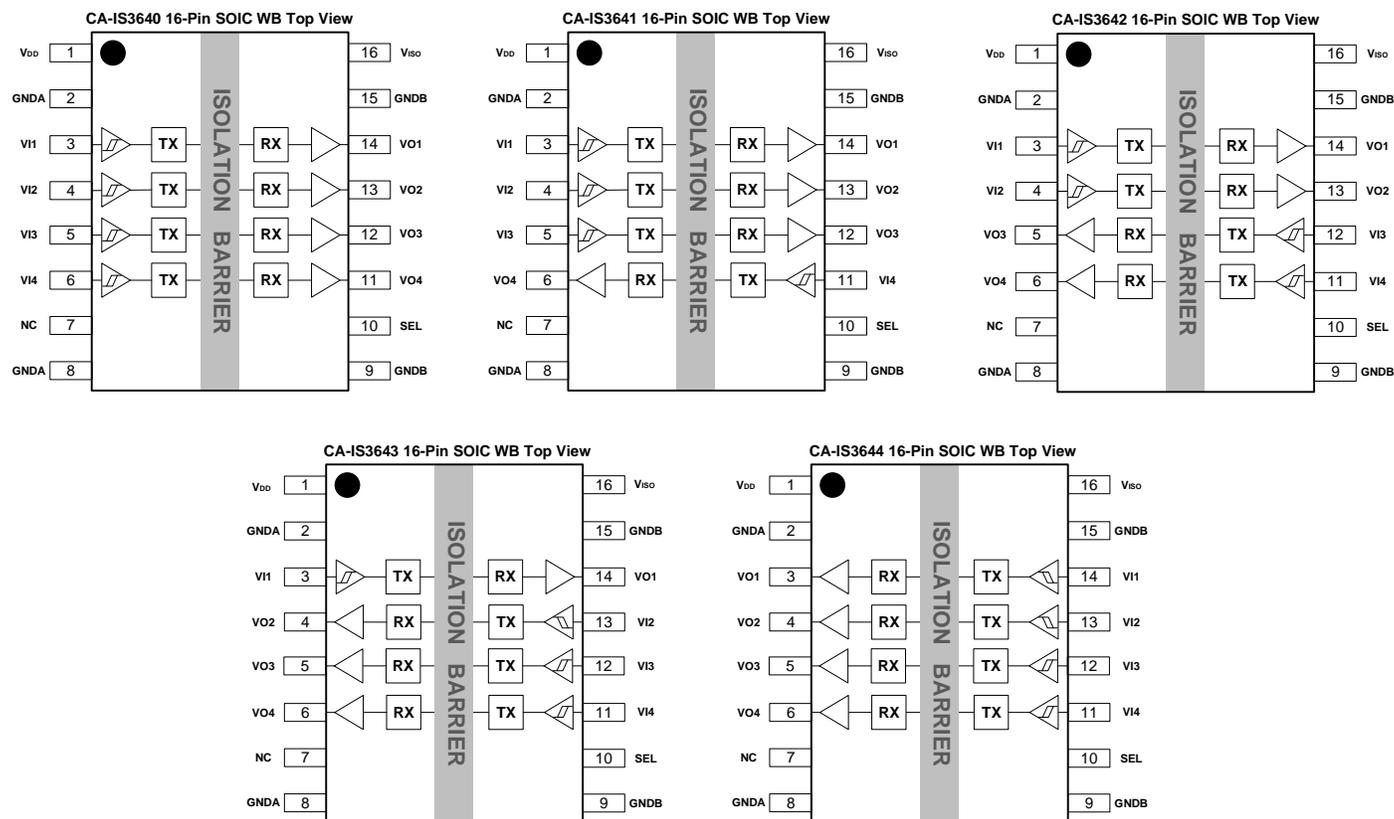


图 7-2 CA-IS364x 顶部视图

表 7-2 CA-IS364x 引脚功能描述

引脚名称	SOIC16 引脚编号	类型	描述
V _{DD}	1	电源	A 侧电源电压
G _{ND} A	2	地	A 侧接地基准点
V _I 1 / V _O 1	3	逻辑输入/输出	CA-IS3640/41/42/43 A 侧逻辑输入或 CA-IS3644 A 侧逻辑输出
V _I 2 / V _O 2	4	逻辑输入/输出	CA-IS3640/41/42 A 侧逻辑输入或 CA-IS3643/44 A 侧逻辑输出
V _I 3 / V _O 3	5	逻辑输入/输出	CA-IS3640/41 A 侧逻辑输入或 CA-IS3642/43/44 A 侧逻辑输出
V _I 4 / V _O 4	6	逻辑输入/输出	CA-IS3640 A 侧逻辑输入或 CA-IS3641/42/43/44 A 侧逻辑输出
NC ¹	7	没有连接	没有连接
G _{ND} A	8	地	A 侧接地基准点
G _{ND} B	9	地	B 侧接地基准点
SEL ²	10	逻辑输入	V _{ISO} 输出电压选择脚
V _I 4 / V _O 4	11	逻辑输入/输出	CA-IS3641/42/43/44 B 侧逻辑输入或 CA-IS3640 B 侧逻辑输出
V _I 3 / V _O 3	12	逻辑输入/输出	CA-IS3640/41 B 侧逻辑输出或 CA-IS3642/43/44 B 侧逻辑输入
V _I 2 / V _O 2	13	逻辑输入/输出	CA-IS3640/41/42 B 侧逻辑输出或 CA-IS3643/44 B 侧逻辑输入
V _I 1 / V _O 1	14	逻辑输入/输出	CA-IS3644 B 侧逻辑输入或 CA-IS3640/41/42/43 B 侧逻辑输出
G _{ND} B	15	地	B 侧接地基准点
V _{ISO}	16	输出电压	由 SEL 管脚决定的隔离输出电压

备注:

- NC 引脚没有内部连接, 它们可以浮空、连接到 V_{DD} 或连接到 GND。
- 输出隔离电压选择管脚。当 SEL 管脚连接到 V_{ISO} 脚, V_{ISO}=5 V; 当 SEL 脚连接到 G_{ND}B 或者浮空, V_{ISO}=3.3 V。表 11-1 总结了 SEL 脚的真值表。

8 产品规格

8.1 绝对最大额定值^{1,2}

参数		最小值	最大值	单位
V _{DD}	电源电压	-0.5	6.0	V
V _{ISO}	隔离输出电压	-0.5	6.0	V
V _{in}	输入电压 V _{Ix} , SEL, ENA	-0.5	V _{DD} +0.5 ³	V
I _O	输出电流	-20	20	mA
T _J	结温		150	°C
T _{STG}	存储温度	-65	150	°C

备注:

1. 等于或超出上述绝对最大额定值可能会导致产品永久性损坏, 长期在超出最大额定值条件下工作会影响产品的可靠性。
2. 除差分 I/O 总线电压以外的所有电压值, 均相对于本地接地端子 (GNDA 或 GNDB), 并且是峰值电压值。
3. 最大电压不得超过 6 V, V_{DD} 为和该管脚处于同一侧的电压。

8.2 ESD 额定值

		数值	单位
V _{ESD} 静电放电	人体模型 (HBM), 根据 ANSI/ESDA/JEDEC JS-001, 所有引脚 ¹	±6000	V
	组件充电模式 (CDM), 根据 JEDEC specification JESD22-C101, 所有引脚 ²	±2000	

备注:

1. JEDEC 文件 JEP155 规定 500 V HBM 可通过标准 ESD 控制过程实现安全制造。
2. JEDEC 文件 JEP157 规定 250 V CDM 允许使用标准 ESD 控制过程进行安全制造。

8.3 推荐工作条件

参数		最小值	典型值	最大值	单位
V _{DD}	电源电压	3		5.5	V
I _{OH}	高电平输出电流	V _{DDO} ¹ = 5.0 V		-4	mA
		V _{DDO} = 3.3 V		-2	
I _{OL}	低电平输出电流	V _{DDO} = 5.0 V		4	mA
		V _{DDO} = 3.3 V		2	
V _{IH}	输入阈值逻辑高电平	2.0			V
V _{IL}	输入阈值逻辑低电平			0.8	V
DR	信号传输速率	0		150	Mbps
T _A	环境温度	-40	25	125	°C

备注:

1. V_{DDO} = 输出侧 V_{DD}

上海川土微电子有限公司

8.4 热量信息

热量表		CA-IS36xx	单位
		SOIC16-WB(W)	
R _{θJA}	IC 结至环境的热阻	73.8	°C/W

8.5 额定功率

参数		测试条件	最小值	典型值	最大值	单位
P _D	最大功耗	V _{DD} =5.5V, V _{ISO} =5V, 负载电流 130mA, 所有数字通道输入 100Mbps, 50% 占空比方波, 通道负载电容 15pF			1	W

8.6 隔离特性

参数		测试条件	数值	单位
			W	
CLR	外部气隙 (间隙) ¹	测量输入端至输出端, 隔空最短距离	8	mm
CPG	外部爬电距离 ¹	测量输入端至输出端, 沿壳体最短距离	8	mm
DTI	隔离距离	最小内部间隙 (内部距离)	21	μm
CTI	相对漏电指数	DIN EN 60112 (VDE 0303-11); IEC 60112	>600	V
	材料组	依据 IEC 60664-1	I	
	IEC 60664-1 过压类别	额定市电电压 ≤ 300 V _{RMS}	I-IV	
		额定市电电压 ≤ 400 V _{RMS}	I-IV	
		额定市电电压 ≤ 600 V _{RMS}	I-III	
DIN V VDE V 0884-11:2017-01²				
V _{IORM}	最大重复峰值隔离电压	交流电压(双极)	849	V _{PK}
V _{IOWM}	最大工作隔离电压	交流电压; 时间相关的介质击穿 (TDDb) 测试	600	V _{RMS}
		直流电压	849	V _{DC}
V _{IOTM}	最大瞬态隔离电压	V _{TEST} = V _{IOTM} , t = 60 s (认证); V _{TEST} = 1.2 × V _{IOTM} , t = 1 s (100% 产品测试)	7070	V _{PK}
V _{IOSM}	最大浪涌隔离电压 ³	测试方法 依据 IEC 60065, 1.2μs / 50 μs 波形, V _{TEST} = 1.6 × V _{IOSM} (生产测试)	6250	V _{PK}
Q _{pd}	表征电荷 ⁴	方法 a, 输入/输出安全测试子类 2/3 后, V _{ini} = V _{IOTM} , t _{ini} = 60 s; V _{pd(m)} = 1.2 × V _{IORM} , t _m = 10 s	≤5	pC
		方法 a, 环境测试子类 1 后, V _{ini} = V _{IOTM} , t _{ini} = 60 s; V _{pd(m)} = 1.6 × V _{IORM} , t _m = 10 s	≤5	
		方法 b1, 常规测试 (100% 生产测试) 和前期预处理(抽样测试) V _{ini} = 1.2 × V _{IOTM} , t _{ini} = 1 s; V _{pd(m)} = 1.875 × V _{IORM} , t _m = 1 s	≤5	
C _{IO}	栅电容, 输入到输出 ⁵	V _{IO} = 0.4 × sin (2πft), f = 1 MHz	~0.5	pF
R _{IO}	绝缘电阻 ⁵	V _{IO} = 500 V, T _A = 25°C	>10 ¹²	Ω
		V _{IO} = 500 V, 100°C ≤ T _A ≤ 125°C	>10 ¹¹	
		V _{IO} = 500 V at T _S = 150°C	>10 ⁹	
	污染度		2	
UL 1577				
V _{ISO}	最大隔离电压	V _{TEST} = V _{ISO} , t = 60 s (认证) V _{TEST} = 1.2 × V _{ISO} , t = 1 s (100%生产测试)	5000	V _{RMS}
备注:				
<ol style="list-style-type: none"> 根据应用的特定设备隔离标准应用爬电距离和间隙要求。注意保持电路板设计的爬电距离和间隙距离, 以确保印刷电路板上隔离器的安装焊盘不会缩短该距离。在某些情况下印刷电路板上的爬电距离和间隙相等。在印刷电路板上插入凹槽的技术有助于提高这些指标。 该标准仅适用于安全等级内的安全电气绝缘。应通过适当的保护电路确保符合安全等级。 测试在空气或油中进行, 以确定隔离屏障的固有浪涌抗扰度。 表征电荷是由局部放电引起的放电电荷(pd)。 栅两侧的所有引脚连接在一起, 形成双端子器件。 				

8.7 安全相关认证

VDE(申请中)	CSA(申请中)	UL(申请中)	CQC(申请中)	TUV(申请中)
根据 DIN V VDE V 0884-11:2017-01 认证	根据 IEC60950-1, IEC 62368-1 和 IEC 60601-1 认证	UL1577 器件认证程序认证	根据 GB4943.1-2011 认证	根据 EN61010-1:2010 (3rd Ed)和 EN 60950-1:2006/A2:2013 认证

8.8 电气特性

8.8.1 5V 输入, 5V 输出

$V_{DD} = 5V \pm 10\%$, $T_A = -40$ to 125°C , SEL 脚短路到 V_{ISO} 脚

参数	测试条件	最小值	典型值	最大值	单位
V_{ISO} 隔离输出电压	外部 $I_{ISO} = 0$ to 50 mA	4.75	5.07	5.43	V
	外部 $I_{ISO} = 0$ to 130 mA	4.50	5.07	5.43	
$V_{ISO(LINE)}$ 直流线性调整率	$I_{ISO} = 50$ mA, $V_{DD} = 4.5$ V to 5.5 V	2			mV/V
$V_{ISO(LOAD)}$ 直流负载调整率	$I_{ISO} = 0$ to 130 mA	1%			
EFF 最大负载电流时的效率	$I_{ISO} = 130$ mA, $C_{LOAD} = 0.1 \mu\text{F} 10 \mu\text{F}$; $V_I = V_{DD1}^1$ (CA-IS36xxL); $V_I = 0$ V (CA-IS36xxH)	53%			
$V_{DD(UVLO+)}$ 电源上升过程的欠压保护阈值			2.6	2.9	V
$V_{DD(UVLO-)}$ 电源下降过程的欠压保护阈值		2.0	2.25		V
$V_{HYS(UVLO)}$ 电源欠压保护阈值迟滞			0.35		V
I_{IH} 输入高电平漏电流	$V_{IH} = V_{DD1}^1$ at Vlx or Bx or ENx or SEL			20	μA
I_{IL} 输入低电平漏电流	$V_{IL} = 0$ V at Vlx or Bx or ENx or SEL	-20			μA
V_{OH} 输出电压逻辑高电平	$I_{OL} = -4$ mA; 图 10-1	$V_{DD0}^1 - 0.4$	$V_{DD0} - 0.2$		V
V_{OL} 输出电压逻辑低电平	$I_{OL} = 4$ mA; 图 10-1		0.2	0.4	V
CMTI 共模瞬变抗扰度	$V_I = V_{DD1}^1$ or 0 V, $V_{CM} = 1500$ V; 图 10-2	100	150		kV/ μs
I_{SC_SC} V_{ISO} 脚发生短路时的电源电流	V_{ISO} 脚短路到 GNDB		42		mA
$V_{ISO(RIP)}$ 输出隔离电压纹波 (峰峰值)			60		mV
I_{ISO} V_{ISO} 的输出带载电流 ²				120 ³	mA

备注:

- V_{DD1} = 输入侧 V_{DD} , V_{DD0} = 输出侧 V_{DD} 。
- 当 $T_A > 85^\circ\text{C}$ 时, 负载可用电流应该以 $2\text{mA}/^\circ\text{C}$ 降低。
- 当芯片数字隔离器没有工作时, 隔离开关电源的在 25°C 时最大带负载能力。

8.8.2 5 V 输入, 3.3 V 输出

$V_{DD} = 5 V \pm 10\%$, $T_A = -40$ to $125^\circ C$, SEL 脚短路到 GNDB 脚

参数	测试条件	最小值	典型值	最大值	单位
V_{ISO} 隔离输出电压	外部 $I_{ISO} = 0$ to 50 mA	3.13	3.34	3.56	V
	外部 $I_{ISO} = 0$ to 130 mA	3	3.34	3.56	
$V_{ISO(LINE)}$ 直流线性调整率	$I_{ISO} = 50$ mA, $V_{DD} = 4.5$ V to 5.5 V		2		mV/V
$V_{ISO(LOAD)}$ 直流负载调整率	$I_{ISO} = 0$ to 130 mA		1%		
EFF 最大负载电流时的效率	$I_{ISO} = 130$ mA, $C_{LOAD} = 0.1 \mu F 10 \mu F$; $V_I = V_{DDI}^1$ (CA-IS36xxL); $V_I = 0$ V (CA-IS36xxH)		48%		
$V_{DDI(UVLO+)}$ 电源上升过程的欠压保护 阈值			2.6	2.9	V
$V_{DDI(UVLO-)}$ 电源下降过程的欠压保护 阈值		2.0	2.25		V
$V_{HYS(UVLO)}$ 电源欠压保护阈值迟滞			0.35		V
I_{IH} 输入高电平漏电流	$V_{IH} = V_{DDI}^1, V_{IX}, EN, SEL$ 管脚拉高至 V_{DDI}			20	μA
I_{IL} 输入低电平漏电流	$V_{IL} = 0$ V, V_{IX}, EN, SEL 管脚拉低至 0 V	-20			μA
V_{OH} 输出电压逻辑高电平	$I_{OL} = -4$ mA; 图 10-1	$V_{DDO}^1 - 0.4$	$V_{DDO} - 0.2$		V
V_{OL} 输出电压逻辑低电平	$I_{OL} = 4$ mA; 图 10-1		0.2	0.4	V
CMTI 共模瞬变抗扰度	$V_I = V_{DDI}^1$ or 0 V, $V_{CM} = 1500$ V; 图 10-2	100	150		kV/ μs
I_{SCC_SC} V_{ISO} 脚发生短路时的电源 电流	V_{ISO} 脚短路到 GNDB		38		mA
$V_{ISO(RIP)}$ 输出隔离电压纹波 (峰峰值)			58		mV
I_{ISO} V_{ISO} 的输出带载电流 ²				110^3	mA
备注:					
1. V_{DDI} = 输入侧 V_{DD} , V_{DDO} = 输出侧 V_{DD} 。					
2. 当 $T_A > 85^\circ C$ 时, 负载可用电流应该以 $2mA/^\circ C$ 降低。					
3. 当芯片数字隔离器没有工作时, 隔离开关电源的在 $25^\circ C$ 时最大带负载能力。					

8.8.3 3.3 V 输入, 3.3 V 输出
 $V_{DD} = 3.3 \text{ V} \pm 10\%$, $T_A = -40 \text{ to } 125^\circ\text{C}$, SEL 脚短路到 GNDB 脚

参数	测试条件	最小值	典型值	最大值	单位
V_{ISO} 隔离输出电压	外部 $I_{ISO} = 0 \text{ to } 50 \text{ mA}$	3.13	3.34	3.56	V
	外部 $I_{ISO} = 0 \text{ to } 75 \text{ mA}$	3	3.34	3.56	
$V_{ISO(LINE)}$ 直流线性调整率	$I_{ISO} = 50 \text{ mA}$, $V_{DD} = 4.5 \text{ V to } 5.5 \text{ V}$	2			mV/V
$V_{ISO(LOAD)}$ 直流负载调整率	$I_{ISO} = 0 \text{ to } 75 \text{ mA}$	1%			
EFF 最大负载电流时的效率	$I_{ISO} = 130 \text{ mA}$, $C_{LOAD} = 0.1 \mu\text{F} \parallel 10 \mu\text{F}$; $V_I = V_{DDI}^1$ (CA-IS36xxL); $V_I = 0 \text{ V}$ (CA-IS36xxH)	47%			
$V_{DD(UVLO+)}$ 电源上升过程的欠压保护阈值		2.7			V
$V_{DD(UVLO-)}$ 电源下降过程的欠压保护阈值		2.1			V
$V_{HYS(UVLO)}$ 电源欠压保护阈值迟滞		0.2			V
I_{IH} 输入高电平漏电流	$V_{IH} = V_{DDI}^1$, $V_{IX,EN,SEL}$ 管脚拉高至 V_{DDI}	20			μA
I_{IL} 输入低电平漏电流	$V_{IL} = 0 \text{ V}$, $V_{IX,EN,SEL}$ 管脚拉低至 0 V	-20			μA
V_{OH} 输出电压逻辑高电平	$I_{OL} = -4 \text{ mA}$; 图 10-1	$V_{DDO}^1 - 0.4$	$V_{DDO} - 0.2$		V
V_{OL} 输出电压逻辑低电平	$I_{OL} = 4 \text{ mA}$; 图 10-1		0.2	0.4	V
CMTI 共模瞬变抗扰度	$V_I = V_{DDI}^1$ or 0 V , $V_{CM} = 1500 \text{ V}$; 图 10-2	100	150		kV/ μs
I_{SC_SC} V_{ISO} 脚发生短路时的电源电流	V_{ISO} 脚短路到 GNDB	32			mA
$V_{ISO(RIP)}$ 输出隔离电压纹波 (峰峰值)		55			mV
I_{ISO} V_{ISO} 的输出带载电流 ²		70 ³			mA

备注:

- V_{DDI} = 输入侧 V_{DD} , V_{DDO} = 输出侧 V_{DD} 。
- 当 $T_A > 85^\circ\text{C}$ 时, 负载可用电流应该以 $2\text{mA}/^\circ\text{C}$ 降低。
- 当芯片数字隔离器没有工作时, 隔离开关电源的在 25°C 时最大带负载能力。

8.9 供电电流特性

8.9.1 5V 输入, 5V 输出

$V_{DD} = 5V \pm 10\%$, $T_A = -40$ to 125°C , SEL 脚短路到 V_{ISO} 脚

参数	测试条件	最小值	典型值	最大值	单位
CA-IS3620					
I_{DD}	电源供电电流	没有外部 I_{LOAD} ; $V_I = 0V$ (CA-IS3620H); $V_I = V_{DDI}^1$ (CA-IS3620L)	14	21	mA
		没有外部 I_{LOAD} ; $V_I = 0V$ (CA-IS3620L); $V_I = V_{DDI}^1$ (CA-IS3620H)	16	24	
		所有通道输入 1Mbps、占空比为 50%的方波时钟信号; 每个通道的 $C_L = 15\text{ pF}$, 没有外部 I_{LOAD}	18	24	
		所有通道输入 10Mbps、占空比为 50%的方波时钟信号; 每个通道的 $C_L = 15\text{ pF}$, 没有外部 I_{LOAD}	20.4	30.6	
		所有通道输入 100Mbps、占空比为 50%的方波时钟信号; 每个通道的 $C_L = 15\text{ pF}$, 没有外部 I_{LOAD}	40	60	
CA-IS3621					
I_{DD}	电源供电电流	没有外部 I_{LOAD} ; $V_I = 0V$ (CA-IS3621H); $V_I = V_{DDI}^1$ (CA-IS3621L)	14	21	mA
		没有外部 I_{LOAD} ; $V_I = 0V$ (CA-IS3621L); $V_I = V_{DDI}^1$ (CA-IS3621H)	17	25	
		所有通道输入 1Mbps、占空比为 50%的方波时钟信号; 每个通道的 $C_L = 15\text{ pF}$, 没有外部 I_{LOAD}	18.5	27	
		所有通道输入 10Mbps、占空比为 50%的方波时钟信号; 每个通道的 $C_L = 15\text{ pF}$, 没有外部 I_{LOAD}	25	38	
		所有通道输入 100Mbps、占空比为 50%的方波时钟信号; 每个通道的 $C_L = 15\text{ pF}$, 没有外部 I_{LOAD}	34	51	
CA-IS3622					
I_{DD}	电源供电电流	没有外部 I_{LOAD} ; $V_I = 0V$ (CA-IS3622H); $V_I = V_{DDI}^1$ (CA-IS3622L)	14	21	mA
		没有外部 I_{LOAD} ; $V_I = 0V$ (CA-IS3622L); $V_I = V_{DDI}^1$ (CA-IS3622H)	18	25	
		所有通道输入 1Mbps、占空比为 50%的方波时钟信号; 每个通道的 $C_L = 15\text{ pF}$, 没有外部 I_{LOAD}	18.5	27	
		所有通道输入 10Mbps、占空比为 50%的方波时钟信号; 每个通道的 $C_L = 15\text{ pF}$, 没有外部 I_{LOAD}	19	29	
		所有通道输入 100Mbps、占空比为 50%的方波时钟信号; 每个通道的 $C_L = 15\text{ pF}$, 没有外部 I_{LOAD}	29	45	
CA-IS3640					
I_{DD}	电源供电电流	没有外部 I_{LOAD} ; $V_I = 0V$ (CA-IS3640H); $V_I = V_{DDI}^1$ (CA-IS3640L)	14	21	mA
		没有外部 I_{LOAD} ; $V_I = 0V$ (CA-IS3640L); $V_I = V_{DDI}^1$ (CA-IS3640H)	21	31	
		所有通道输入 1Mbps、占空比为 50%的方波时钟信号; 每个通道的 $C_L = 15\text{ pF}$, 没有外部 I_{LOAD}	23	35	
		所有通道输入 10Mbps、占空比为 50%的方波时钟信号; 每个通道的 $C_L = 15\text{ pF}$, 没有外部 I_{LOAD}	26.8	40	
		所有通道输入 100Mbps、占空比为 50%的方波时钟信号; 每个通道的 $C_L = 15\text{ pF}$, 没有外部 I_{LOAD}	65	97	
备注:					
1. V_{DDI}^1 = 输入侧 V_{DD} ; V_{DDO} = 输出侧 V_{DD} .					

供电电流特性继续 (5V 输入, 5V 输出)

参数	测试条件	最小值	典型值	最大值	单位
CA-IS3641					
I _{DD}	没有外部 I _{LOAD} ; V _I = 0 V (CA-IS3641H); V _I = V _{DDI} ¹ (CA-IS3641L)		14	21	mA
	没有外部 I _{LOAD} ; V _I = 0 V (CA-IS3641L); V _I = V _{DDI} ¹ (CA-IS3641H)		25	38	
	所有通道输入 1Mbps、占空比为 50%的方波时钟信号; 每个通道的 C _L = 15 pF, 没有外部 I _{LOAD}		22	33	
	所有通道输入 10Mbps、占空比为 50%的方波时钟信号; 每个通道的 C _L = 15 pF, 没有外部 I _{LOAD}		26.5	40	
	所有通道输入 100Mbps、占空比为 50%的方波时钟信号; 每个通道的 C _L = 15 pF, 没有外部 I _{LOAD}		60	90	
CA-IS3642					
I _{DD}	没有外部 I _{LOAD} ; V _I = 0 V (CA-IS3642H); V _I = V _{DDI} ¹ (CA-IS3642L)		14	21	mA
	没有外部 I _{LOAD} ; V _I = 0 V (CA-IS3642L); V _I = V _{DDI} ¹ (CA-IS3642H)		25	38	
	所有通道输入 1Mbps、占空比为 50%的方波时钟信号; 每个通道的 C _L = 15 pF, 没有外部 I _{LOAD}		23	35	
	所有通道输入 10Mbps、占空比为 50%的方波时钟信号; 每个通道的 C _L = 15 pF, 没有外部 I _{LOAD}		26	39	
	所有通道输入 100Mbps、占空比为 50%的方波时钟信号; 每个通道的 C _L = 15 pF, 没有外部 I _{LOAD}		54	81	
备注:					
1. V _{DDI} = 输入侧 V _{DD} ; V _{DDO} = 输出侧 V _{DD} 。					

供电电流特性继续 (5V 输入, 5V 输出)

参数	测试条件	最小值	典型值	最大值	单位
CA-IS3643					
I _{DD}	没有外部 I _{LOAD} ; V _I = 0 V (CA-IS3643H); V _I = V _{DDI} ¹ (CA-IS3643L)		14	21	mA
	没有外部 I _{LOAD} ; V _I = 0 V (CA-IS3643L); V _I = V _{DDI} ¹ (CA-IS3643H)		26	39	
	所有通道输入 1Mbps、占空比为 50%的方波时钟信号; 每个通道的 C _L = 15 pF, 没有外部 I _{LOAD}		22	33	
	所有通道输入 10Mbps、占空比为 50%的方波时钟信号; 每个通道的 C _L = 15 pF, 没有外部 I _{LOAD}		25	54	
	所有通道输入 100Mbps、占空比为 50%的方波时钟信号; 每个通道的 C _L = 15 pF, 没有外部 I _{LOAD}		48	72	
CA-IS3644					
I _{DD}	没有外部 I _{LOAD} ; V _I = 0 V (CA-IS3644H); V _I = V _{DDI} ¹ (CA-IS3644L)		14	21	mA
	没有外部 I _{LOAD} ; V _I = 0 V (CA-IS3644L); V _I = V _{DDI} ¹ (CA-IS3644H)		26	39	
	所有通道输入 1Mbps、占空比为 50%的方波时钟信号; 每个通道的 C _L = 15 pF, 没有外部 I _{LOAD}		21	30	
	所有通道输入 10Mbps、占空比为 50%的方波时钟信号; 每个通道的 C _L = 15 pF, 没有外部 I _{LOAD}		24	36	
	所有通道输入 100Mbps、占空比为 50%的方波时钟信号; 每个通道的 C _L = 15 pF, 没有外部 I _{LOAD}		45	68	
备注:					
1. V _{DDI} = 输入侧 V _{DD} ; V _{DDO} = 输出侧 V _{DD} 。					

8.9.2 5 V 输入, 3.3 V 输出

$V_{DD} = 5 V \pm 10\%$, $T_A = -40$ to $125^\circ C$, SEL 脚短路到 GNDB 脚

参数	测试条件	最小值	典型值	最大值	单位
CA-IS3620					
I_{DD} 电源供电电流	没有外部 I_{LOAD} ; $V_I = 0 V$ (CA-IS3620H); $V_I = V_{DDI}^1$ (CA-IS3620L)		12	18	mA
	没有外部 I_{LOAD} ; $V_I = 0 V$ (CA-IS3620L); $V_I = V_{DDI}^1$ (CA-IS3620H)		13.5	20	
	所有通道输入 1Mbps、占空比为 50%的方波时钟信号; 每个通道的 $C_L = 15 pF$, 没有外部 I_{LOAD}		17	23	
	所有通道输入 10Mbps、占空比为 50%的方波时钟信号; 每个通道的 $C_L = 15 pF$, 没有外部 I_{LOAD}		19	29	
	所有通道输入 100Mbps、占空比为 50%的方波时钟信号; 每个通道的 $C_L = 15 pF$, 没有外部 I_{LOAD}		31	44	
CA-IS3621					
I_{DD} 电源供电电流	没有外部 I_{LOAD} ; $V_I = 0 V$ (CA-IS3621H); $V_I = V_{DDI}^1$ (CA-IS3621L)		12	18	mA
	没有外部 I_{LOAD} ; $V_I = 0 V$ (CA-IS3621L); $V_I = V_{DDI}^1$ (CA-IS3621H)		16	24	
	所有通道输入 1Mbps、占空比为 50%的方波时钟信号; 每个通道的 $C_L = 15 pF$, 没有外部 I_{LOAD}		16	24	
	所有通道输入 10Mbps、占空比为 50%的方波时钟信号; 每个通道的 $C_L = 15 pF$, 没有外部 I_{LOAD}		19	29	
	所有通道输入 100Mbps、占空比为 50%的方波时钟信号; 每个通道的 $C_L = 15 pF$, 没有外部 I_{LOAD}		29	44	
备注: 1. V_{DDI} = 输入侧 V_{DD} ; V_{DDO} = 输出侧 V_{DD} 。					

供电电流特性继续 (5 V 输入, 3.3 V 输出)

参数	测试条件	最小值	典型值	最大值	单位
CA-IS3622					
I_{DD} 电源供电电流	没有外部 I_{LOAD} ; $V_I = 0 V$ (CA-IS3622H); $V_I = V_{DDI}^1$ (CA-IS3622L)		12	18	mA
	没有外部 I_{LOAD} ; $V_I = 0 V$ (CA-IS3622L); $V_I = V_{DDI}^1$ (CA-IS3622H)		15	21	
	所有通道输入 1Mbps、占空比为 50%的方波时钟信号; 每个通道的 $C_L = 15 pF$, 没有外部 I_{LOAD}		16.5	24	
	所有通道输入 10Mbps、占空比为 50%的方波时钟信号; 每个通道的 $C_L = 15 pF$, 没有外部 I_{LOAD}		17	25	
	所有通道输入 100Mbps、占空比为 50%的方波时钟信号; 每个通道的 $C_L = 15 pF$, 没有外部 I_{LOAD}		29	44	
CA-IS3640					
I_{DD} 电源供电电流	没有外部 I_{LOAD} ; $V_I = 0 V$ (CA-IS3640H); $V_I = V_{DDI}^1$ (CA-IS3640L)		12	18	mA
	没有外部 I_{LOAD} ; $V_I = 0 V$ (CA-IS3640L); $V_I = V_{DDI}^1$ (CA-IS3640H)		16	24	
	所有通道输入 1Mbps、占空比为 50%的方波时钟信号; 每个通道的 $C_L = 15 pF$, 没有外部 I_{LOAD}		22	33	
	所有通道输入 10Mbps、占空比为 50%的方波时钟信号; 每个通道的 $C_L = 15 pF$, 没有外部 I_{LOAD}		26	39	
	所有通道输入 100Mbps、占空比为 50%的方波时钟信号; 每个通道的 $C_L = 15 pF$, 没有外部 I_{LOAD}		50	75	
备注: 1. V_{DDI} = 输入侧 V_{DD} ; V_{DDO} = 输出侧 V_{DD} 。					

供电电流特性继续 (5 V 输入, 3.3 V 输出)

参数	测试条件	最小值	典型值	最大值	单位
CA-IS3641					
I _{DD}	电源供电电流	没有外部 I _{LOAD} ; V _I = 0 V (CA-IS3641H); V _I = V _{DDI} ¹ (CA-IS3641L)	12	18	mA
		没有外部 I _{LOAD} ; V _I = 0 V (CA-IS3641L); V _I = V _{DDI} ¹ (CA-IS3641H)	15	22	
		所有通道输入 1Mbps、占空比为 50%的方波时钟信号; 每个通道的 C _L = 15 pF, 没有外部 I _{LOAD}	21	32	
		所有通道输入 10Mbps、占空比为 50%的方波时钟信号; 每个通道的 C _L = 15 pF, 没有外部 I _{LOAD}	23	35	
		所有通道输入 100Mbps、占空比为 50%的方波时钟信号; 每个通道的 C _L = 15 pF, 没有外部 I _{LOAD}	48	72	
CA-IS3642					
I _{DD}	电源供电电流	没有外部 I _{LOAD} ; V _I = 0 V (CA-IS3642H); V _I = V _{DDI} ¹ (CA-IS3642L)	12	18	mA
		没有外部 I _{LOAD} ; V _I = 0 V (CA-IS3642L); V _I = V _{DDI} ¹ (CA-IS3642H)	17	24	
		所有通道输入 1Mbps、占空比为 50%的方波时钟信号; 每个通道的 C _L = 15 pF, 没有外部 I _{LOAD}	21	32	
		所有通道输入 10Mbps、占空比为 50%的方波时钟信号; 每个通道的 C _L = 15 pF, 没有外部 I _{LOAD}	22	33	
		所有通道输入 100Mbps、占空比为 50%的方波时钟信号; 每个通道的 C _L = 15 pF, 没有外部 I _{LOAD}	46.5	70	
备注: 1. V _{DDI} = 输入侧 V _{DD} ; V _{DDO} = 输出侧 V _{DD} 。					

供电电流特性继续 (5 V 输入, 3.3 V 输出)

参数	测试条件	最小值	典型值	最大值	单位
CA-IS3643					
I _{DD}	电源供电电流	没有外部 I _{LOAD} ; V _I = 0 V (CA-IS3643H); V _I = V _{DDI} ¹ (CA-IS3643L)	12	18	mA
		没有外部 I _{LOAD} ; V _I = 0 V (CA-IS3643L); V _I = V _{DDI} ¹ (CA-IS3643H)	19	25	
		所有通道输入 1Mbps、占空比为 50%的方波时钟信号; 每个通道的 C _L = 15 pF, 没有外部 I _{LOAD}	16.5	24	
		所有通道输入 10Mbps、占空比为 50%的方波时钟信号; 每个通道的 C _L = 15 pF, 没有外部 I _{LOAD}	21.5	33	
		所有通道输入 100Mbps、占空比为 50%的方波时钟信号; 每个通道的 C _L = 15 pF, 没有外部 I _{LOAD}	45	66	
CA-IS3644					
I _{DD}	电源供电电流	没有外部 I _{LOAD} ; V _I = 0 V (CA-IS3644H); V _I = V _{DDI} ¹ (CA-IS3644L)	12	18	mA
		没有外部 I _{LOAD} ; V _I = 0 V (CA-IS3644L); V _I = V _{DDI} ¹ (CA-IS3644H)	21	32	
		所有通道输入 1Mbps、占空比为 50%的方波时钟信号; 每个通道的 C _L = 15 pF, 没有外部 I _{LOAD}	16	24	
		所有通道输入 10Mbps、占空比为 50%的方波时钟信号; 每个通道的 C _L = 15 pF, 没有外部 I _{LOAD}	21	33	
		所有通道输入 100Mbps、占空比为 50%的方波时钟信号; 每个通道的 C _L = 15 pF, 没有外部 I _{LOAD}	45	67	
备注: 1. V _{DDI} = 输入侧 V _{DD} ; V _{DDO} = 输出侧 V _{DD} 。					

8.9.3 3.3 V 输入, 3.3 V 输出

$V_{DD} = 3.3 \text{ V} \pm 10\%$, $T_A = -40 \text{ to } 125^\circ\text{C}$, SEL 脚短路到 GNDB 脚

参数	测试条件	最小值	典型值	最大值	单位
CA-IS3620					
I_{DD}	电源供电电流	没有外部 I_{LOAD} ; $V_I = 0 \text{ V}$ (CA-IS3620H); $V_I = V_{DDI}^1$ (CA-IS3620L)	13.6	20.4	mA
		没有外部 I_{LOAD} ; $V_I = 0 \text{ V}$ (CA-IS3620L); $V_I = V_{DDI}^1$ (CA-IS3620H)	17.5	23	
		所有通道输入 1Mbps、占空比为 50% 的方波时钟信号; 每个通道的 $C_L = 15 \text{ pF}$, 没有外部 I_{LOAD}	18.5	24	
		所有通道输入 10Mbps、占空比为 50% 的方波时钟信号; 每个通道的 $C_L = 15 \text{ pF}$, 没有外部 I_{LOAD} ;	20	30	
		所有通道输入 100Mbps、占空比为 50% 的方波时钟信号; 每个通道的 $C_L = 15 \text{ pF}$, 没有外部 I_{LOAD}	24.8	37.2	
CA-IS3621					
I_{DD}	电源供电电流	没有外部 I_{LOAD} ; $V_I = 0 \text{ V}$ (CA-IS3621H); $V_I = V_{DDI}^1$ (CA-IS3621L)	13.6	20.4	mA
		没有外部 I_{LOAD} ; $V_I = 0 \text{ V}$ (CA-IS3621L); $V_I = V_{DDI}^1$ (CA-IS3621H)	16	24	
		所有通道输入 1Mbps、占空比为 50% 的方波时钟信号; 每个通道的 $C_L = 15 \text{ pF}$, 没有外部 I_{LOAD}	18	27	
		所有通道输入 10Mbps、占空比为 50% 的方波时钟信号; 每个通道的 $C_L = 15 \text{ pF}$, 没有外部 I_{LOAD}	19	29	
		所有通道输入 100Mbps、占空比为 50% 的方波时钟信号; 每个通道的 $C_L = 15 \text{ pF}$, 没有外部 I_{LOAD}	28	42	
备注: 1. V_{DDI} = 输入侧 V_{DD} ; V_{DDO} = 输出侧 V_D					

供电电流特性继续 (3.3 V 输入, 3.3 V 输出)

参数	测试条件	最小值	典型值	最大值	单位
CA-IS3622					
I_{DD}	电源供电电流	没有外部 I_{LOAD} ; $V_I = 0 \text{ V}$ (CA-IS3622H); $V_I = V_{DDI}^1$ (CA-IS3622L)	13.6	20.4	mA
		没有外部 I_{LOAD} ; $V_I = 0 \text{ V}$ (CA-IS3622L); $V_I = V_{DDI}^1$ (CA-IS3622H)	16.2	24	
		所有通道输入 1Mbps、占空比为 50% 的方波时钟信号; 每个通道的 $C_L = 15 \text{ pF}$, 没有外部 I_{LOAD}	16.5	24.6	
		所有通道输入 10Mbps、占空比为 50% 的方波时钟信号; 每个通道的 $C_L = 15 \text{ pF}$, 没有外部 I_{LOAD}	19	28	
		所有通道输入 100Mbps、占空比为 50% 的方波时钟信号; 每个通道的 $C_L = 15 \text{ pF}$, 没有外部 I_{LOAD}	27	41	
CA-IS3640					
I_{DD}	电源供电电流	没有外部 I_{LOAD} ; $V_I = 0 \text{ V}$ (CA-IS3640H); $V_I = V_{DDI}^1$ (CA-IS3640L)	14	21	mA
		没有外部 I_{LOAD} ; $V_I = 0 \text{ V}$ (CA-IS3640L); $V_I = V_{DDI}^1$ (CA-IS3640H)	21	33	
		所有通道输入 1Mbps、占空比为 50% 的方波时钟信号; 每个通道的 $C_L = 15 \text{ pF}$, 没有外部 I_{LOAD}	23	35	
		所有通道输入 10Mbps、占空比为 50% 的方波时钟信号; 每个通道的 $C_L = 15 \text{ pF}$, 没有外部 I_{LOAD}	25.6	38.4	
		所有通道输入 100Mbps、占空比为 50% 的方波时钟信号; 每个通道的 $C_L = 15 \text{ pF}$, 没有外部 I_{LOAD}	35.3	53	
备注: 1. V_{DDI} = 输入侧 V_{DD} ; V_{DDO} = 输出侧 V_{DD} 。					

供电电流特性继续 (3.3 V 输入, 3.3 V 输出)

参数	测试条件	最小值	典型值	最大值	单位
CA-IS3641					
I _{DD}	电源供电电流	没有外部 I _{LOAD} ; V _I = 0 V (CA-IS3641H); V _I = V _{DDI} ¹ (CA-IS3641L)	14	21	mA
		没有外部 I _{LOAD} ; V _I = 0 V (CA-IS3641L); V _I = V _{DDI} ¹ (CA-IS3641H)	17	26	
		所有通道输入 1Mbps、占空比为 50%的方波时钟信号; 每个通道的 C _L = 15 pF, 没有外部 I _{LOAD}	24	36	
		所有通道输入 10Mbps、占空比为 50%的方波时钟信号; 每个通道的 C _L = 15 pF, 没有外部 I _{LOAD}	25.6	38.4	
		所有通道输入 100Mbps、占空比为 50%的方波时钟信号; 每个通道的 C _L = 15 pF, 没有外部 I _{LOAD}	49	74	
CA-IS3642					
I _{DD}	电源供电电流	没有外部 I _{LOAD} ; V _I = 0 V (CA-IS3642H); V _I = V _{DDI} ¹ (CA-IS3642L)	14	21	mA
		没有外部 I _{LOAD} ; V _I = 0 V (CA-IS3642L); V _I = V _{DDI} ¹ (CA-IS3642H)	20.3	30.5	
		所有通道输入 1Mbps、占空比为 50%的方波时钟信号; 每个通道的 C _L = 15 pF, 没有外部 I _{LOAD}	23	35	
		所有通道输入 10Mbps、占空比为 50%的方波时钟信号; 每个通道的 C _L = 15 pF, 没有外部 I _{LOAD}	25	38	
		所有通道输入 100Mbps、占空比为 50%的方波时钟信号; 每个通道的 C _L = 15 pF, 没有外部 I _{LOAD}	45.5	68	
备注:					
1. V _{DDI} = 输入侧 V _{DD} ; V _{DDO} = 输出侧 V _{DD} 。					

供电电流特性继续 (3.3 V 输入, 3.3 V 输出)

参数	测试条件	最小值	典型值	最大值	单位
CA-IS3643					
I _{DD}	电源供电电流	没有外部 I _{LOAD} ; V _I = 0 V (CA-IS3643H); V _I = V _{DDI} ¹ (CA-IS3643L)	14	21	mA
		没有外部 I _{LOAD} ; V _I = 0 V (CA-IS3643L); V _I = V _{DDI} ¹ (CA-IS3643H)	20	30	
		所有通道输入 1Mbps、占空比为 50%的方波时钟信号; 每个通道的 C _L = 15 pF, 没有外部 I _{LOAD}	22	33	
		所有通道输入 10Mbps、占空比为 50%的方波时钟信号; 每个通道的 C _L = 15 pF, 没有外部 I _{LOAD}	24.5	36	
		所有通道输入 100Mbps、占空比为 50%的方波时钟信号; 每个通道的 C _L = 15 pF, 没有外部 I _{LOAD}	42	63	
CA-IS3644					
I _{DD}	电源供电电流	没有外部 I _{LOAD} ; V _I = 0 V (CA-IS3644H); V _I = V _{DDI} ¹ (CA-IS3644L)	14	21	mA
		没有外部 I _{LOAD} ; V _I = 0 V (CA-IS3644L); V _I = V _{DDI} ¹ (CA-IS3644H)	19.5	29	
		所有通道输入 1Mbps、占空比为 50%的方波时钟信号; 每个通道的 C _L = 15 pF, 没有外部 I _{LOAD}	21	32	
		所有通道输入 10Mbps、占空比为 50%的方波时钟信号; 每个通道的 C _L = 15 pF, 没有外部 I _{LOAD}	24	36	
		所有通道输入 100Mbps、占空比为 50%的方波时钟信号; 每个通道的 C _L = 15 pF, 没有外部 I _{LOAD}	40	60	
备注:					
1. V _{DDI} = 输入侧 V _{DD} ; V _{DDO} = 输出侧 V _{DD} 。					

8.10 时序特性

8.10.1 5 V 输入, 5 V 输出

$V_{DD} = 5 V \pm 10\%$, $T_A = -40$ to $125^\circ C$, SEL 脚短路到 V_{ISO} 脚

参数	测试说明	最小值	典型值	最大值	单位
DR	数据速率	0		150	Mbps
PW_{minL}	最小脉冲宽度			5.0	ns
t_{PLH}, t_{PHL}	传播延迟	6.0	10.0	15.0	ns
PWD	脉冲宽度失真 $ t_{PLH} - t_{PHL} $				
$t_{rk(o)}$	通道间输出偏移时间 ¹		0.4	2.5	ns
$t_{rk(pp)}$	芯片间偏移时间 ²	图 10-1	2.0	4.5	ns
t_r	输出上升时间	图 10-1	2.5	4.0	ns
t_f	输出下降时间	图 10-1	2.5	4.0	ns

备注:

- t_{sk} 为通道间输出偏移时间。测试时将芯片的所有输入引脚接在一起输入同一信号, 保持输出引脚负载相同, 测试最大传输延时与最小传输延时的偏差。
- $t_{rk(pp)}$ 为不同芯片间传播延迟偏移时间。该时间是在相同方向的通道, 相同的供电电压, 相同的温度, 相同的输入信号和负载条件下。

8.10.2 5 V 输入, 3.3 V 输出

$V_{DD} = 5 V \pm 10\%$, $T_A = -40$ to $125^\circ C$, SEL 脚短路到 GNDB 脚

参数	测试说明	最小值	典型值	最大值	单位
DR	数据速率	0		150	Mbps
PW_{minL}	最小脉冲宽度			5.0	ns
t_{PLH}, t_{PHL}	传播延迟	6.0	10.0	15.0	ns
PWD	脉冲宽度失真 $ t_{PLH} - t_{PHL} $				
$t_{rk(o)}$	通道间输出偏移时间 ¹	图 10-1	0.4	2.5	ns
$t_{rk(pp)}$	芯片间偏移时间 ²		2.0	4.5	ns
t_r	输出上升时间	图 10-1	2.5	4.0	ns
t_f	输出下降时间	图 10-1	2.5	4.0	ns

备注:

- t_{sk} 为通道间输出偏移时间。测试时将芯片的所有输入引脚接在一起输入同一信号, 保持输出引脚负载相同, 测试最大传输延时与最小传输延时的偏差。
- $t_{rk(pp)}$ 为不同芯片间传播延迟偏移时间。该时间是在相同方向的通道, 相同的供电电压, 相同的温度, 相同的输入信号和负载条件下。

8.10.3 3.3 V 输入, 3.3 V 输出
 $V_{DD} = 3.3\text{ V} \pm 10\%$, $T_A = -40\text{ to }125^\circ\text{C}$, SEL 脚短路到 GNDB 脚

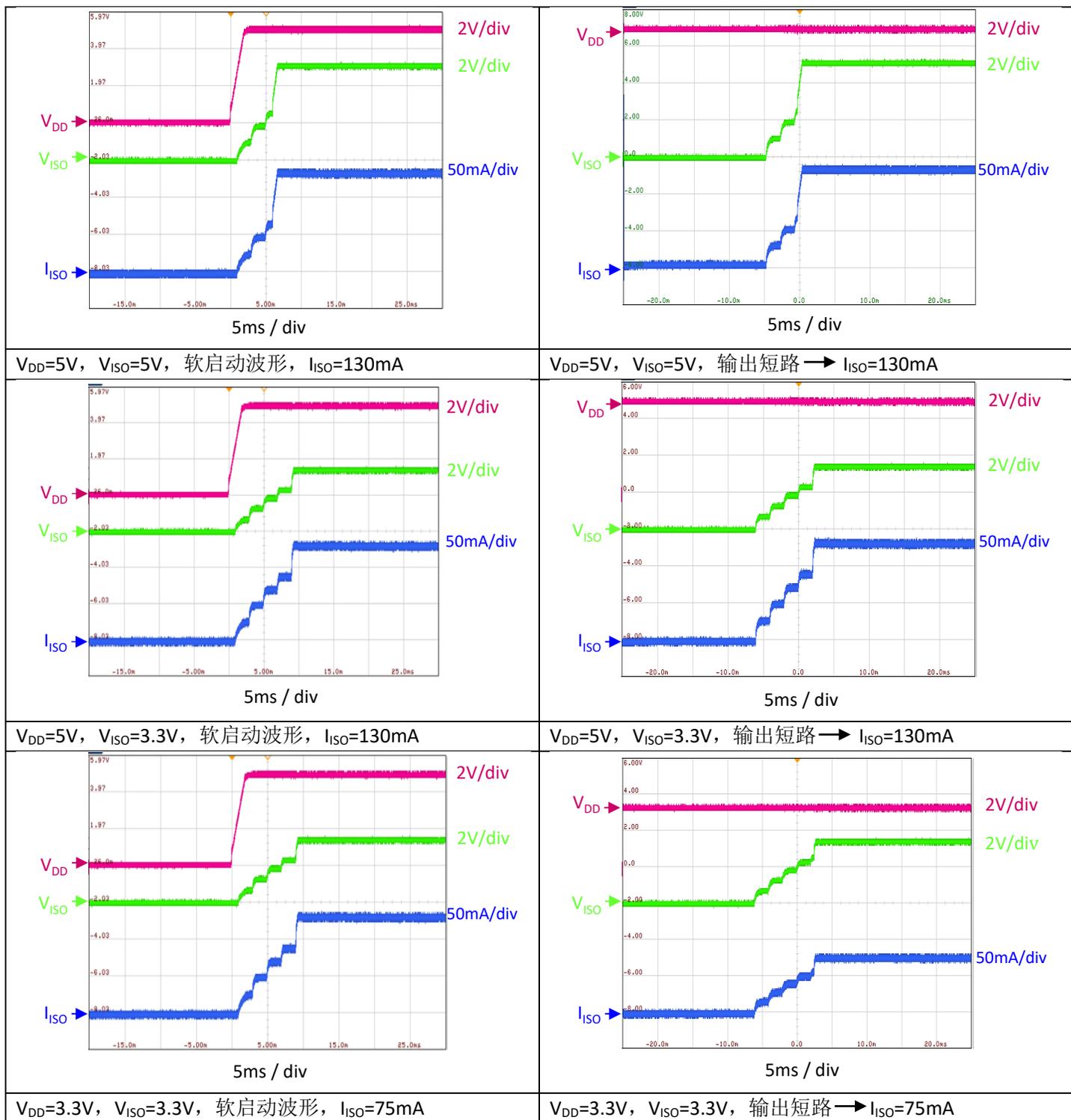
参数	测试说明	最小值	典型值	最大值	单位
DR	数据速率	0		150	Mbps
PW_{minL}	最小脉冲宽度			5.0	ns
t_{PLH}, t_{PHL}	传播延迟	6.0	10.0	15.0	ns
PWD	脉冲宽度失真 $ t_{PLH} - t_{PHL} $		0.2	4.5	ns
$t_{rk(o)}$	通道间输出偏移时间 ¹		0.4	2.5	ns
$t_{rk(pp)}$	芯片间偏移时间 ²		2.0	4.5	ns
t_r	输出上升时间		2.5	4.0	ns
t_f	输出下降时间		2.5	4.0	ns

备注:

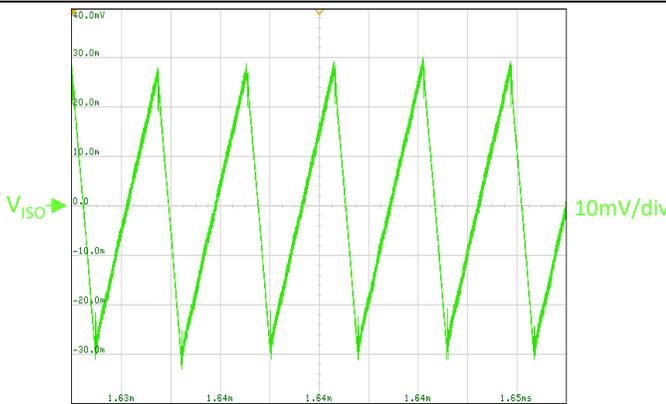
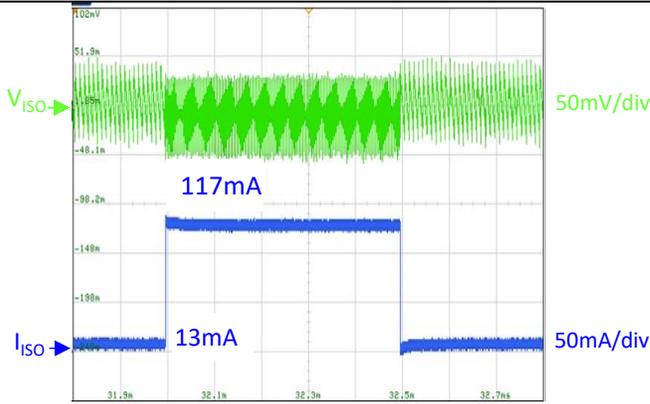
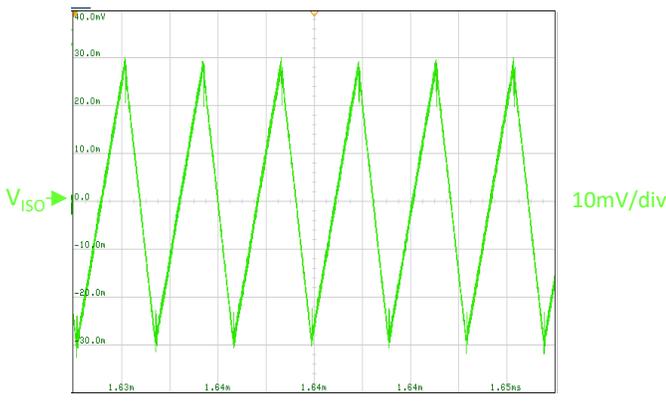
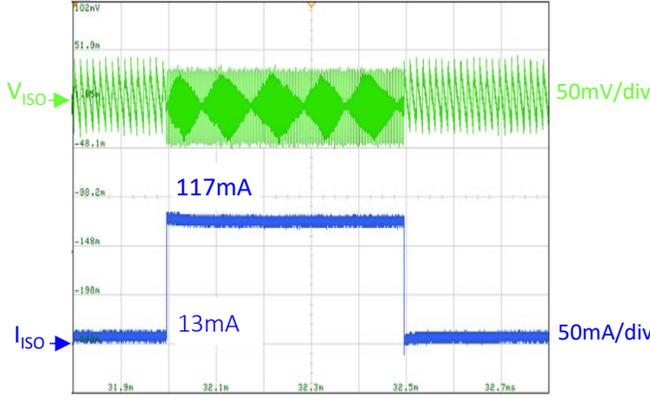
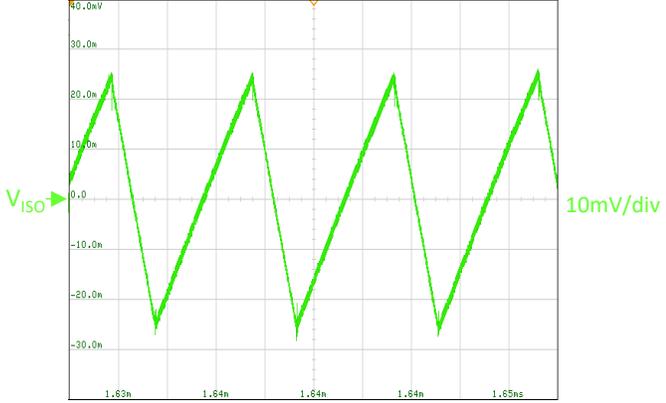
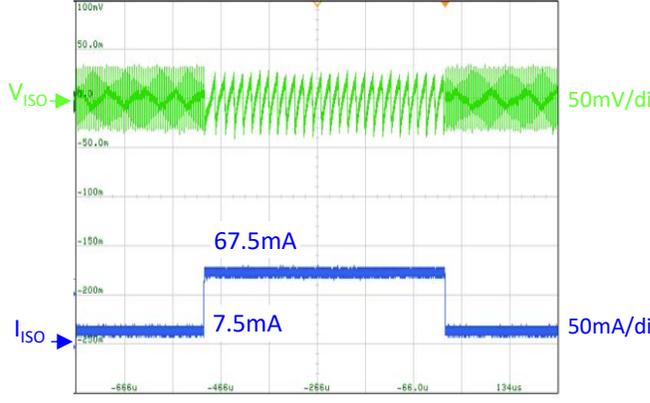
- t_{sk} 为通道间输出偏移时间。测试时将芯片的所有输入引脚接在一起输入同一信号，保持输出引脚负载相同，测试最大传输延时与最小传输延时的偏差。
- $t_{rk(pp)}$ 为不同芯片间传播延迟偏移时间。该时间是在相同方向的通道，相同的供电电压，相同的温度，相同的输入信号和负载条件下。

9 典型波形图

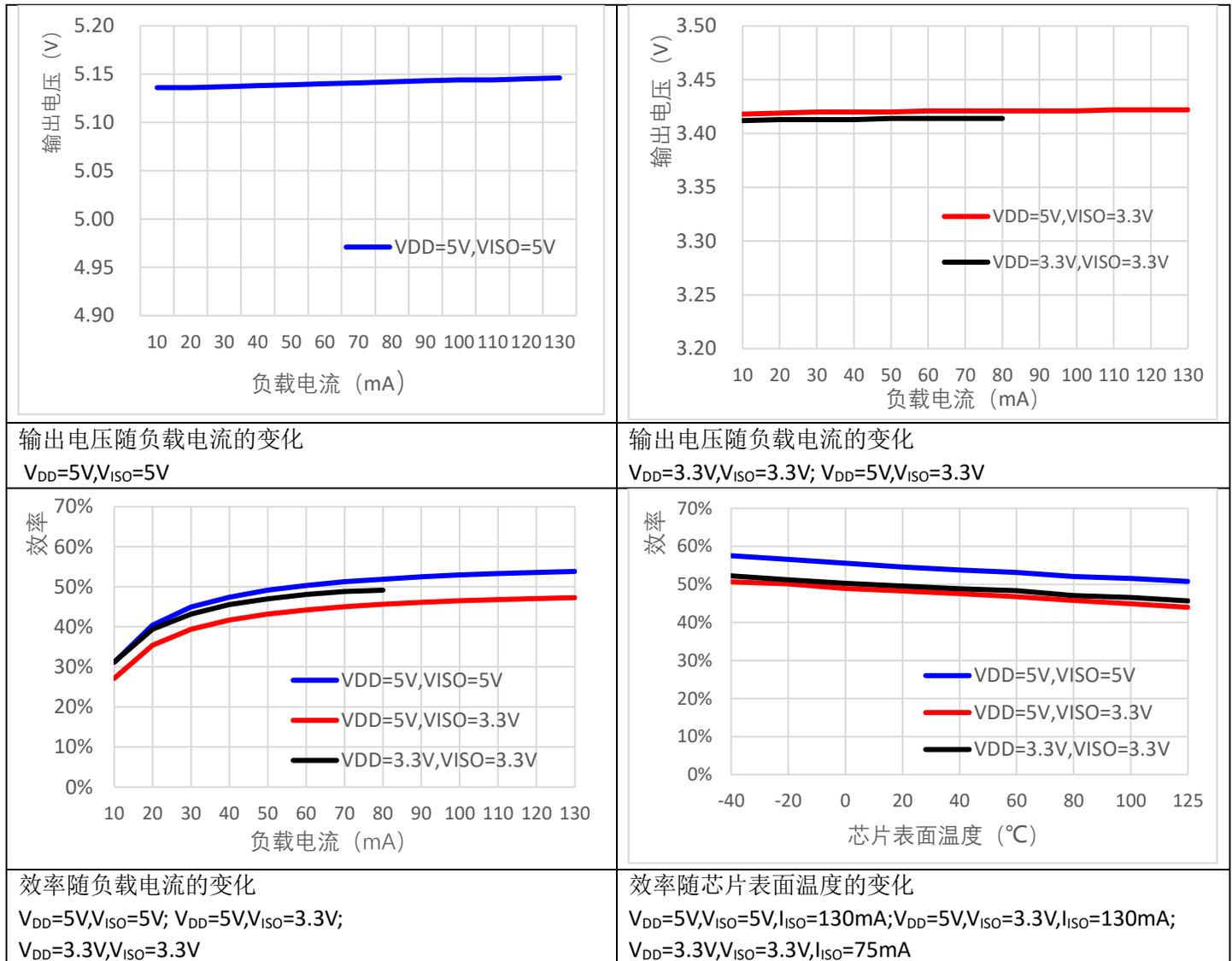
9.1 软启动和输出短路恢复波形



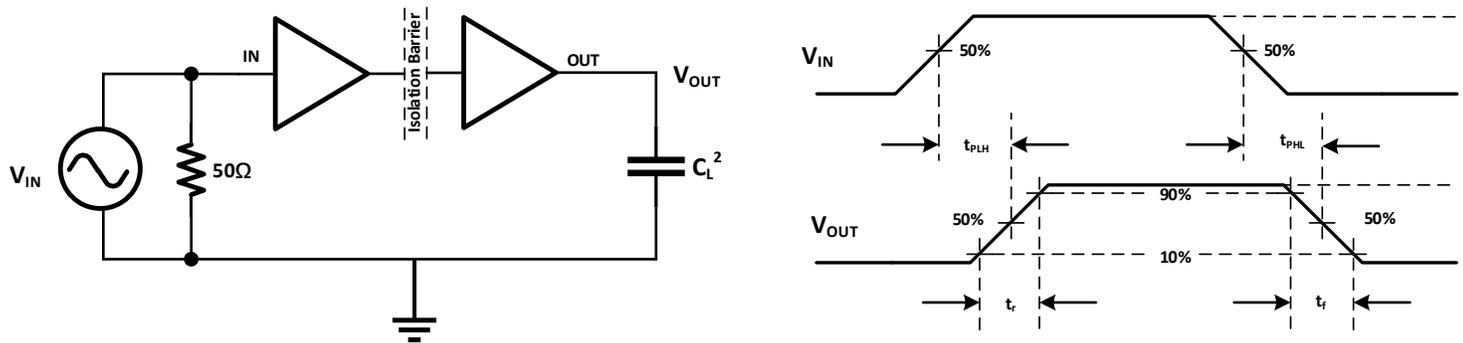
9.2 输出纹波和动态负载响应

 <p>V_{ISO} 10mV/div</p> <p>2us / div</p>	 <p>V_{ISO} 50mV/div</p> <p>117mA</p> <p>13mA</p> <p>I_{ISO} 50mA/div</p> <p>100us / div</p>
<p>$V_{DD}=5V$, $V_{ISO}=5V$, $I_{ISO}=130mA$ V_{ISO} 纹波电压峰峰值: 63.1mV</p>	<p>$V_{DD}=5V$, $V_{ISO}=5V$, 动态负载电流: 13mA/117mA V_{ISO} 纹波电压峰峰值 :107mV</p>
 <p>V_{ISO} 10mV/div</p> <p>2us / div</p>	 <p>V_{ISO} 50mV/div</p> <p>117mA</p> <p>13mA</p> <p>I_{ISO} 50mA/div</p> <p>100us / div</p>
<p>$V_{DD}=5V$, $V_{ISO}=3.3V$, $I_{ISO}=130mA$ V_{ISO} 纹波电压峰峰值 : 62.7mV</p>	<p>$V_{DD}=5V$, $V_{ISO}=3.3V$, 动态负载电流: 13mA/117mA V_{ISO} 纹波电压峰峰值 :94mV</p>
 <p>V_{ISO} 10mV/div</p> <p>2us / div</p>	 <p>V_{ISO} 50mV/div</p> <p>67.5mA</p> <p>7.5mA</p> <p>I_{ISO} 50mA/div</p> <p>100us / div</p>
<p>$V_{DD}=3.3V$, $V_{ISO}=3.3V$, $I_{ISO}=75mA$ V_{ISO} 纹波电压峰峰值 :54.3mV</p>	<p>$V_{DD}=3.3V$, $V_{ISO}=3.3V$, 动态负载电流: 7.5mA/67.5mA V_{ISO} 纹波电压峰峰值 :74mV</p>

9.3 输出电压和效率随负载和芯片表面温度的变化



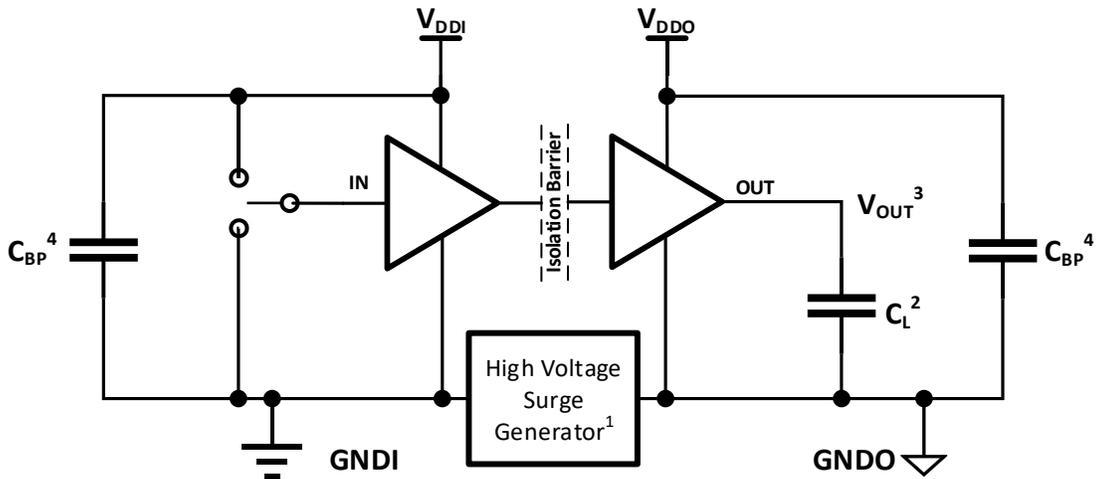
10 参数测量信息



备注:

1. 信号发生器产生输入信号 V_{IN} 具有以下约束条件：波形频率 ≤ 100 kHz，占空比 50%， $t_r \leq 3$ ns， $t_f \leq 3$ ns。由于波形发生器的输出阻抗 $Z_{out} = 50 \Omega$ ，图中的 50Ω 电阻是用来匹配。在实际应用中不需要。
2. C_L 是大约 15 pF 的负载电容和仪表电容。由于负载电容会影响输出上升时间，因此它是时序特性测量的关键因素。

图 10-1 时序特性测试电路和电压波形



备注:

1. 高压浪涌脉冲发生器产生振幅 > 1.5 kV，上升/下降时间 < 10 ns，达到共模瞬态电压摆率 > 150 kV/ μ s 的重复高压脉冲。
2. C_L 是大约 15 pF 的负载电容以及寄生电容。
3. 通过标准：每当高压浪涌到来时，输出必须保持稳定。
4. C_{BP} 是 0.1~1 μ F 的旁路电容。

图 10-2 共模瞬变抗扰度测试电路

11 详细说明

11.1 工作原理

CA-IS36xx 系列产品集成了高效率、低辐射的隔离型 DC-DC 转换器，并具有高速隔离数据通道。CA-IS36xx 系列产品的功能框图如图 11-1 所示。

CA-IS36xx 系列的 DC-DC 转换器采用隔离的 PWM 反馈实现分离的控制器结构。 V_{DD} 电源供电给一个振荡电路，该电路将电流传输给一个高 Q 值的片上变压器，该变压器具有高效率 and 低辐射性能。根据 SEL 引脚的设置，传递到副边的能量被调节成 3.3V 或 5V 的输出电压。副边(V_{ISO})控制器将 PWM 控制信号通过一个专用的隔离数据通道传递给原边，原边依据副边反馈的 PWM 信号调节传输能量。 V_{DD} 和 V_{ISO} 电源上都具备带迟滞的欠压锁定(UVLO)保护，保证了系统在噪声条件下的良好性能。内置的软启动电路确保了不会出现浪涌电流和输出电压过冲。

高速隔离数据通道使用简单的开关键控(OOK)调制解调方案。由 SiO_2 构成的高压隔离电容为不同的电压域之间提供可靠的绝缘屏障，并提供可靠的高频信号传输路径；为了保证稳定的数据传输质量。发射机(TX)将输入信号调制到载波频率上，即 TX 在一个输入状态下通过隔离电容传递高频信号，而在另一个输入状态下无信号通过隔离电容，然后接收机根据检测到的带内数据重建输入信号。这个架构为隔离的不同电压域之间提供了可靠的数据传输路径，在启动时不需要考虑初始化。全差分的隔离电容架构可以最大限度地提高信号共模瞬态抗干扰能力。与电感耦合结构相比，电容耦合结构提供了更高的电磁抗扰性。图 11-2 和图 11-3 分别为单通道功能框图和调制方案的波形示意图。

11.2 功能框图

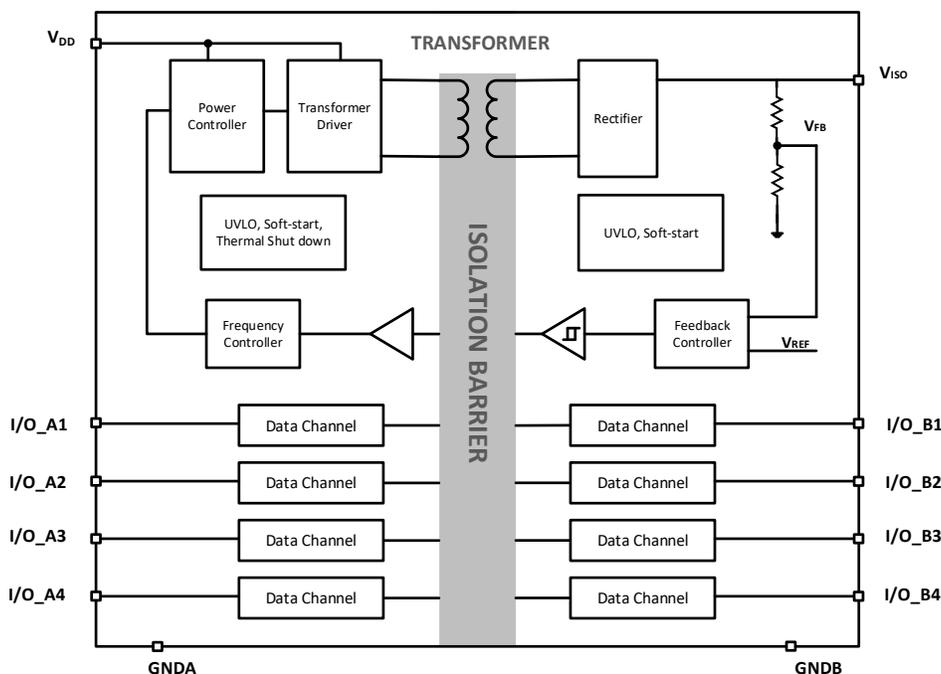


图 11-1 CA-IS36xx 系列功能框图

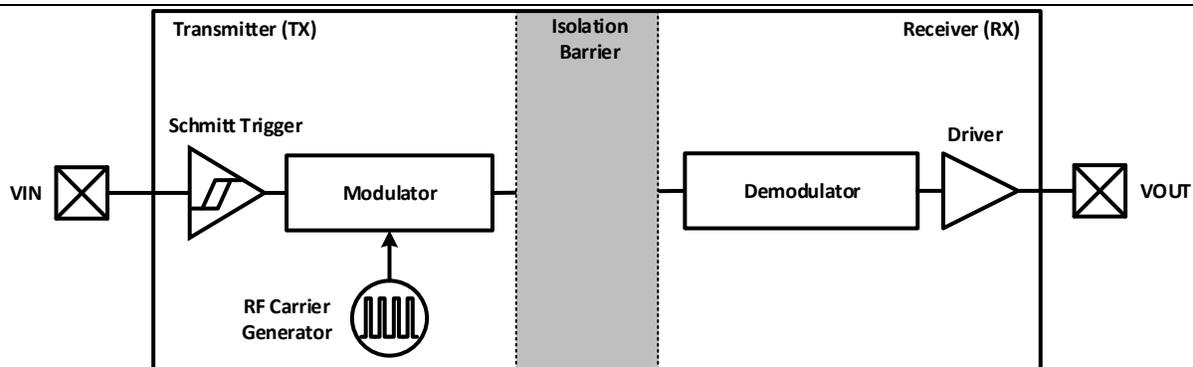


图 11-2 单通道功能框图

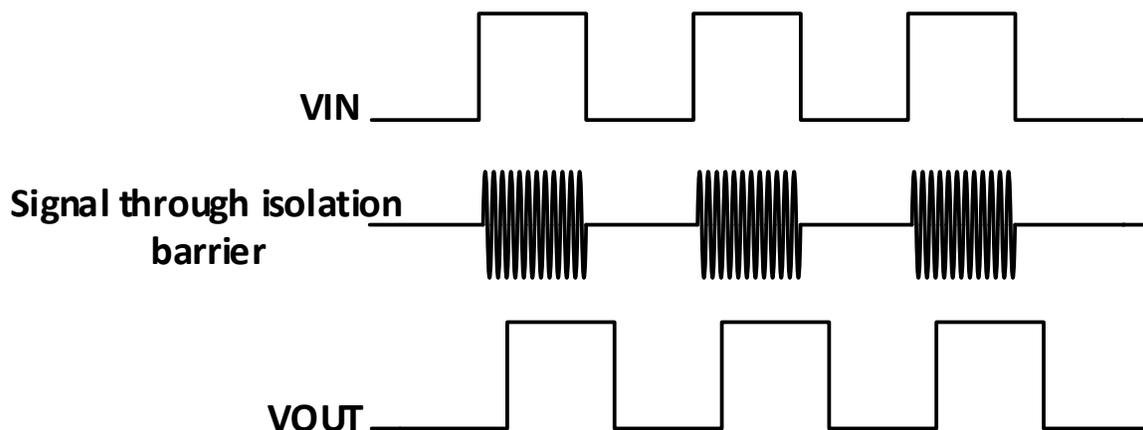


图 11-3 单通道波形示意图

11.3 芯片工作模式

表 11-1 为 CA-IS36xx 输出电压真值表。

表 11-1 输出电压真值表¹

SEL 脚输入	V _{DD}	V _{ISO}
短路到 V _{ISO} 脚	5 V	5 V
短路到 GNDB 脚 或浮空	5 V	3.3 V
短路到 GNDB 脚 或浮空	3.3 V ¹	3.3 V ²

备注:

1. V_{DD} = 3.3 V, SEL 管脚连接到 V_{ISO} 管脚 (V_{ISO} = 5 V) 是不推荐的工作方式。
2. SEL 管脚内部弱下拉, 对于 V_{ISO} = 3.3 V, 在较强噪声系统应用场景中, SEL 管脚应该直接接到 GNDB。

表 11-2 为 CA-IS36xx 工作模式真值表。

表 11-2 工作模式真值表¹

V _{DD}	输入(V _{Ix}) ²	输出 (V _{Ox})	模式
PU	H	H	正常运行模式： 通道的输出跟随通道输入状态
	L	L	
	Open	Default	默认输出故障安全模式： 如果通道的输入保持断开状态，则其输出将变为默认电平（CA-IS36xxL 系列为低，CA-IS36xxH 系列为高）
PD	X	待定	

备注：

1. PU = 上电 (V_{DD} > 2.9V); PD = 断电 (V_{DD} < 2.0 V); X = 无关; H = 高电平; L = 低电平; Z = 高阻抗。
2. 当电源电压 V_{DD} < 2.0 V 时，输出状态不确定。

表 11-3 为 CA-IS362x 输入使能真值表。

表 11-3 输入使能真值表¹

芯片型号	ENA ²	模式
CA-IS3621	H	输出 VO2 使能且跟随输入状态
	L	输出 VO2 禁用 并且处于高阻状态 ³
CA-IS3622	H	输出 VO1/ VO2 使能且跟随输入状态
	L	输出 VO1 / VO2 禁用 并且处于高阻状态 ³

备注：

1. H = 高电平; L = 低电平
2. 使能输入 ENA 可用于多路复用，或其他输出控制。图 11-3 总结了每个隔离器产品的 ENA 真值表。这些输入被内部拉到 V_{DD} 电源，从而允许它们连接到外部逻辑电平(高或低)或保持浮动。为了最小化噪声耦合，如果 ENA 是浮空的，不要连接电路走线。如果 ENA 未使用，建议将其连接到外部逻辑级别，特别是当 CA-IS362x 在噪声环境中应用时。
3. 当相应的使能信号悬空或者被拉高时，如果通道的输入处于悬空状态，它将输出默认电平，CA-IS36xxL 为低电平，CA-IS36xxH 为高电平。

12 典型应用

这些芯片只需要外部接上旁路电容就可以工作。这些低 ESR 的陶瓷旁路电容须放置在尽可能靠近芯片管脚的位置。图 12-1 显示了 CA-IS3642 芯片的典型应用。图 12-2 显示了使用 CA-IS3641 设备进行 SPI 隔离的典型应用图。

建议隔离电源输入和输出使用 $10\mu\text{F}$ 和 $0.1\mu\text{F}$ 电容，且在 V_{iso} 启动阶段不要传输任何信号。如果由于特殊原因无法使用 $10\mu\text{F}$ 电容时，该电容值不得低于 $4.7\mu\text{F}$ 。布线时， $0.1\mu\text{F}$ 电容靠近芯片引脚摆放，距离控制在 2mm 以内。

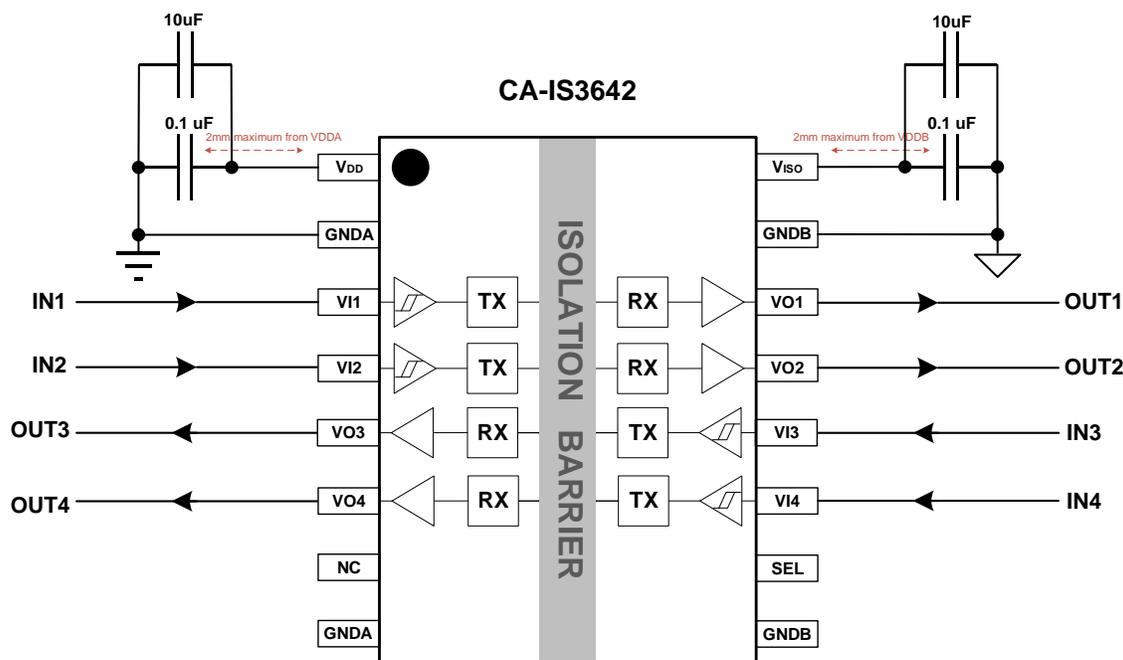


图 12-1 CA-IS3642 典型应用电路

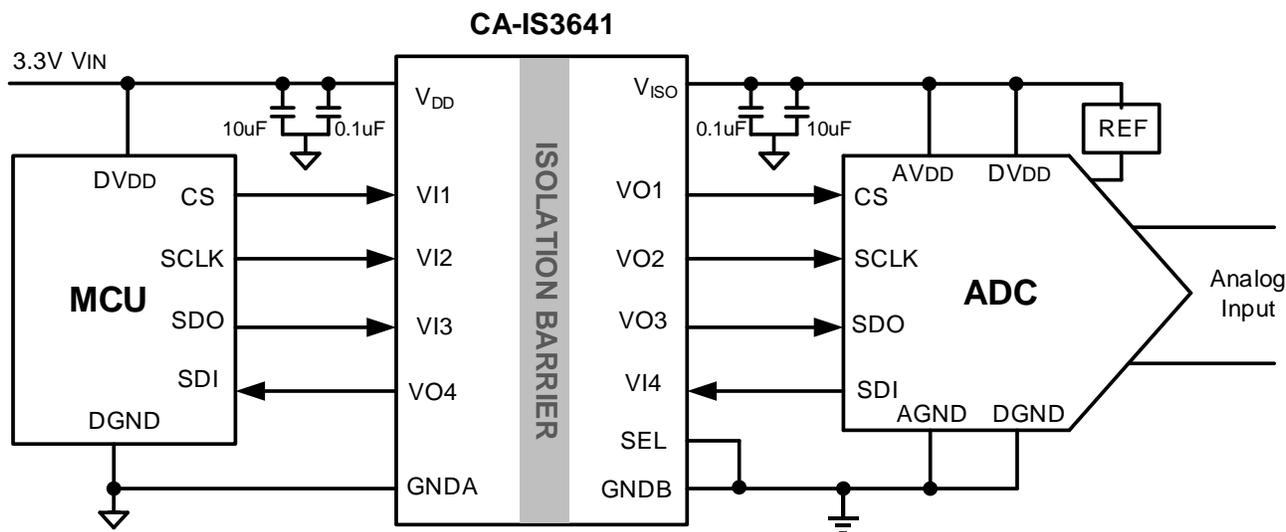
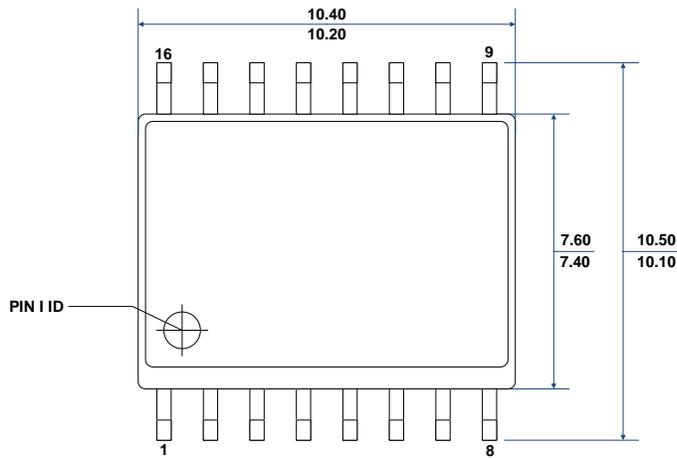


图 12-2 用 CA-IS3641 实现 ADC 传感的隔离电源和 SPI 应用电路

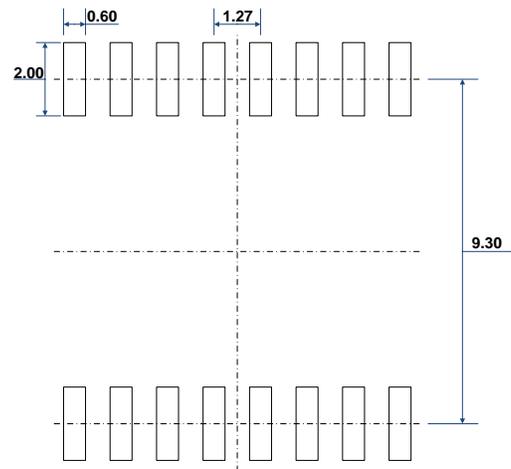
13 封装信息

13.1 16 脚的宽体 SOIC 封装

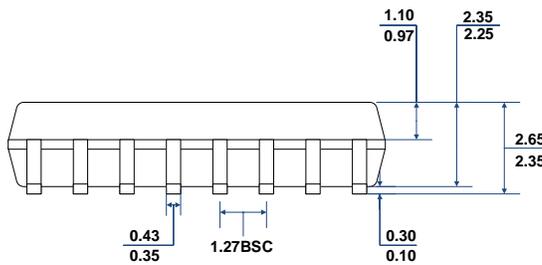
下图说明了 CA-IS36xx 系列数字隔离器采用的 SOIC-16WB 宽体封装大小尺寸图和建议焊盘尺寸图，尺寸以毫米为单位。



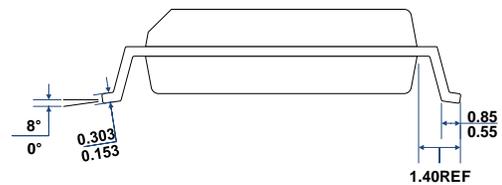
TOP VIEW



RECOMMENDED LAND PATTERN



FRONT VIEW



LEFT-SIDE VIEW

14 焊接信息:

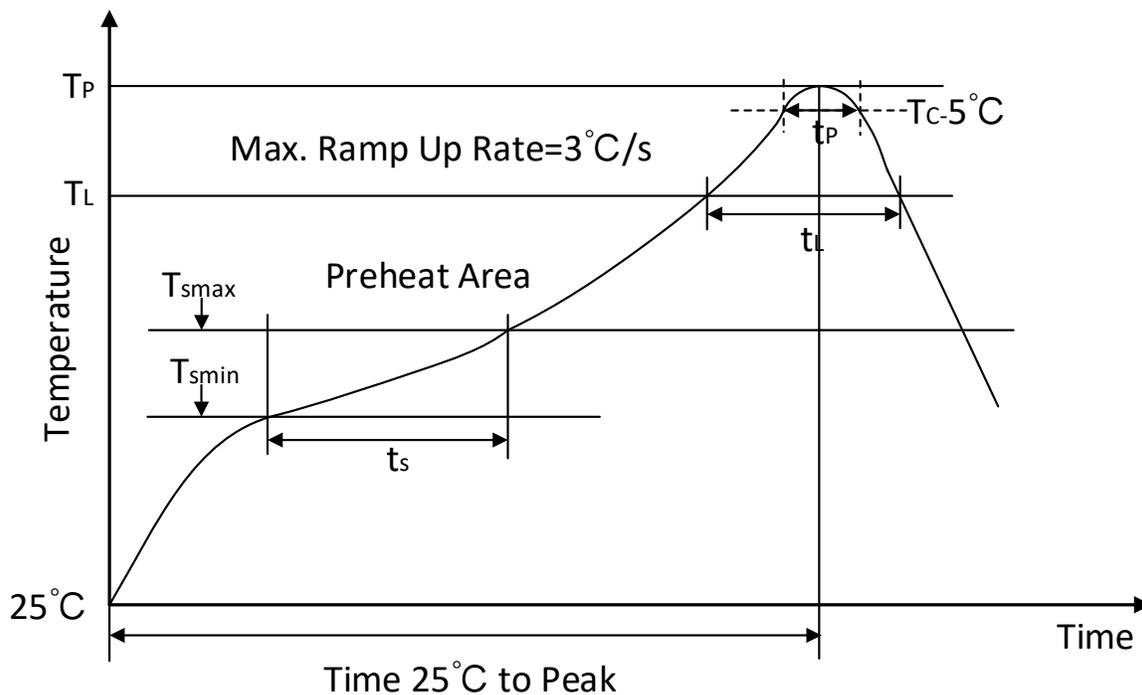


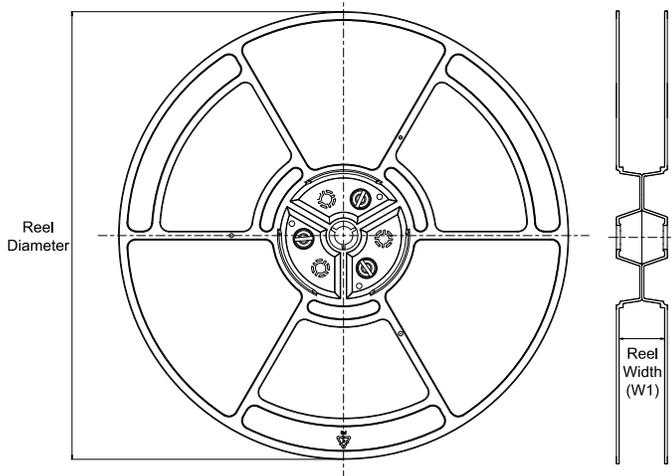
图 13- 1 焊接温度曲线

表 13- 1 焊接温度参数

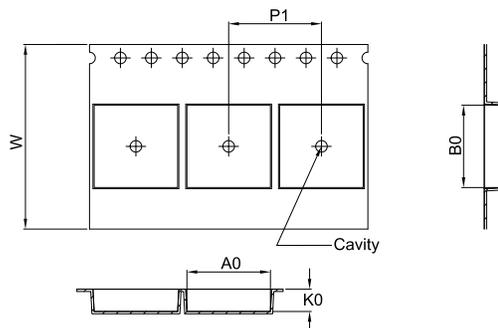
Profile Feature	Pb-Free Assembly
Average ramp-up rate(217 °C to Peak)	3°C/second max
Time of Preheat temp(from 150 °C to 200 °C)	60-120 second
Time to be maintained above 217 °C	60-150 second
Peak temperature	260 +5/-0 °C
Time within 5 °C of actual peak temp	30 second
Ramp-down rate	6 °C/second max.
Time from 25°C to peak temp	8 minutes m

15 编带信息

REEL DIMENSIONS

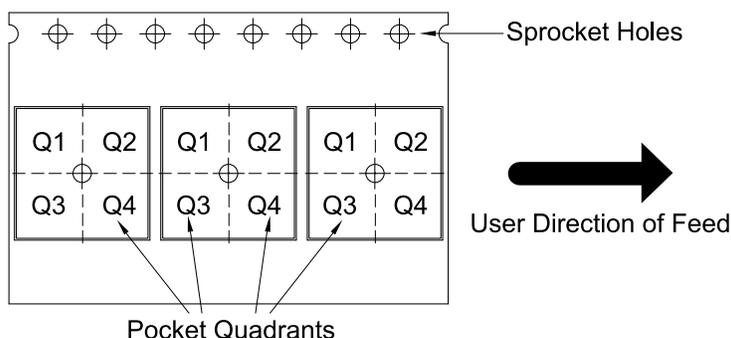


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CA-IS3620LW	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1
CA-IS3620HW	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1
CA-IS3621LW	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1
CA-IS3621HW	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1
CA-IS3622LW	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1
CA-IS3622HW	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1
CA-IS3640LW	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1
CA-IS3640HW	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1
CA-IS3641LW	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1
CA-IS3641HW	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1
CA-IS3642LW	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1
CA-IS3642HW	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1
CA-IS3643LW	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1
CA-IS3643HW	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1
CA-IS3644LW	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1
CA-IS3644HW	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1

16 重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用。除此之外不得复制或展示所述资源，如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，Chipanalog 对此概不负责。

商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。



<http://www.chipanalog.com>