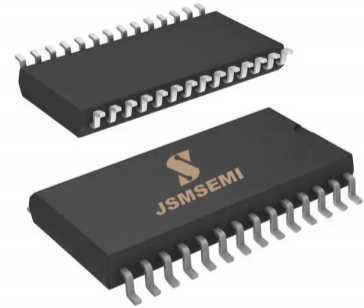


1 产品概述

JSM2136S是 N 型高压、高速功率 MOSFET/IGBT 高低侧三相栅极驱动芯片，包含三路独立的半桥驱动电路。内部集成了欠压保护和过流保护功能，出现异常时立即关断六通道输出。提供外部使能控制可同时关断六通道输出。通过连接到 RCIN 输入的 RC 网络在外部编程延时后，过电流故障情况自动清除。逻辑输入电平兼容低至 3.3V 的 CMOS 或 LSTTL 逻辑输出电平，其浮地通道最高工作电压可达 700V。可用于驱动 N 沟道高压功率 MOSFET/IGBT 等器件。

JSM2136S采用SOP-28宽体封装，可以在-40 至125温度范围内工作。



2 产品特性

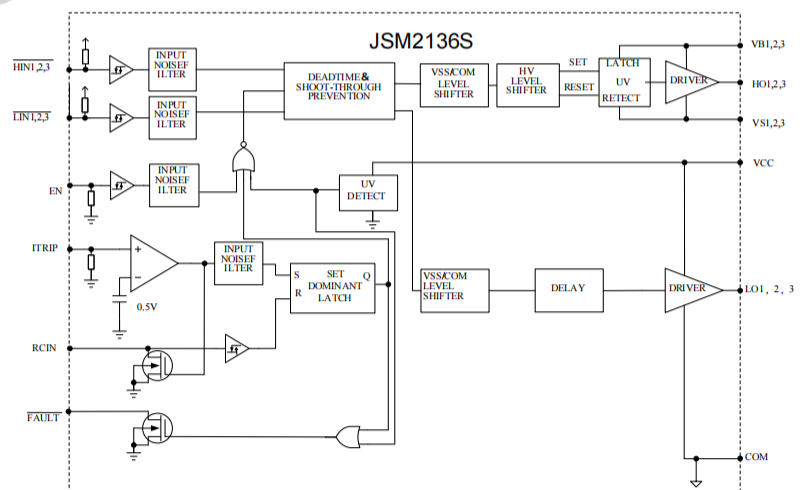
- 自举工作的浮动通道
- 最高工作电压为 700 V
- 兼容 3.3 V 输入逻辑
- dV/dt 耐受能力可达±50 V/nsec
- Vs 负压耐受能力达-9V
- 栅极驱动电压：10 V 到 20V
- 集成先进的输入滤波功能
- 所有传输通道输入边沿触发
- 所有通道都受欠压锁定电路保护
- 防直通死区逻辑
- 过流关断全部六个通道
- 外部编程故障清除时间独立的三路半桥驱动电路
- 有通道延时匹配
- 符合 RoSH 标准

SOP-28

3 应用范围

- 电机控制
- 空调/洗衣机
- 通用逆变器
- 微型逆变器驱动

简化示意图



4 引脚功能描述

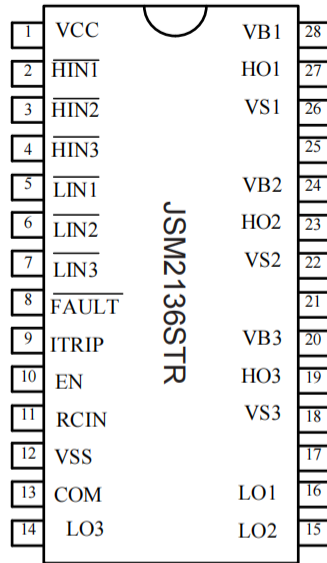


图4-1 SOP-28顶视图

表4-1 芯片引脚描述

编号	名称	功能
1	VCC	低端电源电压
2	HIN1	第一相高侧输入（负逻辑）
3	HIN2	第二相高侧输入（负逻辑）
4	HIN3	第三相高侧输入（负逻辑）
5	LIN1	第一相高侧输入（负逻辑）
6	LIN2	第二相高侧输入（负逻辑）
7	LIN3	第三相高侧输入（负逻辑）
8	FAULT	过流或者低端欠压闭锁的故障指示（负逻辑）
9	ITRIP	过流保护输入端
10	EN	使能端
11	RCIN	外接 RC 元件，定时故障清除时间
12	VSS	逻辑地
13	COM	低端栅极驱动公共端
14	LO3	第三相低侧输出
15	LO2	第二相低侧输出
16	LO1	第一相低侧输出
18	VS3	第三相高侧浮动地
19	HO3	第三相高侧输出
20	VB3	第三相高侧浮动电源
22	VS2	第二相高侧浮动地
23	HO2	第二相高侧输出
24	VB2	第二相高侧浮动电源
26	VS1	第一相高侧浮动地
27	HO1	第一相高侧输出
28	VB1	第一相高侧浮动电源

5 产品规格

5.1 极限工作范围

为了正确地操作，器件应当在以下推荐条件下使用。无特殊说明的情况下，所有电压参数的额定值是以 COM 为参考的，电流参数以流入端口为正，环境温度为 25°C。

符号	定义	最小值	最大值	单位
$V_{B1,2,3}$	高侧浮动电源电压	-0.3	725	V
$V_{S1,2,3}$	高侧浮动地电压	$V_B - 25$	$V_B + 0.3$	
$V_{HO1,2,3}$	高侧输出电压	$V_S - 0.3$	$V_B + 0.3$	
V_{CC}	低侧供电电压	-0.3	25	
$V_{LO1,2,3}$	低侧输出电压	-0.3	$V_{CC} + 0.3$	
V_{IN}	逻辑输入电压 ($\overline{HIN}_{1,2,3}$ & $\overline{LIN}_{1,2,3}$ &EN)	-0.3	$V_{CC} + 0.3$	
V_{SS}	逻辑地电压	$V_{CC} - 25$	$V_{CC} + 0.3$	
V_{RCIN}	RCIN 端电压	V_{SS}	V_{CC}	
V_{FAULT}	\overline{FAULT} 端电压	V_{SS}	V_{CC}	
dV_s/dt	允许电源瞬态电压	—	50	V/ns

5.2 ESD 额定值

符号	定义	最小值	最大值	单位
ESD	人体放电模式	2	—	kV
	机器放电模式	500	—	V

5.3 额定功率

符号	定义	最小值	最大值	单位
P_D	封装功率 ($T_A \leq 25^\circ\text{C}$)	—	0.625	W

5.4 热量信息

符号	定义	最小值	最大值	单位
R_{thJA}	结到环境的热阻	—	200	$^\circ\text{C}/\text{W}$
T_J	结温	—	150	$^\circ\text{C}$
T_S	存储温度	-55	150	
T_L	引脚温度	—	300	

5.5 推荐工作范围

为了正确地操作，器件应当在以下推荐条件下使用。无特殊说明的情况下，所有电压参数的额定值是以 COM 为参考的，电流参数以流入端口为正，环境温度为 25°C。

符号	定义	最小值	最大值	单位
$V_{B1,2,3}$	高侧浮动电源电压	$V_S + 10$	$V_S + 20$	V
$V_{S1,2,3}$	高侧浮动地电压	-9	700	
$V_{HO1,2,3}$	高侧输出电压	$V_{S1,2,3}$	$V_{B,1,2,3}$	
V_{CC}	低侧供电电压	10	20	
$V_{LO1,2,3}$	低侧输出电压	0	V_{CC}	
V_{IN}	逻辑输入电压 ($\overline{HIN}_{1,2,3}$ & $\overline{LIN}_{1,2,3}$ & EN)	0	V_{CC}	
V_{SS}	逻辑地电压	-5	5	
V_{RCIN}	RCIN 端电压	V_{SS}	V_{CC}	
V_{FAULT}	\overline{FAULT} 端电压	V_{SS}	V_{CC}	
T_A	环境温度	-40	125	

5.6 电气特性

无特殊情况说明的情况下 $T_A = 25^\circ\text{C}$, $V_{CC} = V_B = 15\text{V}$, $C_L = 1\text{nF}$ 。

5.6.1 动态参数特性

符号	定义	最小值	典型值	最大值	单位	
t_{ON}	开通传输延时	350	500	750	ns	
t_{OFF}	关断传输延时	350	500	750		
t_R	开启上升时间	—	60	130		
t_F	关闭下降时间	—	40	90		
t_{EN}	使能关断延时	250	400	520		
t_{ITRIP}	ITRIP 过流保护延时	350	470	590		
t_{bl}	ITRIP 前沿消隐时间	—	400	—		
t_{FLT}	ITRIP 到 \overline{FAULT} 传输延迟时间	400	625	950		
t_{FLTIN}	输入滤波时间	负脉冲	250	350		—
		正脉冲	250	350		—
$t_{filterEN}$	使能输入滤波时间	170	250	—		
DT	死区时间	190	290	420		
MT	延迟匹配时间(t_{ON} , t_{OFF})	—	—	50		
MDT	死区时间匹配时间	—	—	60		
PM	脉冲宽度匹配	—	—	75		
t_{FLTCLR}	RCIN 重置时间 RCIN: R = 2 MΩ, C = 1nF	1.3	1.6	2		ms

5.6.2 静态参数特性

符号	定义	最小值	典型值	最大值	单位
V_{IH}	高电平输入阈值电压	2.5	—	—	V
V_{IL}	低电平输入阈值电压	—	—	0.8	
$V_{EN,TH+}$	使能输入正向阈值电压	—	—	2.5	
$V_{EN,TH-}$	使能输入负向阈值电压	0.8	—	—	
$V_{IT,TH+}$	ITRIP 输入正向阈值电压	0.37	0.46	0.55	
$V_{IT,HYS}$	ITRIP 输入迟滞电压	—	0.06	—	
$V_{RCIN,TH+}$	RCIN 输入正向阈值电压	—	8	—	
$V_{RCIN,HYS}$	RCIN 输入迟滞	—	3	—	
V_{OH}	电源与输出高电平之差	—	—	0.3	
V_{OL}	输出低电平与地之差	—	—	0.3	
V_{CCUV+}	V_{CC} 欠压正向阈值	8.2	8.9	9.6	
V_{CCUV-}	V_{CC} 欠压负向阈值	—	8.2	—	
$V_{CCUVHYS}$	V_{CC} 欠压迟滞	—	0.7	—	
V_{BSUV+}	V_{BS} 欠压正向阈值	8.2	8.9	9.6	
V_{BSUV-}	V_{BS} 欠压负向阈值	—	8.2	—	
$V_{BSUVHYS}$	V_{BS} 欠压迟滞	—	0.7	—	
$V_{IN,CLAMP}$	输入钳位电压	5.5	6	6.55	
I_{LK}	高侧浮动电源泄漏电流	—	—	50	μA
I_{QBS}	V_{BS} 静态电流	—	60	150	
I_{QCC}	V_{CC} 静态电流	—	160	250	
I_{IN+}	逻辑“1”输入偏置电流	—	12	50	μA
I_{IN-}	逻辑“0”输入偏置电流	—	120	240	
I_{ITRIP+}	ITRIP 端逻辑“1”输入偏置电流	—	6	15	
I_{ITRIP-}	ITRIP 端逻辑“0”输入偏置电流	—	—	1	
I_{EN+}	EN 端逻辑“1”输入偏置电流	—	6	15	
I_{EN-}	EN 端逻辑“0”输入偏置电流	—	—	1	
I_{RCIN}	RCIN 端输入偏置电流	—	—	1	
I_{O+}	输出高短路脉冲电流	120	210	—	mA
I_{O-}	输出低短路脉冲电流	250	350	—	
R_{on_RCIN}	RCIN 低通电阻	—	30	80	Ω
R_{on_FAULT}	FAULT 低通电阻	—	30	80	

6 功能描述

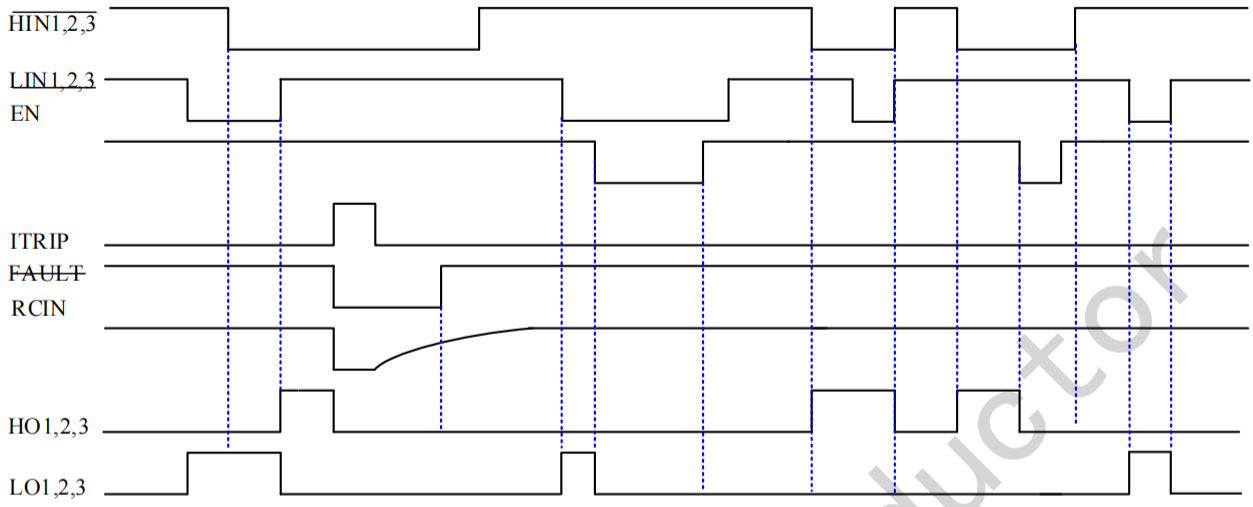


图6-1输入输出时序波形

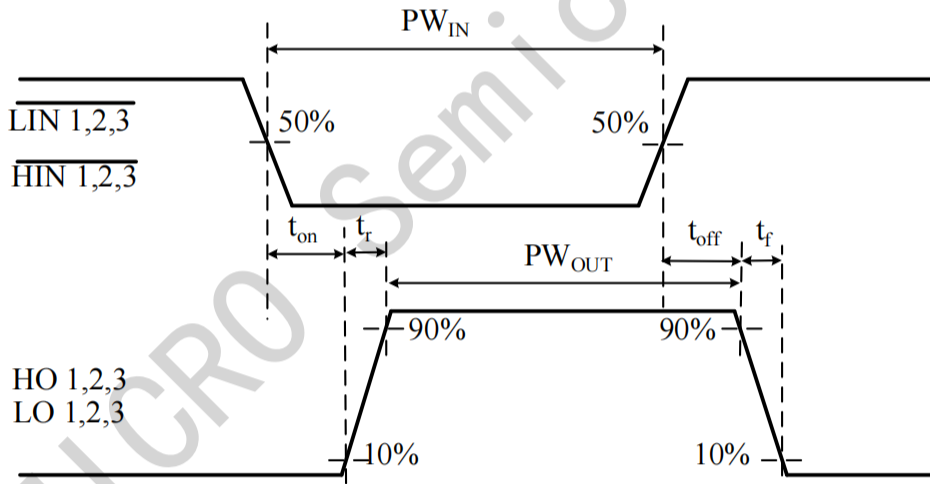


图6-2传输时间波形定义

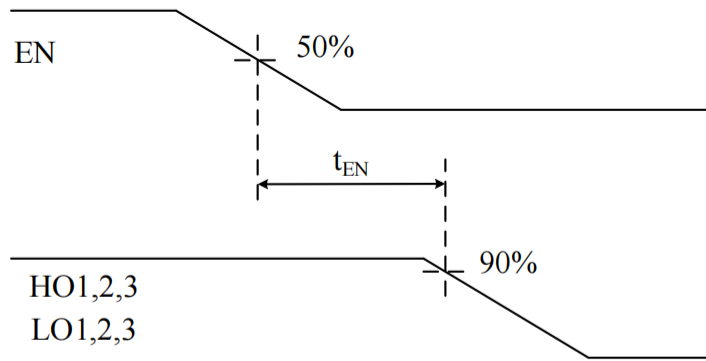


图6-3使能功能波形定义

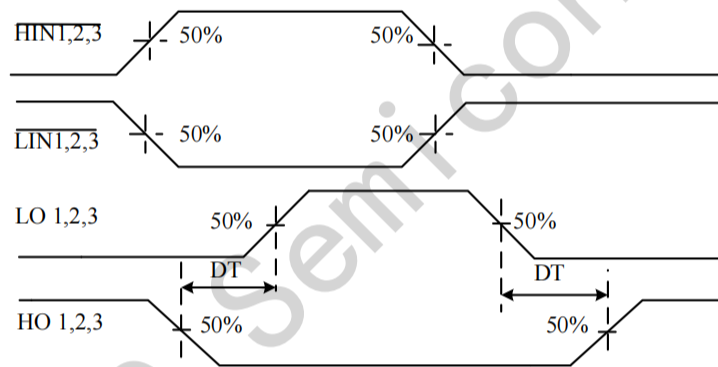


图6-4开关时间波形定义

7 JSM2136S说明

7.1 概览

JSM2136S是 N 型高压、高速功率 MOSFET/IGBT 高低侧三相栅极驱动芯片，包含三路独立的半桥驱动电路。三路高侧浮动驱动，通过自举电路可以工作于 700V 以上电压的系统，在 VB-VS 电压高于欠压阈值的条件下，可以实现 100%的占空比。

JSM2136S输入端集成有滤波功能，当输入信号发生抖动或者输入脉宽小于滤波时间时，输出信号将保持不变。同时输入兼容 CMOS 和 TTL，更易于连接到主控芯片。

JSM2136S包含了多种保护功能，包括 EN 使能控制，内部互锁与过流检测功能。EN 使能端口为低电平信号时，驱动芯片在任何条件下均不触发输出。内部互锁功能使得驱动芯片不会同时在 HO 与 LO 输出高电平信号，避免了桥式电路功率输出端的直通短路。过流检测可以快速检测到功率器件的电流变化情况，使应用工作在稳定状态。

同时，为了满足各种工业设计需求，JSM2136S设计了可调节时间的重启端口，通过 RC回路的参数选择，可以在一定的宽度内自由选择重启时间。

7.2 功能框图

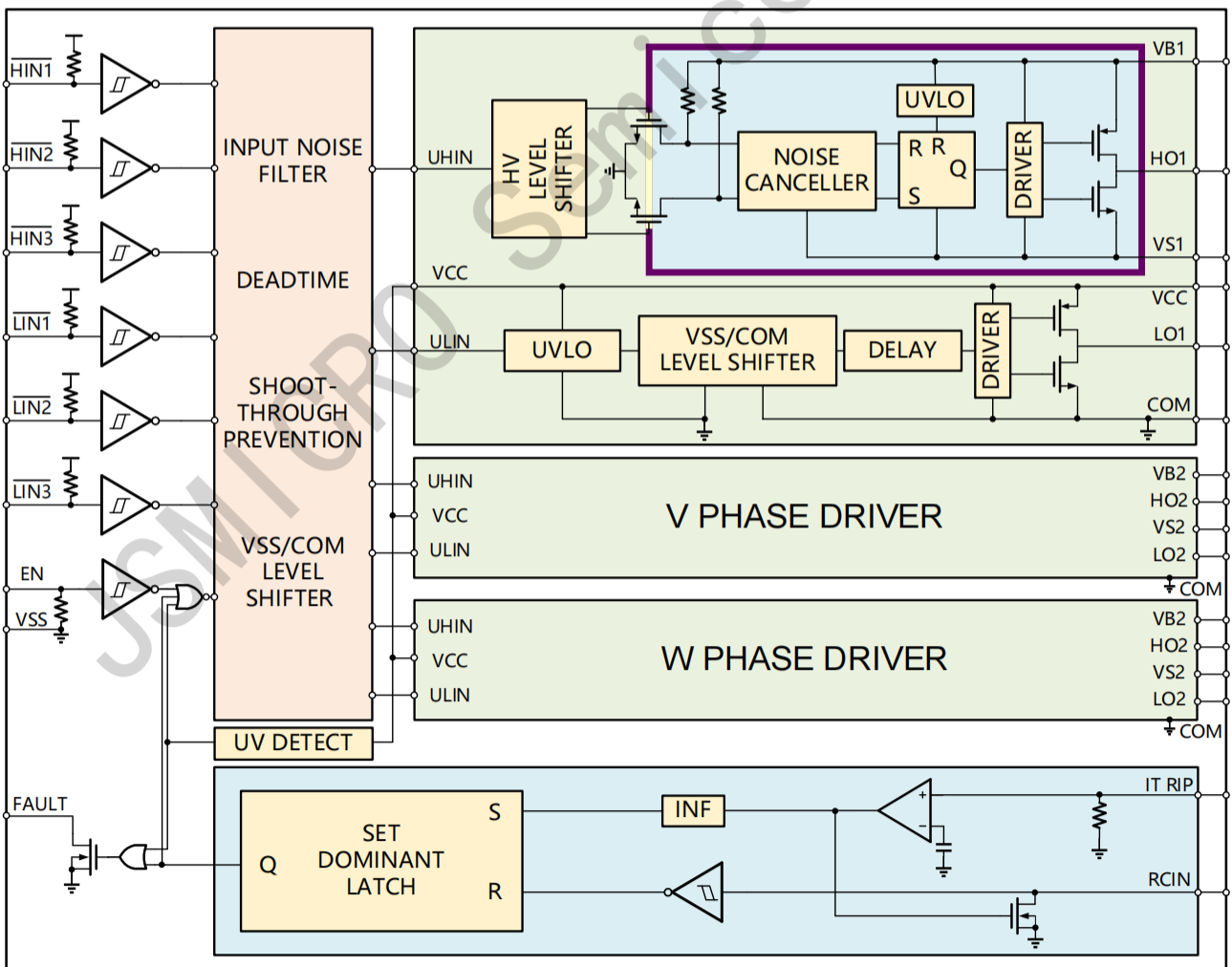


图7-1 JSM2136S功能框图

7.3 芯片工作逻辑

JSM2136S的信号输入端口（HIN/、LIN/）采用的是边沿触发模式，当芯片上电后，各个保护端口的状态正常时，只有输入带边沿的信号，输出才会响应。EN、ITRIP 和 RCIN 端口均采用电平触发模式，即电压值符合逻辑要求，芯片即可正常工作，如表7-1所示。

表 7-1 输入输出逻辑表

INPUT					OUTPUT	
SIGNAL		SENSE			HO	LO
HIN/	LIN/	EN	ITRIP	RCIN		
X	X	L	X	X	L	L
P	P	H	L	H	L	L
P	N	H	L	H	L	H
N	P	H	L	H	H	L
N	N	H	L	H	L	L
X	X	H	H	L	L	L
X	X	H	L	L	L	L

注：P 代表信号的上升沿；N 代表信号的下降沿；H 代表高电平；L 代表低电平

7.4 信号输入端口

JSM2136S包含有三路独立的半桥信号输入端口用于接收来自主控的控制信号，不互相干扰。每路半桥的高侧与低侧之间有互锁功能，保证同相位高侧与低侧的输出不会同时为高电平。且高侧与低侧信号之间存在内置的死区时间，有效避免了输出信号重叠导致的严重故障。信号输入端口采用边沿触发的方式，因此在触发保护后，需要给出下一个触发沿信号，输出才会产生变化。每个信号输入端口均通过一个 40KΩ 的电阻上拉至内部基准 VDD，浮空时将被置为高电平输入。每个信号输入端口（包括 EN 使能端口）均包含有滤波功能，不会被低于滤波时间的脉冲触发，当包含滤波功能的端口输入信号发生变化时，其持续时间小于输入滤波时间，输出端口均不受到影响产生变化。当输入信号变化持续时间大于输入滤波时间，输出端口则随输入信号发生改变，并与其保持同等时间，如图 7-2 所示：

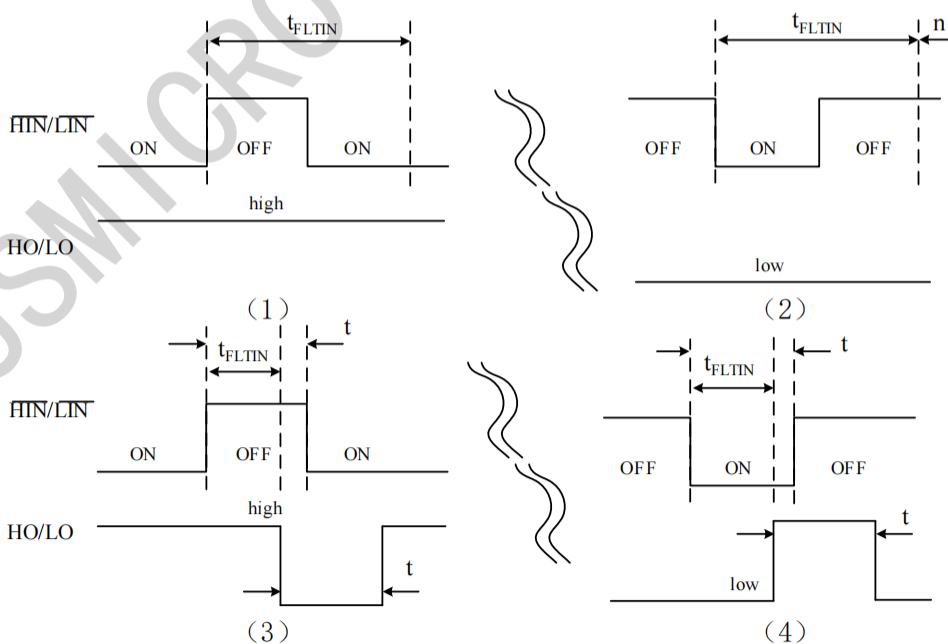


图 7-2 输入滤波波形定义

(1) 当输入正脉冲信号时，且该脉冲信号宽度小于滤波宽度 ($t < t_{FLTIN}$)，如图 7.2(1)所示。输出信号不发生变

化，持续为高电平；

(2) 当输入正脉冲信号时，且该脉冲信号宽度大于滤波宽度 ($t > t_{FLTIN}$)，如图 7.2(3) 所示。输出信号发生变化，触发一个持续时间为 t (同输入脉宽时间) 的低电平后恢复高电平；

(3) 当输入负脉冲信号时，且该脉冲信号宽度小于滤波宽度 ($t < t_{FLTIN}$)，如图 7.2(2) 所示。输出信号不发生变化，持续为低电平；

(4) 当输入负脉冲信号时，且该脉冲信号宽度大于滤波宽度 ($t > t_{FLTIN}$)，如图 7.2(4) 所示。输出信号发生变化，触发一个持续时间为 t (同输入脉宽时间) 的高电平后恢复低电平。

7.5 输出端口

输出端口内部为推挽结构，用于直接驱动功率器件 MOSFET/IGBT。低侧的输出端口参考地为 COM，高侧的输出端口参考地为 VS，其中 VS 为高压时，VB-VS 之间的电压域需要通过自举电路供电才能正常工作。VS 引脚具有一定的耐负脉冲能力，可以保证在 -9V，50ns 的脉冲条件下不发生损坏。

7.6 欠压保护功能

JSM2136S 的高压区和低压区驱动器均包含欠压保护电路，欠压保护电路可以监控电源电压 (VCC) 和自举电容电压 (VB - VS)，在电压足以驱动外部 MOSFET (达到相应预设阈值) 之前，UVLO 电路将抑制所有输出。所以，当 VCC 引脚的电压上升至超过 UVLO 阈值之前，所有输出端口都保持低电平。当自举电容电压 (VB - VS) 上升至超过 UVLO 阈值之前，仅禁用高侧输出 (HO)。当 VCC 的欠压保护功能被触发时欠压即 VCC 欠压时，芯片将返回 FAULT 引脚使其输出低电平，高侧自举电容电压 (VB - VS) 发生欠压时，不会在 FAULT 引脚端输出故障信号 (低电平)。

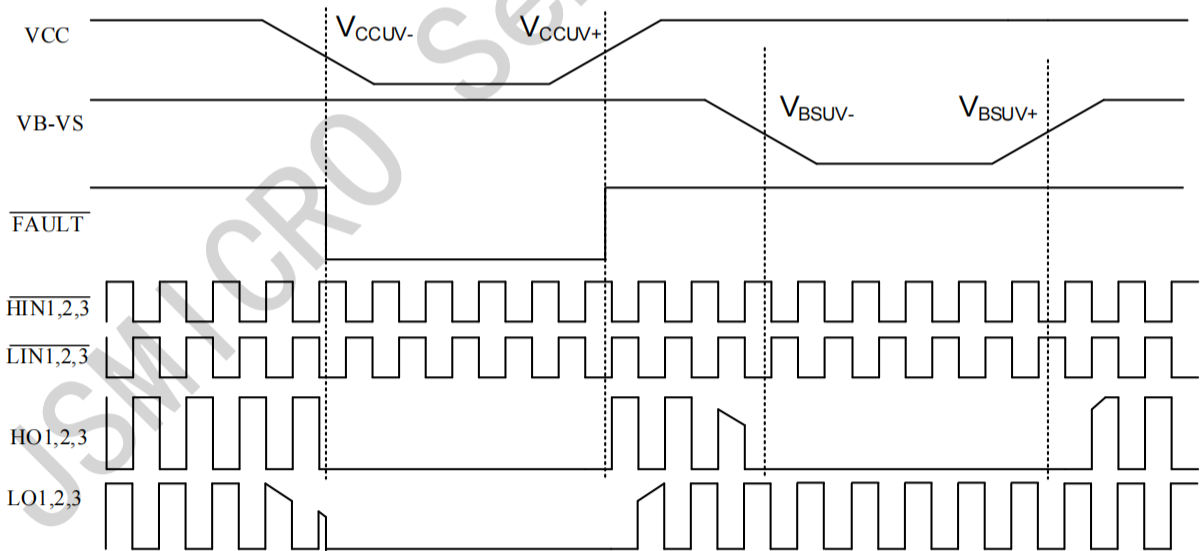


图7-3 欠压功能波形定义

如图 7-3 所示，当 VCC 发生欠压时，所有输出信号立刻变为低电平，当 VCC 的电压再次回升超过欠压阈值时，必须输入信号的有效边沿才能继续使能输出信号。当高侧自举电容电压 (VB - VS) 降低至欠压阈值以下时，高侧输出立刻变为低电平，LO 输出信号不受影响；当高侧自举电容电压 (VB - VS) 回升至欠压阈值以上时，高侧信号也需要输入信号的有效边沿才能使能输出。此外 JSM2136S 中内置了 UVLO 的阈值迟滞，上述电源电压下降触发欠压的阈值与电压回升芯片正常工作的阈值之间存在一定的迟滞量，可以防止电源电压发生波动时的输出异常波形。

7.7 EN 使能功能

JSM2136S的 EN 引脚至 VSS 引脚之间内置 $1M\Omega$ 的下拉电阻，因此，使 EN 引脚浮空会导致芯片无法正常输出。如果不使用 EN 功能，建议将其连接至 VCC 引脚。如果需要使用上拉电阻，则建议使用 $10K\Omega$ 电阻上拉至 VCC 引脚（如图 7-4）。在电磁噪声较大的环境中，建议使用 $1nf$ 电容将 EN 引脚连接至 VSS 引脚，并且电容尽可能地靠近 EN 引脚。EN 引脚内置有滤波功能，免受低于使能滤波时间的脉冲信号影响。

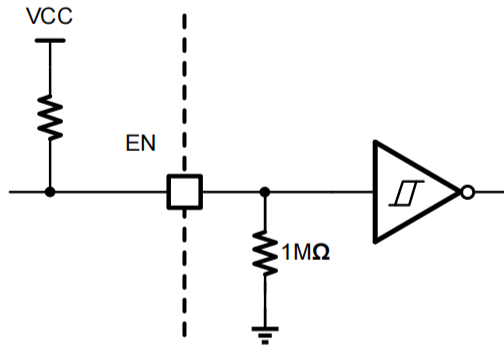


图 7-4 EN引脚框图

7.8 过流保护功能

JSM2136S的 ITRIP 引脚至 VSS 引脚之间内置 $1M\Omega$ 的下拉电阻，因此，在不使用过流保护功能时，可以将 ITRIP 引脚浮空或者连接至 VSS 引脚。ITRIP 引脚通过检测采样电阻上的电压，可用于监控 MOSFET/IGBT 的工作电流大小。如图 7-5 所示，当功率器件端发生短路或者过流现象时，ITRIP 电压上升至超过过流保护的阈值电压，并持续一段时间 t_{bl} 后，内部开关控制拉低 RCIN 引脚的电压，同时返回错误信号使 \overline{FAULT} 引脚输出低电平并关断所有信号传输通道，使得所有输出端口输出为低电平，起到有效保护应用设计的功能。RCIN 的引脚外置 RC 定时电路，用于编程故障恢复时间，外置电阻为外置电容充电，使 RCIN 引脚电压上升，当 RCIN 达到一定的阈值电压时，清除 \overline{FAULT} 引脚信号，置为高电平；此时电路做好正常工作的准备，等待下一个输入信号的有效边沿到来，使能输出信号。此外，内置的 ITRIP 迟滞可以防止功率器件的电流发生波动时输出异常波形。

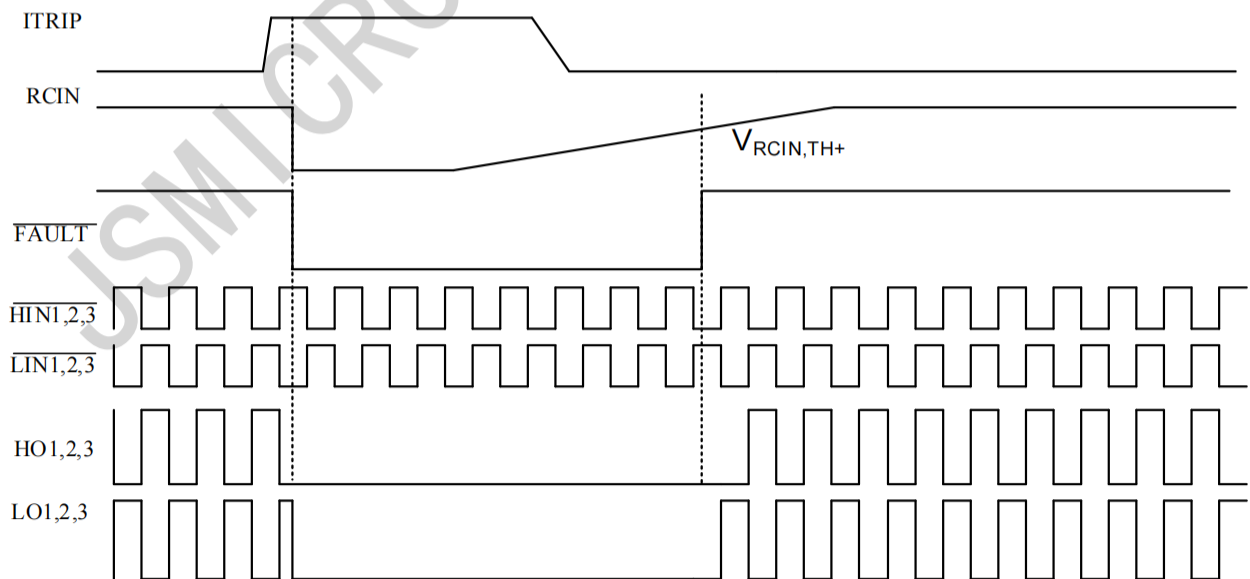


图 7-5 过流保护波形定义

RCIN 故障延时功能

当 ITRIP 电压上升至触发阈值时，该 MOS 开启使 RCIN 引脚电压变低，芯片关闭输出功能。当 ITRIP 引脚信号恢

复至阈值电压以下时，VCC 通过 R2（如图 7-6 所示）对 C1 进行充电，使 RCIN 引脚电压逐步上升，上升至阈值电压以上时，芯片恢复输出功能。

此处建议，使用时将 R2 电阻设置为 2MΩ，设计以需要 1.6ms 的延时为例

$$C = \frac{t}{R * \ln\left(\frac{V_{CC}}{V_{CC} - V_{TH}}\right)}$$

$$C = \frac{1.6ms}{1M\Omega * \ln\left(\frac{15V}{15V - 8V}\right)} = 1.05nF$$

得出此处 C1 值约为 1.05nf，综合考虑可能存在的漏电情况，可将该值适当减小。

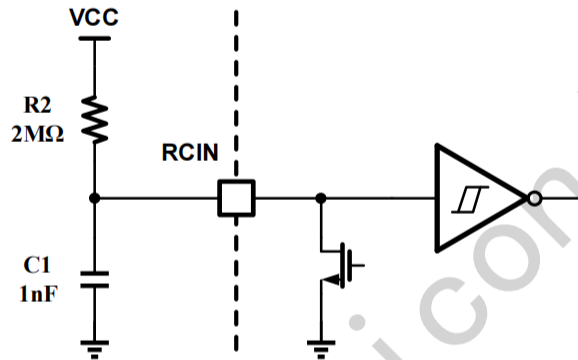


图 7-6 RCIN引脚框图

7.9 典型应用电路

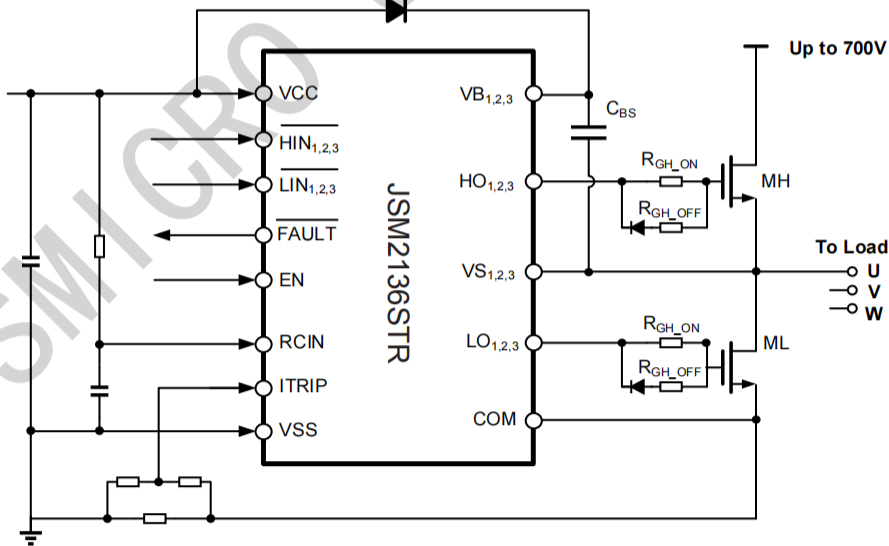


图 7-7 典型应用电路图

7.9.1 自举电路设计指南

一般半桥电路中的结构如图 7-8所示，包含有自举电阻，自举二极管和自举电容这三部分。这种方案是当前电机驱动中最常用的且性价比最高的方案。

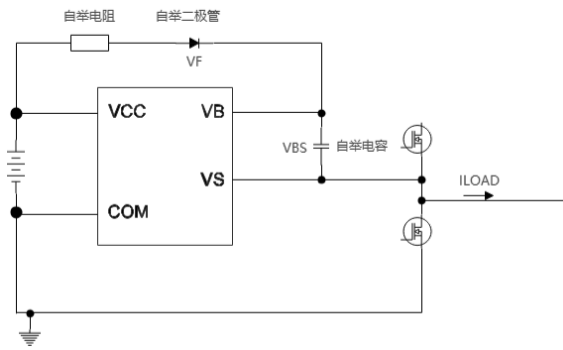


图 7-8 自举电路基本结构

自举电路电容选择

为了确定自举电容的大小，我们首先需要评估以下几点：

- MOS 开启所需要的栅极电荷 Q_g ;
- MOS 的 GS 漏电 I_{LK_GS} ;
- 驱动的静态工作电流 I_{QBS} ;
- 自举二极管的漏电 I_{LK_DIODE} ;
- 自举电容漏电 I_{LK_CAP} ;
- 上桥置高时间 T_{HON} .

当自举电容使用电解电容时 I_{LK_CAP} 才会纳入计算值，其他类型的电容均不需要考虑。这里推荐至少使用一颗低 ESR 的陶瓷电容，并联电解电容和低 ESR 陶瓷电容可以实现更好的电路工作特性。

通过计算，我们能得出一次开启所需损耗的电容值：

$$Q_{TOT} = Q_G + (I_{LK_GS} + I_{QBS} + I_{LK_DIODE} + I_{LK_CAP}) \times T_{HON}$$

在自举过程中，VBS 可以下降的范围 ΔV_{BS}

$$\Delta V_{BS} \leq V_{CC} - V_F - V_{GSmin} - V_{DSon}$$

在此过程中，需要保证：

$$V_{GSmin} > V_{BSUV-}$$

V_F MOS 的反向导管压降

V_{GSmin} 保持 MOS 管导通的最小栅极电压

V_{DSon} 下桥 MOS 的导通压降

用以上结果，可以计算得出：

$$C_{BOOTmin} = \frac{Q_{TOT}}{\Delta V_{BS}}$$

注意：此处计算自举电容的过程中，仅仅计算了一次脉冲过程所需的电荷量，没有考虑 PWM 的占空比与频率等问题。如果是使用 PWM 波控制的信号，请以上述计算方式为基础，经过一定的等效换算得到其实际所需要的自举电容大小。

自举电路的注意事项

A. 自举电阻

自举电阻会在部分自举电路中使用，并不是必须元器件。在启动时 HO 与 LO 可能会发生异常跳变，此时增加

自举电阻，自举电阻会在自举电路启动时，限制从自举二极管经过的电流，能够非常有效地抑制一些不良信号，起到保护电路的功能。

B. 自举电容

在上桥臂长时间开启的电路设计中，使用电解电容作为自举电容的设计必须考虑 ESR。上桥臂长时间开启需要一个容值较大的自举电容，一般选用电解电容较多。但是电解电容有一定的内阻，会使自举电阻分压降低，无法实现其功能。此时并联一个低 ESR 的陶瓷电容，能够有效避免这种情况发生。

C. 自举二极管

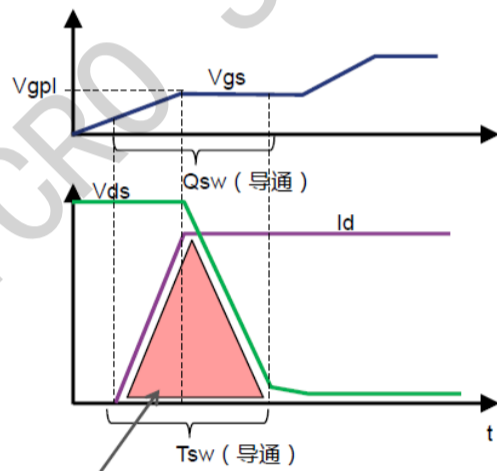
自举二极管用于维持自举电路的电压稳定，需要保证二极管的反向耐压能力大于驱动电源电压，并在此基础上尽可能地选择快恢复二极管，如肖特基二极管等。

7.9.2 选择栅极电阻

栅极电阻用于控制所驱动 MOS 的开关速度快慢和上升下降沿的斜率，会影响到应用上的多项性能，如损耗，可靠性等。本节会叙述如何选择驱动电阻，并对驱动电阻带来的影响进行讨论。栅极电阻的选择与所使用的驱动芯片、MOSFET 甚至电路设计息息相关，不同环境中均需要根据实际情况重新选择。

常见的工业无刷电机工作频率约 2kHz-10kHz，基于这一点，通常会选择阻值为 20Ω-120Ω 的栅极电阻。这是由以下两点所决定的：

(1) **MOS 的开关损耗**。MOS 的损耗一部分为开关损耗，另一部分为导通损耗，栅极电阻则主要影响了开关过程的损耗，阻值越大，开关过程越慢，电压电流的交叠区域越大，损耗也就越大。损耗过大最直接的影响就是会使芯片温度迅速上升，在高于 150℃ 的条件下则会使器件面临失效的风险。



$$P_{sw(on)} = \frac{1}{2} \times Id \times Vds \times T_{sw(on)}$$

图7-9阻性负载条件下的MOS开关损耗

(2) **可靠性**。与损耗相反，栅极电阻的阻值越小，MOSFET 的开关速度就会越快。在实际应用中，功率端电流较大，对寄生参数较为敏感，过高的开关速度会增加信号的不稳定性，轻则使电机的 EMI 过大，重则使电路发生损坏。其中最常见有：

- 1) 栅极信号振铃，导致 MOS 损坏（如图 7-10所示）；

2) dv/dt 过快, V_S 端口承受过高或者过低的电压信号, 导致驱动损坏。

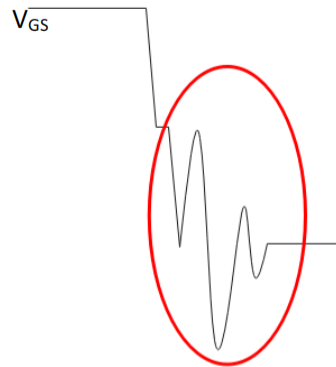


图7-10栅极振铃现象

7.10 PCB 布局指南

为实现半桥栅极驱动芯片的出色性能, 应遵循以下印刷电路板(PCB)布局布线指南。

- 应在靠近驱动芯片 V_{CC} 和 COM 引脚之间, 以及 V_B 和 V_S 引脚之间放置低 ESR/ESL 的电容, 用于提供 V_{CC} 和 V_B 引脚的高峰值电流。

- 为防止高侧 MOSFET 漏极出现大的电压瞬变, 必须在高侧 MOSFET 漏极和地(COM)之间连接一个低 ESR 电解电容和一个陶瓷电容。

- 为避免开关节点(V_S)引脚上出现过大的电压负瞬变, 必须尽可能减小高侧 MOSFET 源极和低侧 MOSFET (同步整流管) 源极之间的寄生电感。

- 应尽量避免 V_S 层与地(COM)层重叠, 以更大程度减少 V_S 层的开关噪声被耦合到接地层。

- 驱动芯片的散热焊盘应连接至大面积厚铜层, 从而提高驱动芯片的散热性能。散热焊盘通常连接至与芯片 COM 等电位的接地层, 建议仅将该散热焊盘连接至 COM 引脚。

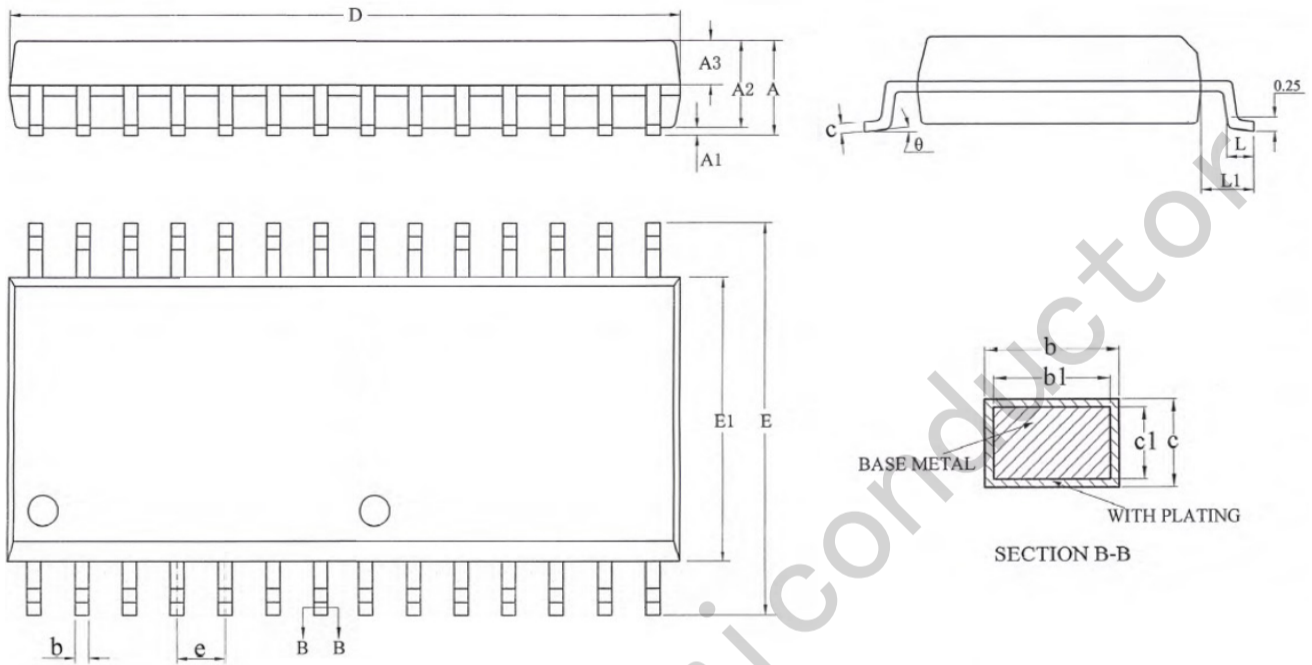
- 接地注意事项:

- 设计接地连接的首要目标是将 MOSFET 栅极充放电回路限制在尽量小的环路面积内。这种方式降低了环路电感, 能够有效避免 MOSFET 栅极上的噪声问题。同时, 栅极驱动芯片应尽量靠近 MOSFET。

- 第二个考虑因素是确保自举电容充电路径的合理性, 其中包括以地(COM)为基准的 V_{CC} 旁路电容、自举二极管、自举电容、和低侧 MOSFET 体二极管。由于 V_{CC} 旁路电容通过自举二极管逐周期对自举电容进行充电, 且每次充电发生在非常短的时间内, 因此该充电路径会通过峰值电流。尽可能减小 PCB 上自举电路的环路长度和面积, 可以使自举电路工作在稳定的状态, 这一点对于确保驱动芯片可靠运行至关重要。

8. 封装信息

SOP28 Package Outlines



SOP28 Package Dimensions

Size Symbol	MIN(mm)	TYP(mm)	MAX(mm)	Size Symbol	MIN(mm)	TYP(mm)	MAX(mm)
A	-	-	2.65	D	17.89	18.09	18.29
A1	0.10	-	0.30	E	10.10	10.30	10.50
A2	2.25	2.30	2.35	E1	7.30	7.50	7.70
A3	0.97	1.02	1.07	e	1.27BSC		
b	0.39	-	0.48	L	0.70	-	1.00
b1	0.38	0.41	0.43	L1	1.40BSC		
c	0.25	-	0.31	theta	0	-	8°
c1	0.24	0.25	0.26				