

功能特性

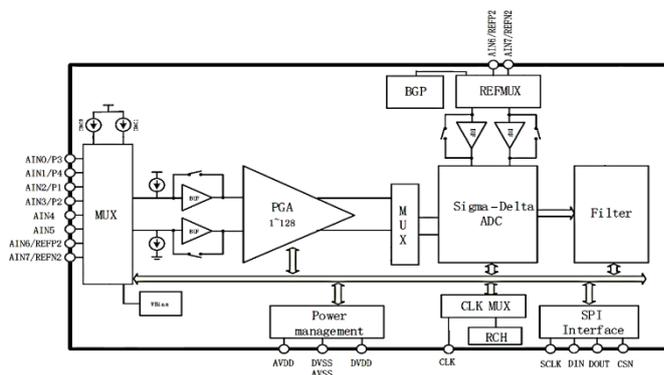
- 工作电压范围：2.8~5.5V
- 工作电流：
 - 性能工作模式：560uA
 - 正常工作模式：360uA
 - 低功耗工作模式：260uA
 - 睡眠模式：1uA
- 内置低噪声放大器：1~128 倍可灵活配置
- 6 信道信号输入：可作为 6 组单端信号输入，或 3 组差分信号输入
- 集成两路精确电流源和一路电压偏置电路：可配置到 6/8 个输入信号信道
- 24 位高精度低零漂 Sigma-Delta ADC
 - 支持 11 种降采样率：3.125Hz~6400Hz
 - 支持 50、60Hz 同步抑制
 - 支持 DC 偏差自校正
- 线性度 0.001%FS，24BIT有效位数
- 噪声水平：15nV/√Hz @ 128 倍 PGA
- 零漂：小于 1uV @ 64/128 倍 PGA
- 集成 2.4576MHz 内部高频 RC 时钟，批量频率偏差小于 1%，-40~85°C范围内温漂 1%
- 可由外部引脚输入时钟
- 内置高精度温度传感器，-40~85°C范围内温度偏差1度
- 系统功能
 - 支持软件全局复位； 支持上电自动复位
 - 支持低压报警 (3V)

- SPI 界面：
 - 支持标准 4 线或 3 线 SPI 界面
 - 支持最高 10MHz 通信时钟
 - 支持单一寄存器读写与多寄存器连续读写
 - 支持命令帧奇偶校验保护
 - 支持写入及读取操作的CRC校验保护
- 工作温度范围：-40~+105°C
- 存储温度范围：-40~+125°C
- 封装样式：TSSOP16

应用场合

- 工业仪器
- 电子秤
- 液体/气体化学分析
- 压力量测
- 温度量测
- 工业过程控采集

功能方块图



概述

CS5793 为一款 SPI 接口的 6/8 信道、24 位高精度 ADC 芯片，内置 1~128 倍可程序设计的低噪声仪表放大器、高精度 Sigma-Delta ADC，同时内部集成两路精准电流源、高性能温度传感器、10ppm/°C 的高精度基准电压源、偏置电压输出电路、精准内部 RC 时钟源。

ADC 实际有效精度 (ENOB)24BIT@1 倍 PGA，21.5BIT@64 倍 PGA，等效输入噪声低至 15nV/√Hz，零漂 1uV，零漂温度系数低于 10nV/°C。输出码率可配置为 3.125Hz 至 6400Hz。

可用于各类高性能温度传感器、分析天平、工业过程控制、直流/交流电能测量、仪器仪表等各类需要高精度和低零漂测量的应用场合。

目录 TABLE OF CONTENTS

功能特性	1	5 寄存器描述	20
功能方块图	1	5.1 寄存器地址	20
应用场合	1	5.2 OS_CHx/GAIN_CHx 寄存器	21
概述	1	5.3 CONV_CONFx 寄存器	21
修订追踪	2	5.4 SYS_CONFx 寄存器	23
1 电器规格特性	3	5.4.1 SYS_CONF0	23
1.1 极限参数	3	5.4.2 SYS_CONF1	25
1.2 工作参数	3	5.4.3 SYS_CONF2	26
1.3 ESD/LU 性能	3	5.4.4 SYS_CONF3	28
1.4 GPIO 参数	3	5.5 D_TARG 寄存器	29
1.5 ADC 性能指针	4	5.6 CONV_DATA 寄存器	29
1.5.1. 性能工作模式ADC 噪声和有效位	5	6 芯片校准	30
1.5.2. 正常工作模式ADC 噪声和有效位	6	6.1 校准概述	30
1.5.3. 低功耗工作模式ADC 噪声和有效位	7	6.2 Offset 自校准	30
2 芯片引脚	8	6.3 Offset 系统校准	30
2.1 引脚定义	8	6.4 Gain 系统校准	30
3 功能模块描述	9	6.5 正常转换时的数据校准	30
3.1 电源管理模块	9	7 ADC 测试图表	31
3.2 高频 RCH 时钟	9	7.1 性能工作模式下的噪声值	31
3.3 BGP 电路	9	7.2 正常工作模式下的噪声值	31
3.4 MUX 信号选择电路	10	7.3 低功耗工作模式下的噪声值	32
3.5 PGA 电路	10	7.4 增益和 Offset 的温漂	32
3.6 恒流源电路	10	7.5 电源抑制比(PSRR)	33
3.7 VBIAS 电路	10	7.6 共模抑制比(CMRR)	34
3.8 Sigma-Delta ADC	10	8 PACKAGING 封装尺寸图	35
3.9 数字滤波器	10		
3.10 功耗模式	10		
3.11 SPI 界面	10		
4 SPI 接口协议	10		
4.1 读写命令帧	11		
4.2 转换命令帧	13		
4.3 SPI CRC 校验	15		
4.4 SPI 转换状态	17		
4.5 SPI 界面复位	18		
4.6 SPI 界面时序	19		

修订追踪

2021/9/20 初稿

2022/11/25 校稿

1 电器规格特性

1.1 极限参数

当外部输入或是环境参数超过下面条件时，很可能会对于芯片造成损坏或是缩短其使用寿命。下表只代表会造成损坏的范围，不代表可以正常工作的范围。

Table 1-1 极限参数表

Symbol	Ratings	Min	Max	Unit
AV+/DV+	电源电压	-0.3	+6	V
Vsig	信号输入信号	-0.3	+6	V
TS	存储温度	-50	+150	°C
TJ	工作温度	-40	+125	°C

1.2 工作参数

Table 1-2 工作参数表

Symbol	Parameter	Min	Typ	Max	Unit
AV+/DV+	IO 口电压	2.8	5	5.5	V
I _{ACTIVE Full}	全功耗工作电流		560		uA
I _{ACTIVE}	正常工作电流		360		uA
I _{ACTIVE Low power}	低功耗工作电流		260		uA
I _{PD}	休眠电流		0.6		uA
VPOR	上电复位电压	1.9	2	2.1	
VLVD	掉电监测电压	2.8	2.9	3	
TA	温度范围	-40	25	105	°C

1.3 ESD/LU 性能

Table 1-3 ESD/Latch-Up 性能指针

Symbol	Parameter	Min	Max	Unit
ESD(HBM)	HBM 模型的 ESD 放电电压	-4000	4000	V
Latch-Up	Latch-Up 测试电流 (@85°C)	-200	200	mA

1.4 GPIO 参数

Table 1-4 GPIO 参数表

Symbol	Parameter	DV+	Min	Typ	Max	Unit
V _{IH}	输入信号高阈值	5V	4		5.5	V
V _{IL}	输入信号低阈值	5V	-0.3		1	V
V _{T+}	施密特由低变高电压的阈值	5V	2.72	2.92	3.17	V
V _{T-}	施密特由高变低电压的阈值	5V	1.85	2	2.17	V
I _{IH}	输入高电平的电流	5V			+1	uA
I _{IL}	输入低电平的电流	5V	-1			uA
V _{OL}	输出低电平 (@IOL 电流条件)	5V			0.4	V
V _{OH}	输出高电平 (@IOH 电流条件)	5V	4			V
I _{OL}	输出低电平电流@VOL (max)	5V	4.9	8.8	13.9	mA
I _{OH}	输出高电平电流@VOH (min)	5V	5.5	15.6	29.9	mA

1.5 ADC 性能指针

Table 1-5 ADC 性能指针表

AV+=5V DV+=5V VREF+=2.5V 条件条件下测试

Parameter	Min	Typ	Max	Unit
精度				
线性度(Linearity)		±0.0005	±0.001	%FS
有效位数 (ENOB)		21.9@PGA=1 21.2@PGA=64		BIT
无噪声位数 (Noise Free Bits)		20.4@PGA=1 18.7@PGA=64		BIT
等效噪声密度 (Noise Floor)		11		nV/ \sqrt{Hz}
零漂 (Offset)		120/PGA	200/PGA	uV
零漂温漂 (Offset drift)		900@PGA	1200@PGA	uV
		200/PGA PGA=2~64	400/PGA PGA=2~64	
		3@PGA=128	6@PGA=128	
增益误差(Gain error)		0.8	0.16	%
增益温漂 (Gain drift)		1	2	ppm/°C
信号输入				
输入信号共模范围	AV-		AV+	V
输入信号幅度	-REF/GAIN		+REF/GAIN	REF=REFP-REFN
差分输入电流		1		nA
信号输入阻抗		>1G		Ω
输入共模抑制比 (CMRR)		140		dB
基准电压				
VREF+ -VREF-	1		AV+ -AV-	V
差分输入电流		1		nA
内置基准电压	2.5-0.2%	2.5	2.5+0.2%	V
内置基准电压温度系数		10	15	ppm/°C
电源抑制比		90		dB
激励电流源 IDAC0/IDAC1				
输出电流大小		10/50/200/500/1000/1500		uA
初始绝对电流精度		1.2%		
两路电流源间匹配度		0.2%		
偏置电压 VB				
偏置电压		(AVDD-AVSS)/2		
恒流负载最推动高端电压		AV+ - 0.8V		V
输出驱动电流		5		mA
启动时间		5us/Nf		
时钟				
ADC 转换速率 (Data Rate)	3.125		6400	Hz
引脚输入时钟频率		2.4576		MHz
内部 RC 时钟频率	2.4576 -1.5%	2.4576	2.4576 +1.5%	MHz
RC 时钟变化幅度		1%		-40~85 度范围
电源				
AV+电源范围	2.8	5	5.5	V
DV+电源范围	2.8	5	5.5	V
正常工作模式 ADC 功耗 (开启 Sig Buffer, Ref Buffer · 不开启 2.5V REF · VBIAS 模块和 IDAC 模块)		200		uA · PGA=1
		300		uA · PGA=2~16
		360		uA · PGA=32 以上
VBIAS功耗		25		uA
2.5V REF功耗		80		uA
Sig Buffer 功耗		10		uA
Ref Buffer 功耗		15		uA
电源抑制比 (PSRR)		130		dB

1.5.1. 性能工作模式ADC 噪声和有效位

Table 1-6 等效输入 RMS RMS 噪声(nV)

AV+=5V DV+=5V VREF+=2.5V 三阶滤波器条件下测得条件条件下测试

数据码率 (Hz)	噪声(nV)@PGA(倍)							
	128	64	32	16	8	4	2	1
6.25	27	32	42	62	101	180	337	628
12.5	39	46	60	87	143	254	476	888
25	55	65	84	124	202	359	673	1256
50	78	91	119	175	286	508	952	1777
100	119	149	208	326	561	1032	1974	3769
200	169	211	294	460	794	1460	2792	5330
400	239	298	416	651	1122	2064	3949	7538
800	388	521	788	1321	2386	4518	8782	17055
1600	548	737	1114	1868	3375	6390	12420	24120
3200	856	1202	1895	3281	6052	11595	22681	44344
6400	1337	1955	3189	5659	10597	20474	40229	79017

Table 1-7 ENOB

AV+=5V DV+=5V VREF+=2.5V 三阶滤波器条件下测得条件条件下测试

数据码率 (Hz)	噪声(nV)@PGA(倍)							
	128	64	32	16	8	4	2	1
6.25	20.4	21.2	21.8	22.3	22.6	22.7	22.8	22.9
12.5	19.9	20.7	21.3	21.8	22.1	22.2	22.3	22.4
25	19.4	20.2	20.8	21.3	21.6	21.7	21.8	21.9
50	18.9	19.7	20.3	20.8	21.1	21.2	21.3	21.4
100	18.3	19	19.5	19.9	20.1	20.2	20.3	20.3
200	17.8	18.5	19	19.4	19.6	19.7	19.8	19.8
400	17.3	18	18.5	18.9	19.1	19.2	19.3	19.3
800	16.6	17.2	17.6	17.9	18	18.1	18.1	18.2
1600	16.1	16.7	17.1	17.4	17.5	17.6	17.6	17.7
3200	15.5	16	16.3	16.5	16.7	16.7	16.8	16.8
6400	14.8	15.3	15.6	15.8	15.8	15.9	15.9	15.9

Table 1-8 Noise Free Bits

AV+=5V DV+=5V VREF+=2.5V 三阶滤波器条件下测得条件条件下测试

数据码率 (Hz)	噪声(nV)@PGA(倍)							
	128	64	32	16	8	4	2	1
6.25	17.9	18.7	19.3	19.8	20.1	20.2	20.3	20.4
12.5	17.4	18.2	18.8	19.3	19.6	19.7	19.8	19.9
25	16.9	17.7	18.3	18.8	19.1	19.2	19.3	19.4
50	16.4	17.2	17.8	18.3	18.6	18.7	18.8	18.9
100	15.8	16.5	17	17.4	17.6	17.7	17.8	17.8
200	15.3	16	16.5	16.9	17.1	17.2	17.3	17.3
400	14.8	15.5	16	16.4	16.6	16.7	16.8	16.8
800	14.1	14.7	15.1	15.4	15.5	15.6	15.6	15.7
1600	13.6	14.2	14.6	14.9	15	15.1	15.1	15.2
3200	13	13.5	13.8	14	14.2	14.2	14.3	14.3
6400	12.3	12.8	13.1	13.3	13.3	13.4	13.4	13.4

1.5.2. 正常工作模式ADC 噪声和有效位

Table 1-9 等效输入 RMS RMS 噪声(nV)

AV+=5V DV+=5V VREF+=2.5V 三阶滤波器条件下测得条件条件下测试

数据码率 (Hz)	噪声(nV)@PGA(倍)							
	128	64	32	16	8	4	2	1
3.125	26	30	40	58	95	169	317	592
6.25	37	43	56	82	135	239	449	838
12.5	52	61	79	116	190	339	635	1184
25	73	86	112	165	269	479	898	1675
50	103	122	159	233	381	677	1269	2369
100	159	199	277	434	748	1376	2633	5025
200	225	281	392	614	1058	1946	3723	7106
400	319	397	554	868	1496	2753	5265	10050
800	517	695	105	1761	3182	6025	11710	22741
1600	731	983	1485	249	4500	8520	16560	32160
3200	1141	1603	2526	4374	8070	15460	30242	59125
6400	1783	2606	4252	7545	14130	27299	53638	105356

Table 1-10 ENOB

AV+=5V DV+=5V VREF+=2.5V 三阶滤波器条件下测得条件条件下测试

数据码率 (Hz)	噪声(nV)@PGA(倍)							
	128	64	32	16	8	4	2	1
3.125	20.5	21.3	21.9	22.4	22.6	22.8	22.9	23
6.25	20	20.8	21.4	21.9	22.1	22.3	22.4	22.5
12.5	19.5	20.3	20.9	21.4	21.6	21.8	21.9	22
25	19	19.8	20.4	20.9	21.1	21.3	21.4	21.5
50	18.5	19.3	19.9	20.4	20.6	20.8	20.9	21
100	17.9	18.6	19.1	19.5	19.7	19.8	19.9	19.9
200	17.4	18.1	18.6	19	19.2	19.3	19.4	19.4
400	16.9	17.6	18.1	18.5	18.7	18.8	18.9	18.9
800	16.2	16.8	17.2	17.4	17.6	17.7	17.7	17.7
1600	15.7	16.3	16.7	16.9	17.1	17.2	17.2	17.2
3200	15.1	15.6	15.9	16.1	16.2	16.3	16.3	16.4
6400	14.4	14.9	15.2	15.3	15.4	15.5	15.5	15.5

Table 1-11 Noise Free Bits

AV+=5V DV+=5V VREF+=2.5V 三阶滤波器条件下测得条件条件下测试

数据码率 (Hz)	噪声(nV)@PGA(倍)							
	128	64	32	16	8	4	2	1
3.125	18	18.8	19.4	19.9	20.1	20.3	20.4	20.5
6.25	17.5	18.3	18.9	19.4	19.6	19.8	19.9	20
12.5	17	17.8	18.4	18.9	19.1	19.3	19.4	19.5
25	16.5	17.3	17.9	18.4	18.6	18.8	18.9	19
50	16	16.8	17.4	17.9	18.1	18.3	18.4	18.5
100	15.4	16.1	16.6	17	17.2	17.3	17.4	17.4
200	14.9	15.6	16.1	16.5	16.7	16.8	16.9	16.9
400	14.4	15.1	15.6	16	16.2	16.3	16.4	16.4
800	13.7	14.3	14.7	14.9	15.1	15.2	15.2	15.2
1600	13.2	13.8	14.2	14.4	14.6	14.7	14.7	14.7
3200	12.6	13.1	13.4	13.6	13.7	13.8	13.8	13.9
6400	11.9	12.4	12.7	12.8	12.9	13	13	13

1.5.3. 低功耗工作模式ADC 噪声和有效位

Table 1-12 等效输入 RMS RMS 噪声(nV)

AV+=5V DV+=5V VREF+=2.5V 三阶滤波器条件下测得条件条件下测试

数据码率 (Hz)	噪声(nV)@PGA(倍)							
	128	64	32	16	8	4	2	1
3.125	31	37	48	70	114	203	381	711
6.25	44	52	67	99	162	287	539	1005
12.5	62	73	95	140	229	406	762	1421
25	88	103	135	198	323	575	1077	2010
50	124	146	191	279	457	812	1523	2843
100	191	238	332	521	898	1652	3159	6030
200	270	337	470	737	1270	2336	4468	8528
400	382	476	665	1042	1796	3303	6318	12060
800	620	834	1260	2113	3818	7229	14052	27289
1600	878	1179	1782	2988	5400	10224	19872	38592
3200	1369	1923	3032	5249	9683	18552	36290	70951
6400	2140	3127	5103	9054	16955	32759	64366	126427

Table 1-13 ENOB

AV+=5V DV+=5V VREF+=2.5V 三阶滤波器条件下测得条件条件下测试

数据码率 (Hz)	噪声(nV)@PGA(倍)							
	128	64	32	16	8	4	2	1
3.125	20.3	21	21.6	22.1	22.4	22.6	22.6	22.7
6.25	19.8	20.5	21.1	21.6	21.9	22.1	22.1	22.2
12.5	19.3	20	20.6	21.1	21.4	21.6	21.6	21.7
25	18.8	19.5	20.1	20.6	20.9	21.1	21.1	21.2
50	18.3	19	19.6	20.1	20.4	20.6	20.6	20.7
100	17.6	18.3	18.8	19.2	19.4	19.5	19.6	19.7
200	17.1	17.8	18.3	18.7	18.9	19	19.1	19.2
400	16.6	17.3	17.8	18.2	18.4	18.5	18.6	18.7
800	15.9	16.5	16.9	17.2	17.3	17.4	17.4	17.5
1600	15.4	16	16.4	16.7	16.8	16.9	16.9	17
3200	14.8	15.3	15.7	15.9	16	16	16.1	16.1
6400	14.2	14.6	14.9	15.1	15.2	15.2	15.2	15.3

Table 1-14 Noise Free Bits

AV+=5V DV+=5V VREF+=2.5V 三阶滤波器条件下测得条件条件下测试

数据码率 (Hz)	噪声(nV)@PGA(倍)							
	128	64	32	16	8	4	2	1
3.125	17.8	18.5	19.1	19.6	19.9	20.1	20.1	20.2
6.25	17.3	18	18.6	19.1	19.4	19.6	19.6	19.7
12.5	16.8	17.5	18.1	18.6	18.9	19.1	19.1	19.2
25	16.3	17	17.6	18.1	18.4	18.6	18.6	18.7
50	15.8	16.5	17.1	17.6	17.9	18.1	18.1	18.2
100	15.1	15.8	16.3	16.7	16.9	17	17.1	17.2
200	14.6	15.3	15.8	16.2	16.4	16.5	16.6	16.7
400	14.1	14.8	15.3	15.7	15.9	16	16.1	16.2
800	13.4	14	14.4	14.7	14.8	14.9	14.9	15
1600	12.9	13.5	13.9	14.2	14.3	14.4	14.4	14.5
3200	12.3	12.8	13.2	13.4	13.5	13.5	13.6	13.6
6400	11.7	12.1	12.4	12.6	12.7	12.7	12.7	12.8

2 芯片引脚

2.1 引脚定义

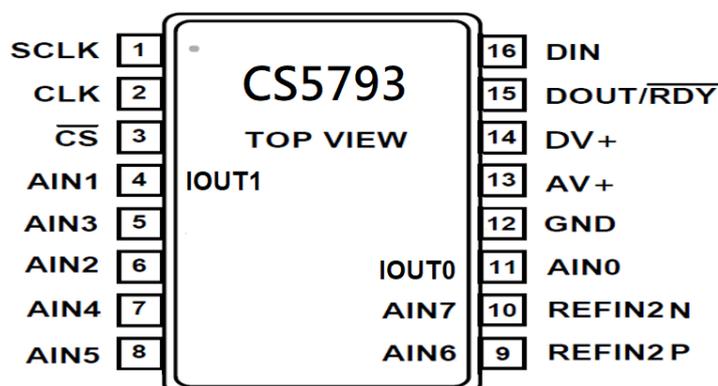
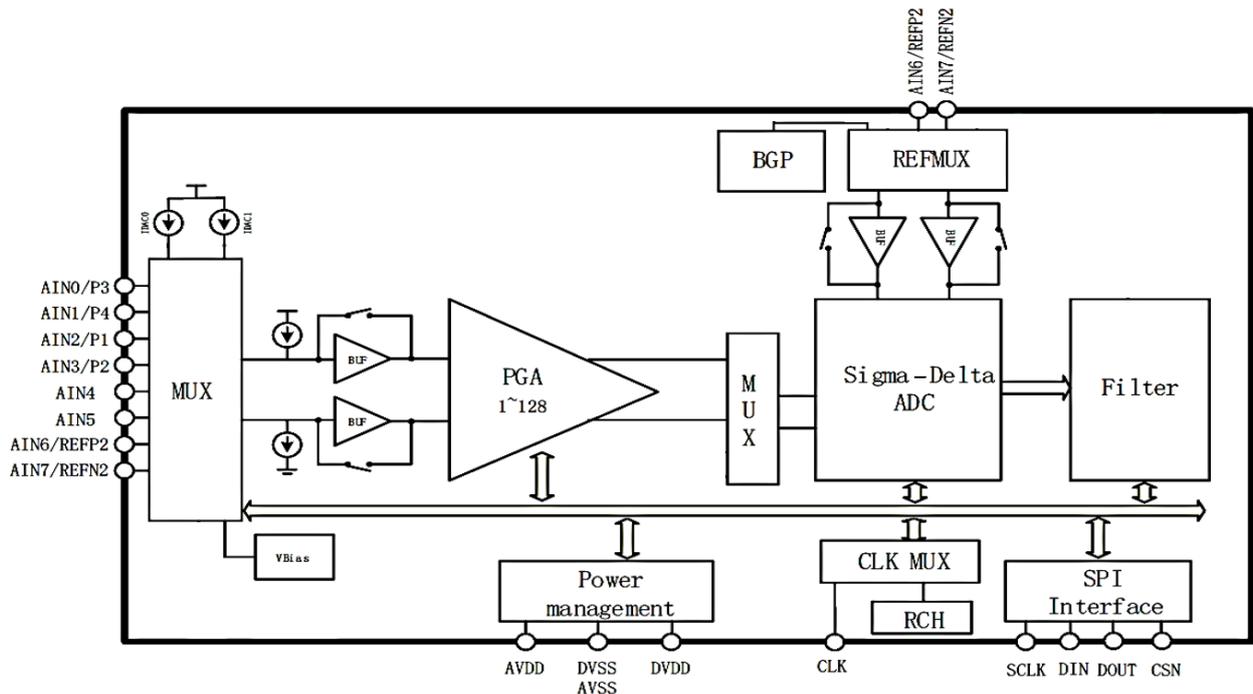


Table 2-1

序号	引脚名称	输入/输出	说明
1	SCLK	输入	SPI 时钟输入·建议片外接 $\geq 300\text{K Ohm}$ 上拉至电源的电阻(若发现 MCU SCLK 上多余的脉冲使 SPI 的移位寄存器出错·建议片外接大于 20K Ohm 下拉电阻)
2	CLK	输入/输出	外部输入的 2.4576MHz 精确时钟 / 使用内部 2.4576M RC 时钟时·此引脚有两种处理方式： 1 接地 2 配置 CKSRSEL<1:0>="01"·将内部 RC 时钟从 CLK 引脚送出·可用于测量或为其他芯片提供时钟
3	CS	输入	SPI 片选输入·低电平有效
4	AIN1/IOUT1	输入/输出	IOUT1 为电流源 1 输出 / AIN1 为 ADC 输入信号信道 1
5	AIN3	输入/输出	AIN3 为 ADC 输入信号信道 3
6	AIN2	输入/输出	AIN2 为 ADC 输入信号信道 2
7	AIN4	输入/输出	AIN4 为 ADC 输入信号信道 4
8	AIN5	输入/输出	AIN5 为 ADC 输入信号信道 5
9	AIN6/REFIN2 P	输入/输出	AIN6 为 ADC 输入信号信道 6 REFIN2 P 为另一组输入基准电压源正输入端·ADC 基准源的选择由寄存器 REFSEL<1:0>决定
10	AIN7/REFIN2 N	输入/输出	AIN7 为 ADC 输入信号信道 7 REFIN2 N 为另一组输入基准电压源负输入端·ADC 基准源的选择由寄存器 REFSEL<1:0>决定
11	AIN0/IOUT0	输入/输出	IOUT0 为电流源 0 输出 / AIN0 为 ADC 输入信号信道 0
12	GND	地	数字仿真地
13	AV+	电源	模拟电源·AV+ 和 AV- 之间接一个大于等于 $1\mu\text{F}$ 的瓷片电容
14	VD+	电源	数字电源·DV+ 和 DGND 之间接一个大于 $0.1\mu\text{F}$ 的瓷片电容
15	DOUT/RDY	输出	SPI 数据输出·片外需要接 $\geq 100\text{KOhm}$ 上拉至电源的电阻
16	DIN	输入	SPI 数据输入·建议片外接 $\geq 300\text{K Ohm}$ 上拉至电源的电阻

3 功能模块描述



CS5793 模块功能图

如上图所示，芯片内部包含电源管理模块、晶体起振模块、高频 RCH 时钟、内部共模电压、内部恒流源、内部基准源 (BGP) 模块、输入信号选择电路(MUX)、可程序设计增益放大器 (PGA)、Sigma-Delta ADC 模块、数字滤波器模块、SPI 接口模块。

3.1 电源管理模块

芯片由 DV+/DGND/AV+/AV- 两组电源供电，正常工作的供电范围为 2.8~5.5V。电源模块内置上电复位 (POR) 电路，在上电之初将为芯片提供复位信号。

3.2 高频 RCH 时钟

芯片内部集成 2.4576 MHz 的高频 RCH 时钟，该时钟作为晶体时钟的备份，如果 CLK 时钟因意外停止工作，在停振 200ms 之后，系统将自动切换到 RCH 时钟上。

3.3 BGP 电路

芯片内置高精度带隙基准 (BGP) 电路，产生 2.5V 的基准电压。该基准电压温度系数的典型值为 5ppm/°C。

在桥式传感器等应用下，采用外部输入的基准电压。外部基准从 VREF+ 和 VREF- 引脚接入，且 VREF+ 和 VREF- 之间需加 1 个 1uF 去耦电容。

3.4 MUX 信号选择电路

芯片有两路输入信号引脚，以及一路内部温度传感器信号，ADC 可通过时分复用的方式对这 3 路信号进行采样。

3.5 PGA 电路

芯片内部集成一个 1~128 倍可程序设计的高精度仪表放大器。

3.6 恒流源电路

芯片内部集成一个 10/50/200/500/1000/1500 μA 可程序恒流源输出至 AINx。

3.7 VBIAS 电路

芯片内部集成一个 $(\text{AVDD}-\text{AVSS})/2$ VBIAS可程序输出至 AINx。

3.8 Sigma-Delta ADC

芯片内集成一路高性能的 Sigma-Delta ADC，ADC 转换产生的高频量化码流送给后续的数字滤波器（DSP）电路进行处理，并最终得到 24 BIT ADC 数据。

3.9 数字滤波器

数字滤波器对 ADC 转换产生的高频量化码流进行处理，最终获得 24 BIT ADC 数据。滤波器输出频率可通过寄存器配置为 6.25~6400Hz，50/60Hz 滤波，SINC1 跟 SINC3 切换设定。

3.10 功耗模式

芯片可通过设置 SYS_CONF1 寄存器的 POWD=1，使芯片进入低功耗模式。此模式下 PGA/ADC/晶体起振电路/BGP/RCH 等模块都会关闭，功耗小于 1 μA 。

3.11 SPI 界面

SPI 接口部分详见 SPI 接口协议章节

4. SPI 接口协议

SPI接口分为两种命令帧，一种是用来读写寄存器的读写命令帧，另外一种是用来启动ADC转换的转换命令帧，两种命令帧使用第一个字节的第一个Bit来区分，若为0，则为读写命令帧，若为1，则为转换命令帧。

4.1 读写命令帧

读写命令帧的第一帧为命令帧，格式如下

Table 4-1 读写命令帧结构

Bit							
7	6	5	4	3	2	1	0
0	ADDR					R/W	PC

Table 4-2 读写命令帧各字节意义

BIT	名称	描述
7	起始位	必须为 0
6 : 2	ADDR	请参考 Table 5-1
1	R/W	读写类型选择 0：写 1：读
0	PC	Bit7 到 Bit1 之奇校验位,当 Bit7~Bit1 有奇数个 1 时,PC 应为 0,当 Bit7~Bit1 有偶数个 1 时,PC 应为 1.若此奇校验位错误,则该命令不被执行,且 SYS_CONF0 中的 ERR_CKS 位置会被置 1。

Table 4-3 读写命令帧地址字节汇总

ADDR	位宽	缓存器名称
0x00	24	OS_CH0
0x01	24	GAIN_CH0
0x02	24	OS_CH1
0x03	24	GAIN_CH1
0x04	24	OS_CH2
0x05	24	GAIN_CH2
0x06	24	OS_CH3
0x07	24	GAIN_CH3
0x08	24	OS_CH4
0x09	24	GAIN_CH4
0x0A	24	OS_CH5
0x0B	24	GAIN_CH5
0x0C	24	OS_CH6
0x0D	24	GAIN_CH6
0x0E	24	OS_CH7
0x0F	24	GAIN_CH7
0x10	24	D_TARG
0x11	32	CONV_CONF0
0x12	32	CONV_CONF1
0x13	32	CONV_CONF2
0x14	32	CONV_CONF3
0x15	32	CONV_CONF4
0x16	32	CONV_CONF5
0x17	32	CONV_CONF6
0x18	32	CONV_CONF7
0x19	32	CONV_CONF8
0x1A	32	CONV_CONF9
0x1B	32	SYS_CONF0
0x1C	32	SYS_CONF1
0x1D	32	SYS_CONF2
0x1E	32	SYS_CONF3
0x1F	24	CONV_DATA

下图为单一寄存器写帧在不包含 CRC 校验时的时序

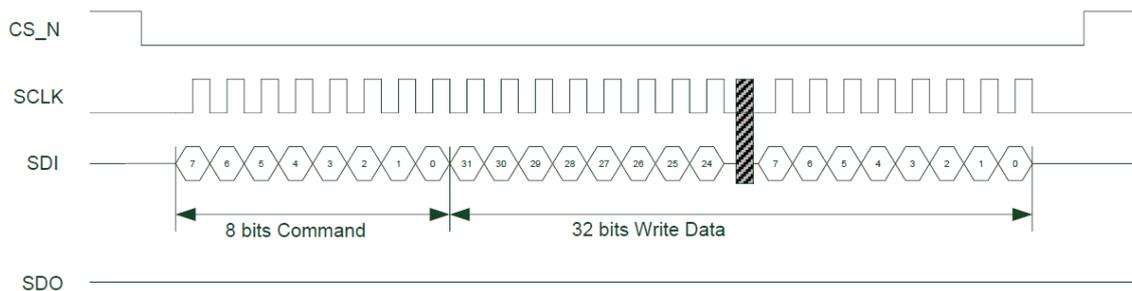


Figure 4-1 SPI 单一 32 bit 寄存器写帧时序 (不包含 CRC 校验)

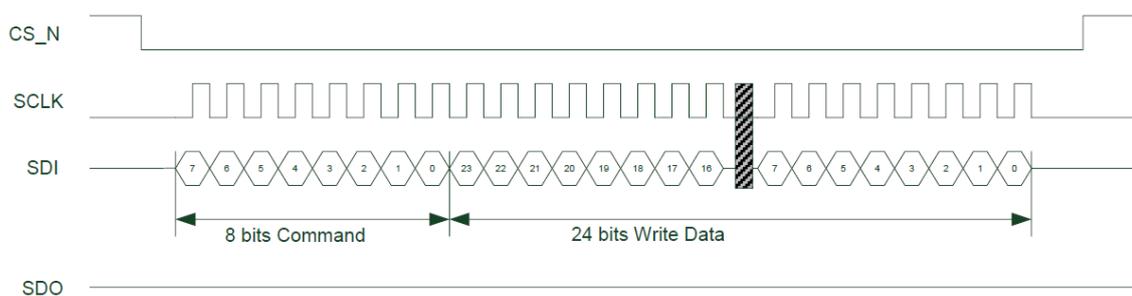


Figure 4-2 SPI 单一 24 bit 寄存器写帧时序 (不包含 CRC 校验)

下图为单一寄存器读帧在不包含 CRC 校验时的时序

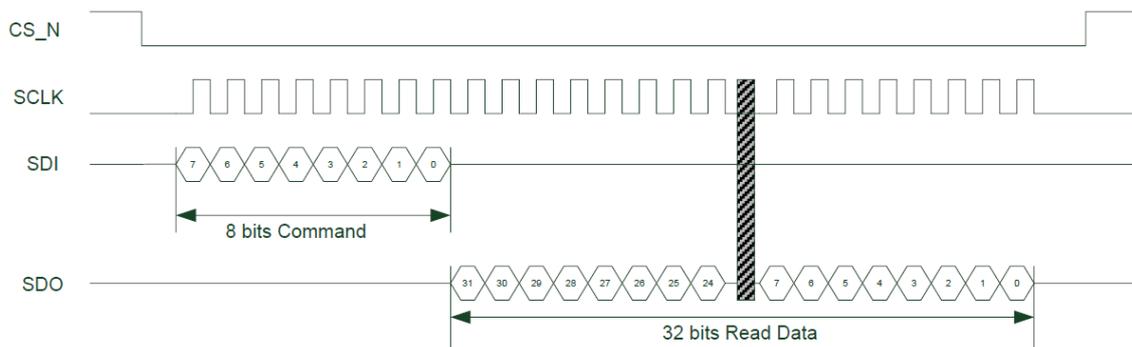


Figure 4-3 SPI 单一 32 bits 寄存器读帧时序 (不包含 CRC 校验)

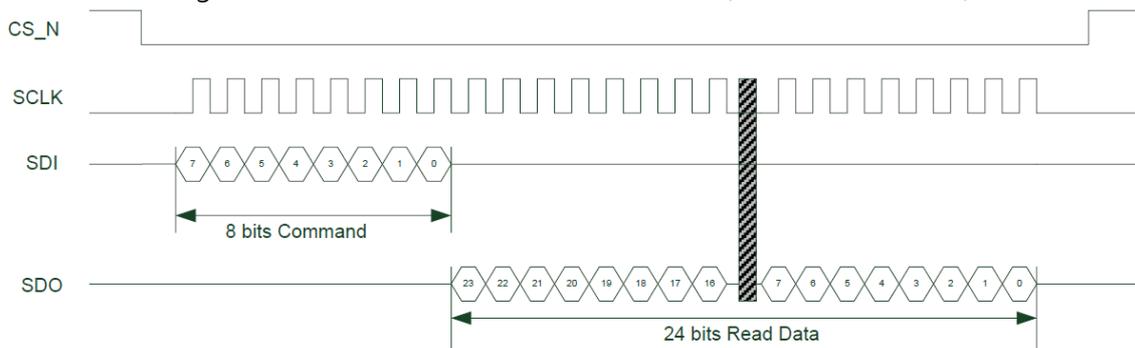


Figure 4-4 SPI 单一 24 bits 寄存器读帧时序 (不包含 CRC 校验)

下图为连续寄存器写帧在不包含 CRC 校验的时序

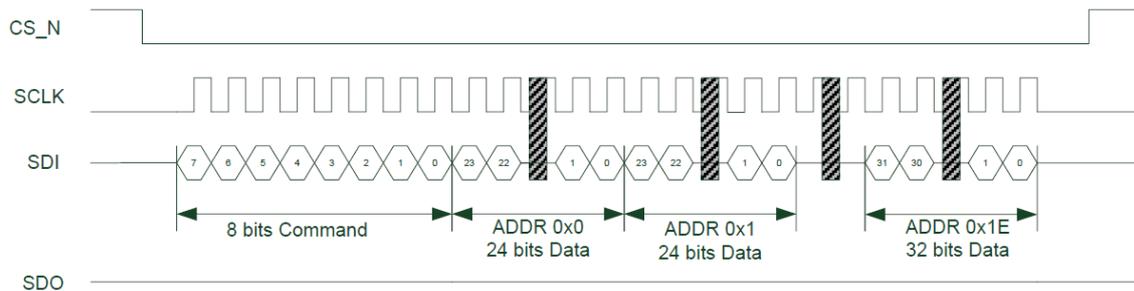


Figure 4-5 SPI 连续寄存器读帧时序 (不包含 CRC 校验)

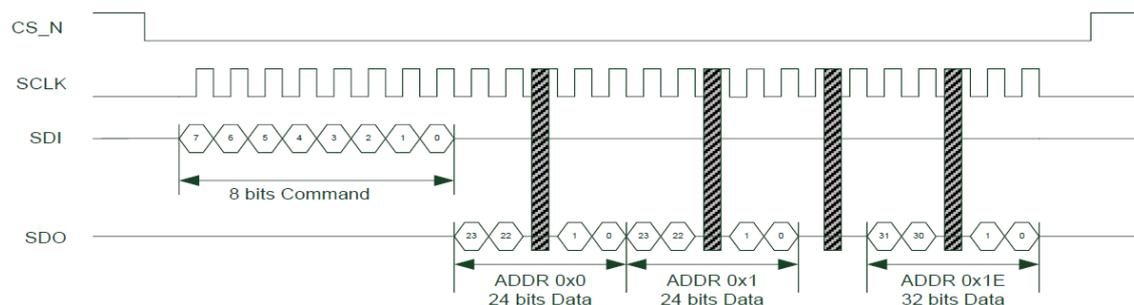


Figure 4-6 SPI 连续寄存器读帧时序 (不包含 CRC 校验)

4.2 转换命令帧

转换命令帧的第一帧为命令帧，格式如下

Table 4-4 转换命令帧结构

Bit							
7	6	5	4	3	2	1	0
1	0	0	0	CONV_MOD			PC

Table4-5转换命令帧各字节意义

Bit	名称	描述
7	起始位	必须为 1
6 : 4	保留位	必须为 0
3 : 1	CONV_MOD	转换模式选择 0x0 : 单次转换模式 0x1 : 连续转换模式 0x2 : Offset自校准模式 0x5 : Offset系统校准模式 其他 : 保留
0	PC	Bit7 到 Bit1 之奇偶校验位，当 Bit7~Bit1 有奇数个 1 时，PC 应为 0，当 Bit7~Bit1 有偶数个 1 时，PC 应为 1。若此奇校验位错误，则该命令不被执行，且 SYS_CONF0 中的 ERR_CKS 位置会被置 1。

芯片在收到转换命令帧后：

- 1) 如命令帧里发起的是单次转换模式，则依次扫描 10 组 CONV_CONFx 的寄存器值，只要 CONV_EN 为 1 的，就按其配置值进行转换，转换完成后通过 SDO 送出数据。等 10 个 CONV_CONFx 都被遍历完，则芯片重新进入到命令接收阶段。

2) 如命令帧里发起的是连续转换模式，则依次扫描 10 组 CONV_CONFx 的寄存器值，只要 CONV_EN 为 1 的，就按其配置值进行转换，转换完成后通过 SDO 送出数据。等 10 个 CONV_CONFx 都被遍历完，则重新回到 CONV_CONF0 开始新一轮遍历。

如果 10 个 CONV_CONFx 里，只有 1 个 CONV_CONFx 被使能，则将对该设置寄存器所对应的信号信道进行连续采样。

转换帧时序与读时序主要差别在于转换命令发出后，需要等待芯片内 DSP 运算完成，在运算完成前，SDO 引脚会是高阻抗状态，需靠片外拉电阻拉高到 DVDD 电位，当 DSP 运算完成后，SDO 引脚会输出低电位，此时主控需打 8 bits 的转换时钟，此时 SDI 需输入 0x42，然后可以开始进行 24 bits 资料读取。

下图为单一转换帧在不包含 CRC 校验的时序

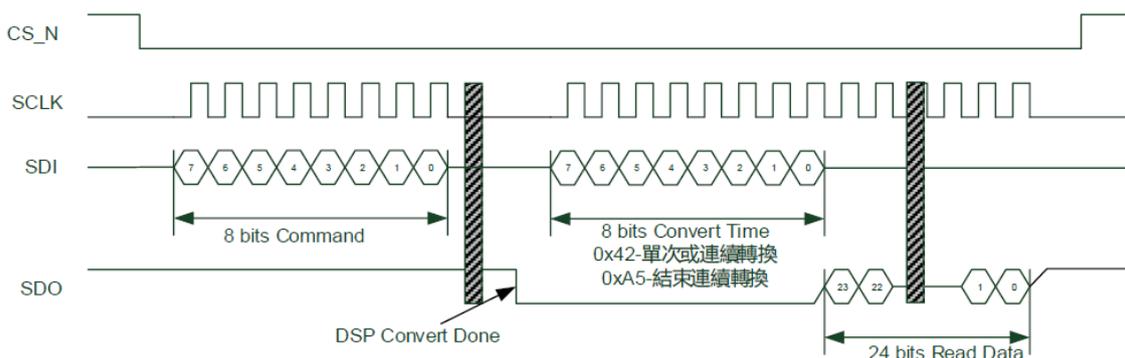


Figure 4-7 SPI 单一转换帧时序 (不包含 CRC 校验)

若选择的是连续转换模式，当 24 bits 转换数据传完之后，SDO 又会变为高阻模式，直到下次 DSP 转换完成会再把 SDO 拉到 0。若主控想要停止连续转换模式，可以将片选拉高，若是在片选接地状态，则必须在 8 bits 的转换时钟时，在 SDI 上打(0xA5)，则在本次数据传递完成后，芯片会回到待命状态。

下图为连续转换帧在不包含 CRC 校验且片选一直保持低电平的时序，若等待 DSP 转换完成发生超时，建议对 SPI 接口进行强制复位后重新开始转换。

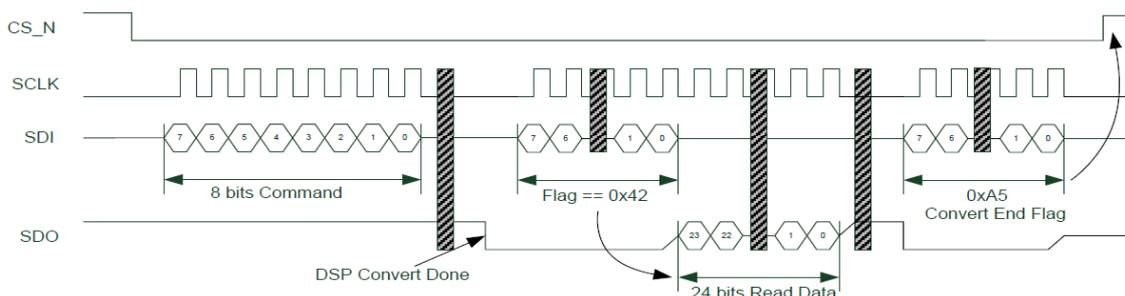


Figure 4-8 SPI 连续转换帧时序，片选保持低电平 (不包含 CRC 校验)

下图为连续转换帧在不包含 CRC 校验，但是片选在转换等待时间可以切为高电平的时序（寄存器 CS_MODE 需为 1），在此模式下，片选只可在读完 24 bits 数据后举高，不可以在前面 8 bits dummy byte 或是读取数据过程中举高。若等待 DSP 转换完成发生超时，建议对 SPI 接口进行强制复位后重新开始转换。

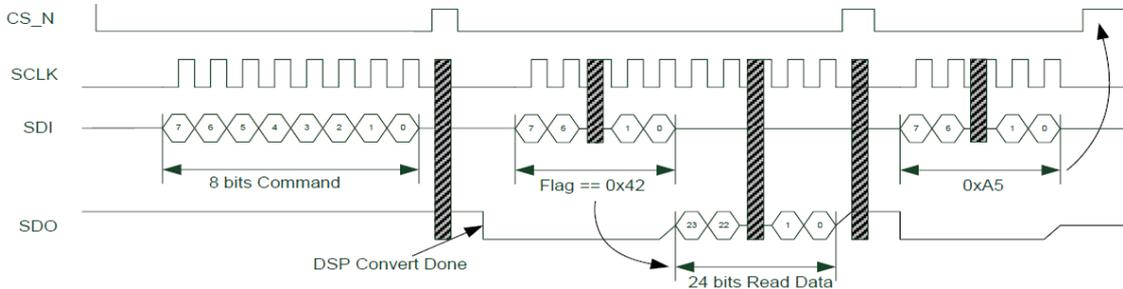


Figure 4-9 SPI 连续转换帧时序，片选可切为高电平（不包含 CRC 校验）

4.3 SPI CRC 校验

当 SYS_CONF0 的 CKS_EN 位置被设置为 1 后，SPI 接口会进入 CRC 校验模式，包含读写帧与转换帧都会包含 CRC 校验帧。CRC 校验帧是针对写入或是读出数据做保护，每个 24 或 32 bits 数据都须计算其 CRC8 的结果。CRC8 是参考下面的公式进行运算：

$$\text{CRC8} = X^8 + X^2 + X + 1$$

CRC8 的运算公式可以参考下面的范例程序

```
if (len == 24)
    shift_reg = data << 8;
else
    shift_reg = data;
crc8 = 0x0;
for (i=0; i<len; i=i+1) {if ((crc8 >> 7) != (shift_reg >> 31))
    crc8 = ((crc8 << 1) ^ 0x07) & 0xFF;
else
    crc8 = (crc8 << 1) & 0xFF;
    shift_reg <<= 1; }
```

举例来说，当数据为 0x654321 (24bits) 的情况，其 CRC8 的结果会是 0x86。在每个 24 或是 32 bits 数据后端，都需要加上 CRC 校验帧，若 CRC 校验不符合，则该命令会被忽略 (写帧)，或是该数据为无效数据 (读帧或是转换帧)。

下图为单一寄存器写帧在包含CRC校验的时序

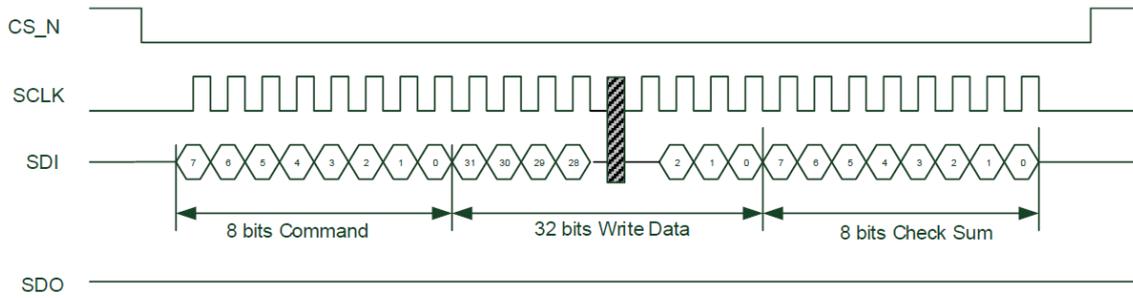


Figure4-10 SPI单一寄存器写帧时序(包含CRC校验)

下图为单一寄存器读帧在包含CRC校验的时序

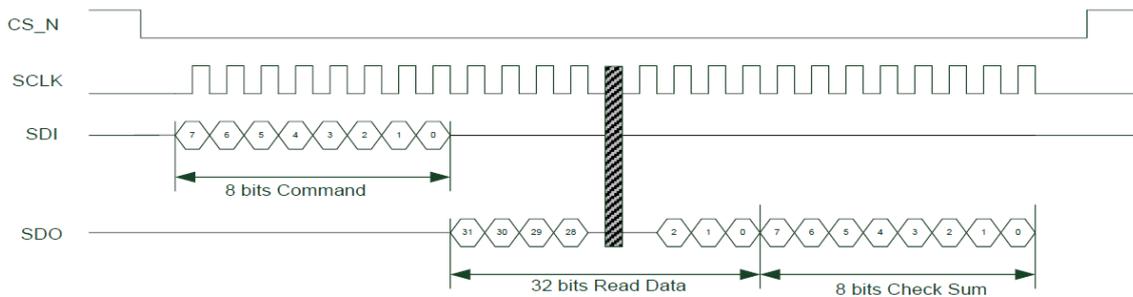


Figure4-11 SPI单一寄存器读帧时序(包含CRC校验)

下图为连续寄存器写帧在包含CRC校验的时序

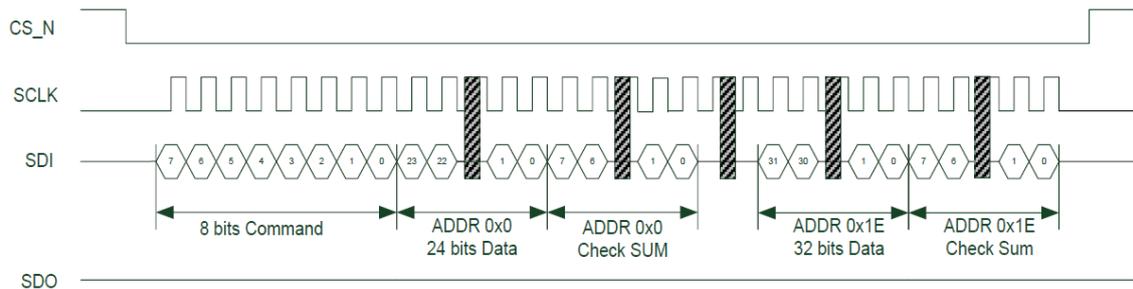


Figure4-12 SPI连续寄存器写帧时序(包含CRC校验)

下图为连续寄存器读帧在包含CRC校验的时序

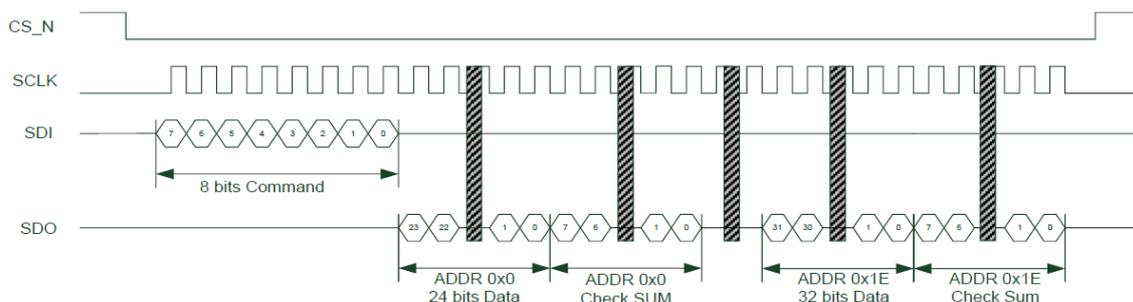


Figure4-13 SPI连续寄存器读帧时序(包含CRC校验)

下图为单一转换帧在包含CRC校验的时序

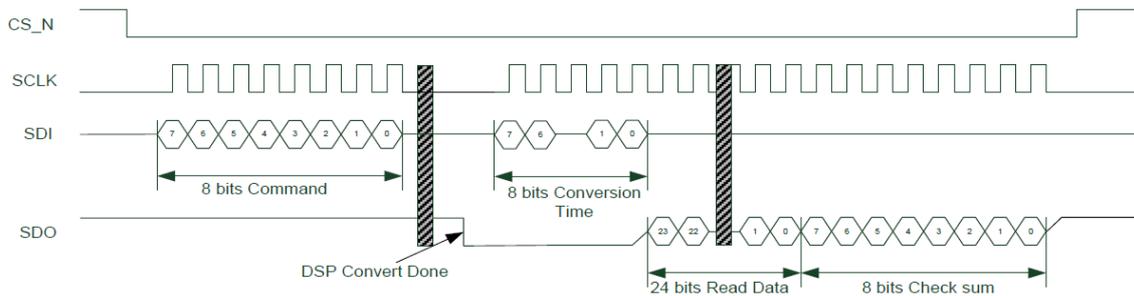


Figure4-14 SPI单一转换帧时序(包含CRC校验)

下图为连续转换帧在包含CRC校验且片选一直保持低电平的时序，若等待DSP转换完成发生超时，建议对SPI接口进行强制复位后重新开始转换。若是出现CRC校验错误状况，可将片选置1再置0后继续重新等待下次DSP转换完成。

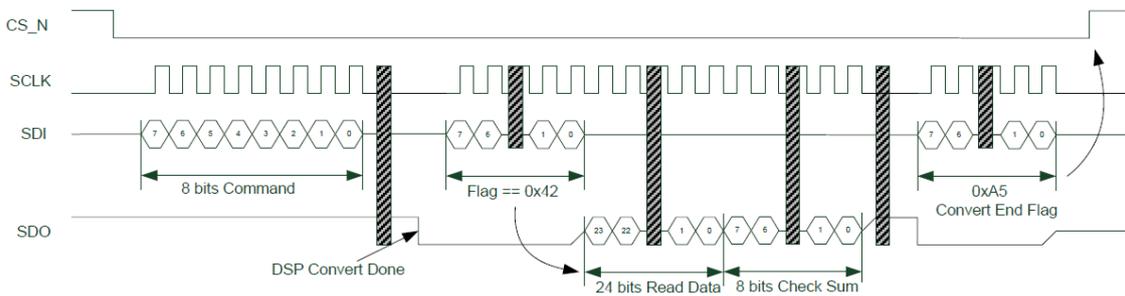


Figure4-15 SPI连续转换帧时序，片选保持低电平(包含CRC校验)

下图为连续转换帧在包含CRC校验但是片选在转换等待时间可以切为高电平的时序(CS_MODE需为1)，在此模式下，片选只可在读完8bitsCRC校验后后举高，不可以在前面8bits dummy byte或是读取数据过程中举高。若等待DSP转换完成发生超时，建议对SPI接口进行强制复位后重新开始转换。若是出现CRC校验错误状况，可将片选置1再置0后继续重新等待下次DSP转换完成。

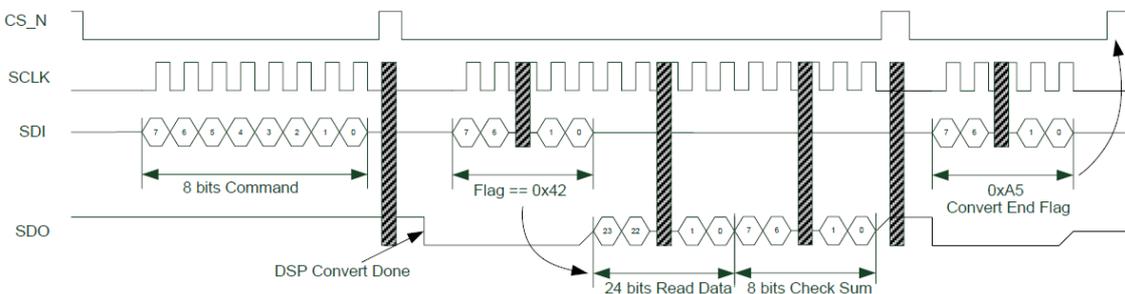


Figure4-16 SPI连续转换帧时序，片选可切为高电平(包含CRC校验)

4.4 SPI转换状态

因为CS5793支持每次可以选择多种转换设置，为了分辨此次输出是属于哪组设置，可以在输出数据后面加上SYS_CONF0[7:0]，此功能可以由STAT_EN (SYS_CONF0bit21)打开，此功能可以与CRC校验同时开启。

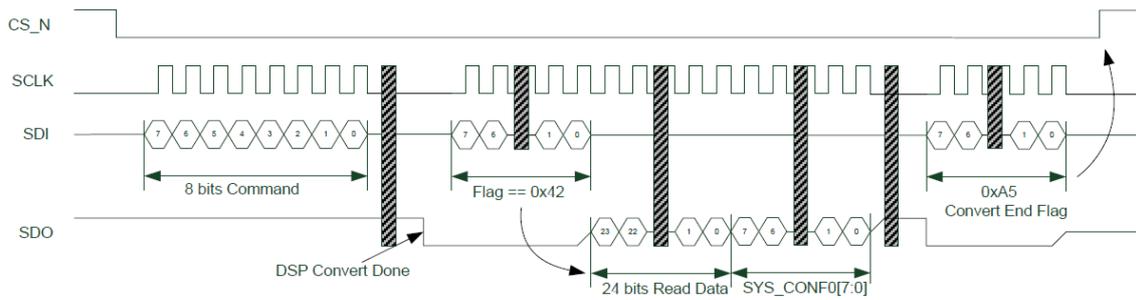


Figure4-17 SPI转换状态使能时序(不包含CRC校验)

4.5 SPI界面复位

在四线模式下，也就是SPI片选是存在的状况，只要片选被置1，SPI接口就会立即被复位，回到可接收指令状态，所以不需特殊指令来做SPI接口复位。但当CS_MODE置1时(SYS_CONF0bit24)，若进入连续转换模式，则当片选置1状况，并不会复位SPI接口，且片选为1状况下，SDO接口会浮空，同时所有SCLK均会被忽略，若要跳出此模式，需等到片选置0，且利用正常的连续转换终止指令(在DUMMY Byte时间于SDI输入0xA5)，或是利用下面提到的强制复位状态来跳出连续转换模式。

在三线模式下，SPI片选永远接地，首先板上需要确定SCLK不受干扰，建议在板上对SCLK做10Kohm下拉，第一次上电完成后，原则上内部POR会将SPI接口复位，但是建议可以在SDI上打入Byte0=0x00,Byte1=0xA5,Byte2=0xFF,Byte3=0x5A，连续32个时钟的信号强制SPI接口复位后开始使用。0x00A5FF5A指令可在任何时候生效。复位完成后等待1us后可以重新开始操作SPI指令。

4.6 SPI界面时序

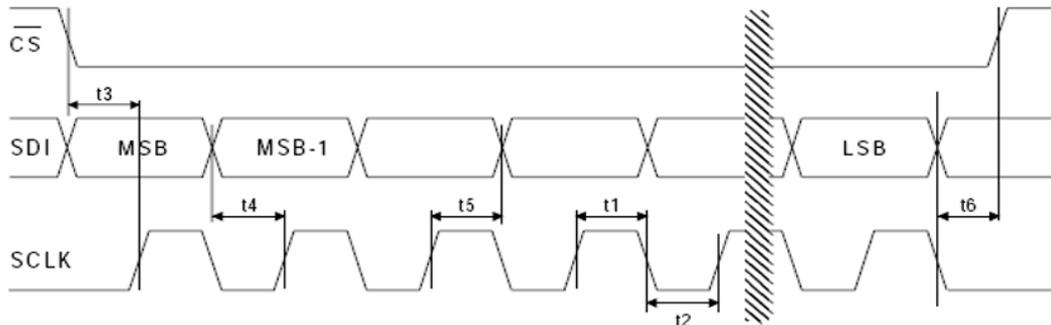


Figure 4-18 SPI 写时序

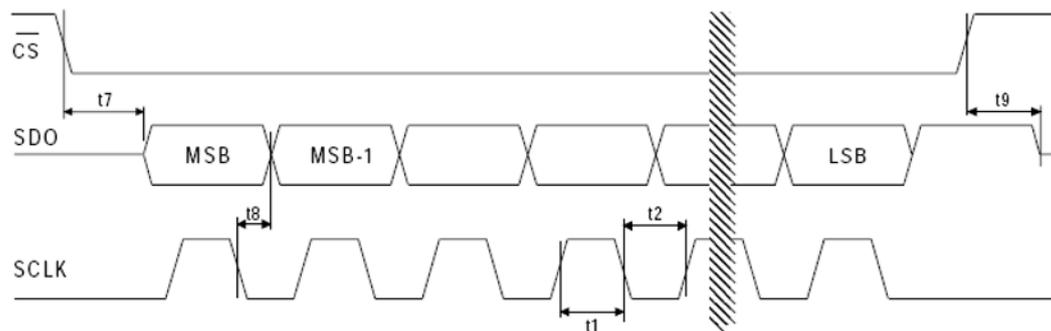


Figure 4-19 SPI 读时序

Table4-6 SPI 接口时序特性

参数	标识	最小值	典型值	最大值	单位
SPI 时序					
SPI 时钟频率	SCK	0		10	MHz
SPI 时钟脉宽	t1 (高)	50			ns
	t2 (低)	50			ns
SDI 写时序					
CS 片选到第一个时钟延时	t3	10			ns
DATA 领先时钟上升沿的建立时间	t4	10			ns
DATA 在时钟沿后的稳定时间	t5	20			ns
时钟下降沿后到 CS 上升的延时	t6	20			ns
SDI 读时序					
CS 信号变低到有效数据	t7			30	ns
SCK 下降沿到新数据输出延时	t8			30	ns
CS 信号变高到 SDO 进高阻态的延时	t9			30	ns

SPI写入数据的时候，SDI的数据是在SCLK的下降沿变化，以便在芯片写入寄存器的时候有足够的建立和保持时间。芯片内部电路在SCLK上升沿去读取SDI数据，并填入相应的内部寄存器中。

SPI 读出数据的时候，CS 下降之后即通过 SDO 送出数据，由 MCU 产生 SCK 去读。SDO 的数据变化是在 SCK 下降沿之后变化。

5 寄存器描述

5.1 寄存器地址

CS5793内共有37个24或32 bits寄存器，可以通过读写帧的ADDR，来选择要读取或是写入的位置，下表列出各个寄存器对应的地址与初始值。

Table 5-1 寄存器地址表

地址	名称	类型	位宽	描述	初始值
0x00	OS_CH0	R/W	24	ADC通道0 Offset设置	0x000000
0x01	GAIN_CH0	R/W	24	ADC通道0 Gain设置	0x400000
0x02	OS_CH1	R/W	24	ADC通道1 Offset设置	0x000000
0x03	GAIN_CH1	R/W	24	ADC通道1 Gain设置	0x400000
0x04	OS_CH2	R/W	24	ADC通道2 Offset设置	0x000000
0x05	GAIN_CH2	R/W	24	ADC通道2 Gain设置	0x400000
0x06	OS_CH3	R/W	24	ADC通道3 Offset设置	0x000000
0x07	GAIN_CH3	R/W	24	ADC通道3 Gain设置	0x400000
0x08	OS_CH4	R/W	24	ADC通道4 Offset设置	0x000000
0x09	GAIN_CH4	R/W	24	ADC通道4 Gain设置	0x400000
0x0A	OS_CH5	R/W	24	ADC通道5 Offset设置	0x000000
0x0B	GAIN_CH5	R/W	24	ADC通道5 Gain设置	0x400000
0x0C	OS_CH6	R/W	24	ADC通道6 Offset设置	0x000000
0x0D	GAIN_CH6	R/W	24	ADC通道6 Gain设置	0x400000
0x0E	OS_CH7	R/W	24	ADC通道7 Offset设置	0x000000
0x0F	GAIN_CH7	R/W	24	ADC通道7 Gain设置	0x400000
0x10	D_TARG	R/W	24	增益校准目标寄存器	0x7FFFFF
0x11	CONV_CONF0	R/W	32	CONF0设置寄存器	0x00000000
0x12	CONV_CONF1	R/W	32	CONF1设置寄存器	0x00000000
0x13	CONV_CONF2	R/W	32	CONF2设置寄存器	0x00000000
0x14	CONV_CONF3	R/W	32	CONF3设置寄存器	0x00000000
0x15	CONV_CONF4	R/W	32	CONF4设置寄存器	0x00000000
0x16	CONV_CONF5	R/W	32	CONF5设置寄存器	0x00000000
0x17	CONV_CONF6	R/W	32	CONF6设置寄存器	0x00000000
0x18	CONV_CONF7	R/W	32	CONF7设置寄存器	0x00000000
0x19	CONV_CONF8	R/W	32	CONF8设置寄存器	0x00000000
0x1A	CONV_CONF9	R/W	32	CONF9设置寄存器	0x00000000
0x1B	SYS_CONF0	R/W	32	系统设置寄存器0	0x00008000
0x1C	SYS_CONF1	R/W	32	系统设置寄存器1	0x00000000
0x1D	SYS_CONF2	R/W	32	系统设置寄存器2	0x00000000
0x1E	SYS_CONF3	R/W	32	系统设置寄存器3	0x00000000
0x1F	CONV_DATA	R	24	转换数据寄存器	--

5.2 OS_CHx/GAIN_CHx 寄存器

OS_CHx 与 GAIN_CHx 用来存储相对应通道(x=0~7)的 Offset 与 Gain 校准值

Table 5-2 OS_CHx 定义

位置	名称	类型	描述	Default
23 : 0	OS_CHx	R/W	ADC通道x(0~8)的Offset校准值。此校准值可由主控端填入或是在进行Offset自校准或是系统校准时由芯片自动更新。此校准值为24bits有号数。在进行标准模式转换完成后。会先减掉此Offset值后再进行增益校准。下面列出各种数值代表意义 0x000000 : 偏差0 0x400000 : 正半量程(+0.50) 0x7FFFFFFF : 正满量程(+1.00) 0xC00000 : 负半量程(-0.50) 0x800000 : 负满量程(-1.00)	0x000000

Table 5-3 GAIN_CHx 定义

位置	名称	类型	描述	Default
23 : 0	GAIN_CHx	R/W	ADC 通道 x(0 ~ 7)的 Gain 校准值。此校准值可由主控端填或是在进行 Gain 系统校准时由芯片自动更新。此校正值为 24 bit无号数。在进行标准模式转换后。会先减掉 Offset 校准值后再乘上此增益校准值。下面列出各种数值代表意义 0x200000 : Gain = 0.5 0x400000 : Gain = 1.00 0x600000 : Gain = 1.50 0x800000 : Gain = 2.00	0x400000

实际进行 ADC 转换时。每组 CONFx 会对应到不同的校准值。可以参考下表说明。

Table 5-4 校准值选择表

CONFx	使用的校准值
0	OS_CH0, GAIN_CH0
1	OS_CH1, GAIN_CH1
2	OS_CH2, GAIN_CH2
3	OS_CH3, GAIN_CH3
4	OS_CH4, GAIN_CH4
5	OS_CH5, GAIN_CH5
6	OS_CH6, GAIN_CH6
7	OS_CH7, GAIN_CH7
8	当使用芯片的温度功能时。使用该信道
9	OS=0x000000, GAIN=0x400000

5.3 CONV_CONFx 寄存器

CONV_CONFx (x=0 ~ 9)是用来储存转换设置的寄存器。芯片内共有十组转换设置可以随时调用。其中只要该组设置的使能位为 1。则该组设置会在每次单一转换或是每个连续转换的循环里被触发。举例来说。若第 1/3/5 组转换位置被使能。则每次单一转换开始时。会连续进行 1/3/5 三组设置的转换。也就是会输出三笔数据后转换才会停止。若是连续转换。则会以 /3/5/1/3/5/1/3/5 这样的顺序连续输出数据。在每次开始转换之前。主控端需要先将相对应的转换设置寄存器设置好。下表 5-5列出列出 CONV_CONFx 之具体定义。

Table 5-5 CONV_CONFx 定义

位置	名称	类型	描述	Default
31	CONV_EN	R/W	转换使能 0：关闭该设置 1：使能设置，每次转换命令后，该设置会被启动	0x00
30 : 24			保留	0x00
23 : 20	DR	R/W	ADC 数据输出码率选择 当SYS_CONF1的FR_SEL=0时(50Hz模式)，输出频率如下表 0x00 : 6400Hz 0x01 : 3200Hz 0x02 : 1600Hz 0x03 : 800Hz 0x04 : 400Hz 0x05 : 200Hz 0x06 : 100Hz 0x07 : 50Hz 0x08 : 25Hz 0x09 : 12.5Hz 0x0A : 6.25Hz 0x0B~0xF : 3.125Hz 当 FR_SEL=1 时，输出频率为上表乘 1.2	
19 : 18			保留	0x00
17 : 16	FLIT_TYPE	R/W	滤波器类型选择 0：选择一阶滤波器 1：选择三阶滤波器 2：选择50/60Hz抑制滤波器 3：保留	0x00
15 : 14	REFSEL	R/W	ADC基准电压选择 0：无 1：REFP2/REFN2 2：内部基准 3：AVDD/AVSS; 在每次开始ADC转换时，将选中的CONV_CONF寄存器中的该BIT更新到SYS_CONF3的同名寄存器上	0x00
13	SIGBUF_ENN	R/W	输入信号BUFFER使能 0：打开 1：关闭 每次开始转换后，该寄存器的值会自动更新到SYS_CONF3的同名寄存器上	0x00
12	REFBUF_ENN	R/W	基准 BUFFER 使能 0：打开 1：关闭 每次开始转换后，该寄存器的值会自动更新到 SYS_CONF3 的同名寄存器上	0x00
11	BURNOUT	R/W	输入信号端开路检测 0：关闭开路检测功能 1：芯片内部往输入引脚灌 0.5uA 电流，检测是否开路 每次开始转换后，该寄存器的值会自动更新到 SYS_CONF3 的同名寄存器上	0x00

位置	名称	类型	描述	Default
10 : 8	GA	R/W	ADC 模拟增益选择 0x00 : x1 0x01 : x2 0x02 : x4 0x03 : x8 0x04 : x16 0x05 : x32 0x06 : x64 0x07 : x128 每次开始转换后·该寄存器的值会自动更新到 SYS_CONF3 的同名寄存器上	0x00
7 : 4	VNSEL	R/W	ADC 负端信号来源选择 0x00 : AIN0 0x01 : AIN1 0x02 : AIN2 0x03 : AIN3 0x04 : AIN4 0x05 : AIN5 0x06 : AIN6 0x07 : AIN7 0x09~0x0F : AVSS 每次开始转换后·该寄存器的值会自动更新到 SYS_CONF3 的同名寄存器上	0x00
3 : 0	VPSEL	R/W	ADC 正端信号来源选择 0x00 : AIN0 0x01 : AIN1 0x02 : AIN2 0x03 : AIN3 0x04 : AIN4 0x05 : AIN5 0x06 : AIN6 0x07 : AIN7 0x09 : LDO 0x0A : DVDD/2 0x0B : AVDD/2 0x0C~0x0F : AVSS 每次开始转换后·该寄存器的值会自动更新到 SYS_CONF3 的同名寄存器上	0x00

5.4 SYS_CONFx 寄存器

SYS_CONFx (x=0~3)为系统相关的配置寄存器，主控端需要在开机完成后先完成正确的系统配置。

5.4.1 SYS_CONF0

D31	D30	D29	D28	D27	D26	D25	D24
RS_SYS						ARRAY	CS_MODE
D23	D22	D21	D20	D19	D18	D17	D16
		STAT_EN	ADSAT_EN	SPICKCNT_EN	CKS_EN		REGCK_EN
D15	D14	D13	D12	D11	D10	D9	D8
RS_V			ADSAT_ERR	SPICKCNT_ERR	CKS_ERR		REGCK_ERR
D7	D6	D5	D4	D3	D2	D1	D0
CONV_SQ<3>	CONV_SQ<2>	CONV_SQ<1>	CONV_SQ<0>		REF_ERR	PWLV_ERR	ERR_ALL

Table 5-6 SYS_CONF0 定义

位置	名称	类型	描述	Default
31	RS_SYS	R/W	系统全局复位 (不包含 SPI 接口部分) · 当此位置被写入 1 之后 · 会进行系统全局复位 · 此位置会在 10ms 后自动清 0 写入 0 : 无效果 写入 1 : 开始全局复位 读取 0 : 全局复位已完成 读取 1 : 全局复位进行中	0x00
30 : 27			保留	0x00
26			保留	0x00
25	ARRAY	R/W	寄存器存取方式选择 0 : 单个地址读写 1 : 全部地址连续读写 (0x00~0x1E)	0x00
24	CS_MODE	R/W	SPI 片选模式选择 0 : 关闭 SPI 片选可置 1 模式 · 当连续转换模式时 · 只要 SPI 片选置 1 · 即会退出连续转换模式 1 : 开启 SPI 片选可置 1 模式 · 当连续转换模式时 · 当 SPI 片选置 1 · 不会退出连续转换模式 · 当 SPI 片选再度置 0 时 · 会继续之前的连续转换模式 · 直到收到停止连续转换模式之指令 (0xA5@Dummy byte)	0x00
23 : 22			保留	0x00
21	STAT_EN	R/W	ADC 数据状态输出使能 0 : 不使能 1 : 每次转换完数据后 · 在 24 bits ADC 数据后 · 会再输出 SYS_CONF0 bit[7 : 0] · 此时若有开启 CRC 校验功能 · 会再根据前面 32 bits 输出 CRC 校验	0x00
20	ADSAT_EN	R/W	ADC 资料饱和检测使能 0 : 不使能 1 : 当 ADC 输出连续 30 个点为 0 或 1 时 · ADSAT_ERR 置 1	0x00
19	SPICKCNT_EN	R/W	SPI 时钟数目检测使能 0 : 不使能 1 : 在 SPI 通讯时对 SCLK 进行计数 · 若每轮通讯结束后总时钟数不是 8 的倍数 · 则 SPICKCNT_ERR 置 1 · 此检测只能在 SPI 4 线模式 (有 CSN) 状况下作用	0x00
18	CKS_EN	R/W	SPI 界面 CRC 校验使能 0 : 关闭 SPI 界面 CRC 校验 1 : 开启 SPI 界面 CRC 校验	0x00
17			保留	0x00
16	REGCK_EN	R/W	寄存器 CRC 校正使能 0 : 不使能 1 : 使能内部寄存器 CRC 校正 · 每次单一转换完成后或是连续转换停止时 · 会对寄存器 0x00~0x1D 进行 CRC 检测 · 当 CRC 检测错误时 · 会将 REGCK_ERR 置 1	0x00
15	RS_V	R	复位有效标志 0 : 上次复位失败 · 主控需要重新进行全局复位 1 : 上次复位成功	0x00
14 : 13			保留	0x00
12	ADSAT_ERR	R	ADC 饱和错误 · 此寄存器会在主控读取此寄存器后自动清 0 0 : 未发生错误 1 : ADC 饱和错误	0x00

位置	名称	类型	描述	Default
11	SPICKCNT_ERR	R	SPI 时钟数目检测错误·此寄存器会在主控读取此寄存器后自动清 0 0：未发生错误 1：SPI 时钟数目错误	0x00
10	CKS_ERR	R	SPI 奇校验或 CRC 校验错误·此寄存器会在主控读取此寄存器后自动清 0 0：未发生错误 1：表示最后一次接收到的命令帧奇校验错误或是数据的 CRC 校验错误	0x00
9			保留	0x00
8	REGCK_ERR	R	寄存器自校验错误·此寄存器会在主控读取此寄存器后自动清 0 0：为发生错误 1：寄存器自校验错误	0x00
7 : 4	CONV_SQ	R	当前转换的转换设置寄存器序号 0：对应 CONV_CONF0 1：对应 CONV_CONF1 ... 9：对应 CONV_CONF9	0x00
3			保留	0x00
2	REF_ERR	R	基准源电压过低 0：基准源电压正常 1：基准源电压过低	0x00
1	PW_LV	R	芯片电源欠压检测 0：芯片电源在 3V 以上 1：芯片电源已掉到 3V 以下	0x00
0	ERR_ALL	R	上述状态寄存器里·若 RS_V=0 或是其他错误状态任一为 1·则此位置 1	0x00

5.4.2 SYS_CONF1

D31	D30	D29	D28	D27	D26	D25	D24
CKSRSEL<1>	CKSRSEL<0>				SWT_SIG	BGPCH_EN	
D23	D22	D21	D20	D19	D18	D17	D16
ADCKSEL<0>	ADCKSEL<1>	FR_SEL		REFDET_EN			
D15	D14	D13	D12	D11	D10	D9	D8
POWD	IIT1	IIT0					
D7	D6	D5	D4	D3	D2	D1	D0
REF2P5_EN	ADCPDN	PWRDET	IDT				

Table 5-7 SYS_CONF1 定义

位置	名称	类型	描述	Default
31 : 30	CKSRSEL	R/W	时钟源选择 0：选择内部 RC·且 RC 时钟不从 CLK 引脚送出 1：选择内部 RC·且 RC 时钟从 CLK 引脚送出 2~3：选择外部 CLK 引脚输入的时钟	0x00
29 : 24			保留	0x00
23 : 22	ADCKSEL	R/W	ADC 工作频率选择·DR 寄存器所对应的输出 0：默认频率 1：工作频率除 2·此时 DR 寄存器所对应的数据率也相应除 2 2：工作频率乘 2·此时 DR 寄存器所对应的数据率也相应乘 2 3：保留	0x00
21	FR_SEL	R/W	频率模式选择 0：50Hz 模式 1：60Hz 模式·此时 DR 寄存器对应频率都乘 1.2	0x00
20			保留	0x00

位置	名称	类型	描述	Default
19	REFDET_EN	R/W	REF 检测使能 0: 不使能 1: 使能·当正使用的 REF 低于 0.6V 时·REF_ERR 置 1	0x00
18 : 16			保留	0x00
15	POWD	R/W	睡眠模式选择 0: 正常工作模式 1: 睡眠模式 (无法进行转换)	0x00
14	IIT1	R/W	增加 PGA 电流·用于高功率模式 0:默认 1:增加约 60uA	0x00
13	IIT0	R/W	增加 PGA 电流·用于高功率模式 0:默认 1:增加约 60uA	0x00
12 : 8			保留	0x00
7	REF2P5_EN	R/W	内部 2.5V 基准源使能 0: 不使能 1: 使能	0x00
6	ADCPDN	R/W	ADC 模拟模块使能·此寄存器会在开始转换时自动开关 ADC·但 是主控端也可以强制打开 ADC 读取 0: ADC 已关闭 读取 1: ADC 已使能 写入 0: 无作用 写入 1: 强制使能 ADC (测试用)	0x00
5	PWRDET	R/W	电源欠压检测使能 0: 不使能 1: 使能	0x00
4	IDT	R/W	偏置电流调节·用于低功率模式 0: 默认 1: 降低约 100uA	0x00
3 : 0			保留	0x00

5.4.3 SYS_CONF2

D31	D30	D29	D28	D27	D26	D25	D24
D23	D22	D21	D20	D19	D18	D17	D16
VB7_EN	VB6_EN	VB5_EN	VB4_EN	VB3_EN	VB2_EN	VB1_EN	VB0_EN
D15	D14	D13	D12	D11	D10	D9	D8
	IDAC1_CH<2>	IDAC1_CH<1>	IDAC1_CH<0>		IDAC0_CH<2>	IDAC0_CH<1>	IDAC0_CH<0>
D7	D6	D5	D4	D3	D2	D1	D0
SHI	IDAC1<2>	IDAC1<1>	IDAC1<0>		IDAC0<2>	IDAC0<1>	IDAC0<0>

Table 5-8 SYS_CONF2 定义

位置	名称	类型	描述	Default
31 : 24	GPIOx_EN	R/W	保留	0x00
23 : 16	VBx_EN	R/W	VBIAS (为 (AVDD-AVSS)/2)输出使能· 对应到 AIN7~AIN0 0 : 不使能 1 : 将 VBIAS 偏置电压输出到 AINx	0x00
15			保留	0x00
14 : 12	IDAC1_CH	R/W	电流源 IDAC1 输出信号信道选择· 需配置为1	0x00
11			保留	0x00
10 : 8	IDAC0_CH	R/W	电流源 IDAC0 输出信号信道选择· 需配置为0	0x00
7	SHI	R/W	ADC 输入内部短路· 此寄存器会在进行 Offset 校准时自动置 1· 校准完成后会回复原本设定值· 软件设置此寄存器为 1 后会强制使能短路功能 0 : 不使能 1 : 使能	0x00
6 : 4	IDAC1	R/W	电流源 IDAC1 电流大小选择 0 : 0uA 1 : 10uA 2 : 50uA 3 : 200uA 4 : 500uA 5 : 1000uA 6 : 1500uA 7 : 1500uA	0x00
3			保留	0x00
2 : 0	IDAC0	R/W	电流源 IDAC0 电流大小选择 0 : 0uA 1 : 10uA 2 : 50uA 3 : 200uA 4 : 500uA 5 : 1000uA 6 : 1500uA 7 : 1500uA	0x00

5.4.4 SYS_CONF3

D31	D30	D29	D28	D27	D26	D25	D24
D23	D22	D21	D20	D19	D18	D17	D16
		PHA<5>	PHA<4>	PHA<3>	PHA<2>	PHA<1>	PHA<0>
D15	D14	D13	D12	D11	D10	D9	D8
REFSEL<1>	REFSEL<0>	SIGBUF_ENN	REFBUF_ENN	BURNOUT	GA<2>	GA<1>	GA<0>
D7	D6	D5	D4	D3	D2	D1	D0
VNSEL<3>	VNSEL<2>	VNSEL<1>	VNSEL<0>	VPSEL<3>	VPSEL<2>	VPSEL<1>	VPSEL<0>

Table 5-9 SYS_CONF3 定义

位置	名称	类型	描述	Default
31 : 22			保留	0x00
21 : 16	PHA	R/W	ADC 码流相位延时 · 对 ADC 码流信号进行延时 0 : 不延时 1 : 延后 1 个 ADC 时钟 2 : 延后 2 个 ADC 时钟 ... 63 : 延后 63 个 ADC 时钟	0x00
15 : 14	REFSEL	R	ADC 基准电压选择 · 此寄存器的值会由当前选择的转换配置寄存器赋值过来 0 : REFP1/REFN1 1 : REFP2/REFN2 2 : 内部基准 3 : AVDD/AVSS	0x00
13	SIGBUF_ENN	R	信号 BUFFER 使能 · 此寄存器的值会由当前选择的转换配置寄存器赋值过来 0 : 打开 1 : 关闭	0x00
12	REFBUF_ENN	R	基准 BUFFER 使能 · 此寄存器的值会由当前选择的转换配置寄存器赋值过来 0 : 打开 1 : 关闭	0x00
11	BURNOUT	R	输入信号端开路检测 · 此寄存器的值会由当前选择的转换配置寄存器赋值过来 0 : 关闭开路检测功能 1 : 芯片内部往输入引脚灌 0.5uA 电流 · 检测是否开路	0x00
10 : 8	GA	R	ADC 模拟增益选择 · 此寄存器的值会由当前选择的转换配置寄存器赋值过来 0x0 : x1 0x1 : x2 0x2 : x4 0x3 : x8 0x4 : x16 0x5 : x32 0x6 : x64 0x7 : x128	0x00

位置	名称	类型	描述	Default
7 : 4	VNSEL	R	ADC 信号负端选择·此寄存器的值会由当前选择的转换配置寄存器赋值过来 0x0 : AIN0 0x1 : AIN1 0x2 : AIN2 0x3 : AIN3 0x4 : AIN4 0x5 : AIN5 0x6 : AIN6 0x7 : AIN7 0x9~0xF : AVSS	0x00
3 : 0	VPSEL	R	ADC 信号正端选择·此寄存器的值会由当前选择的转换配置寄存器赋值过来 0x0 : AIN0 0x1 : AIN1 0x2 : AIN2 0x3 : AIN3 0x4 : AIN4 0x5 : AIN5 0x6 : AIN6 0x7 : AIN7 0x9 : LDO 0xA : DVDD/2 0xB : AVDD/2 0xC~0xF : AVSS	0x00

5.5 D_TARG 寄存器

D_TARG 寄存器为 GAIN 校准时需要用到的寄存器，详情请见校准单元。

Table 5-10 D_TARG 定义

位置	名称	类型	描述	Default
23 : 0	D_TARG	R/W	系统 Gain 校准之 ADC 期望值 0x400000 : 正半量程(+0.50) 0x7FFFFFF : 正满量程(+1.00)	0x7FFFFFF

5.6 CONV_DATA 寄存器

CONV_DATA 寄存器为转换完成后数据储存的寄存器，详情请见校准单元。

Table 5-11 CONV_DATA 定义

位置	名称	类型	描述	Default
23 : 0	DATA	R	ADC 转换结果 0x400000 : 正半量程(+0.50) 0x7FFFFFF : 正满量程(+1.00) 0xC00000 : 负半量程(+0.50) 0x800000 : 负满量程(-1.00)	--

6. 芯片校准

6.1. 校准概述

芯片的校准分为两个部分，offset 校准和 gain 校准。同时又分为自校准和系统校准两类，不管是自校准还是系统校准，用户都需先校准 offset，后校准 gain。校准时也沿用转换设置寄存器里的 DR(Data Rate)设置，如果时间允许客户应尽可能使用更低的 data rate 来进行 offset 校准和 gain 校准，以便得到更精确的校准值。如果期望校准值再精确（如 24BIT 以上的无噪声精），可以由主控端多发起几次校准，每次校准后都将校准值读出，再取平均值，写入校准寄存器中。

6.2. Offset 自校准

上位机通过转换命令帧配置芯片进入 offset 自校准模式后，芯片会自动将 SYS_CONF 中的 SHI 寄存器置'1'，芯片将在内部将选中通道的输入端短路，此时 ADC 输入的信号为 0 信号，然后以指定的转换设置寄存器中的 ADC 配置参数（如 ADC 增益、DR 配置等）测量此时的 ADC 值，所测得的 ADC 转换值即为芯片自身所具有的 offset，芯片将自动将该 offset 值填入相应通道的 offset 校准寄存器中，同时也从 SDO 上输出数据以便上位机读取。

校准完成芯片会将系统寄存器中的 SHI 寄存器置'0'。

6.3. Offset 系统校准

上位机通过转换命令帧配置芯片进入 offset 系统校准模式后，芯片将以指定的转换设置寄存器中的 ADC 配置参数（如 ADC 增益、DR 配置等）测量此时的 ADC 值。在此之前，用户需保证芯片外部所加信号为 0，此时所测得的值即为系统 offset，芯片将自动将该 offset 值填入相应通道的 offset 校准寄存器中，同时也从 SDO 上输出数据以便上位机读取。

6.4. Gain 系统校准

上位机通过转换命令帧配置芯片进入 gain 系统校准模式后，芯片将以指定的转换设置寄存器中的 ADC 配置参数（如 ADC 增益、DR 配置等）测量此时的 ADC 值。在此之前，用户需保证芯片外部所加信号幅度达到满量程的 10%以上（最好为 20%~50%之间），同时用户将该输入信号下所期望的理想 ADC 值填入 ADC 目标寄存器 D_{targ} 中。

ADC 转换完成后，ADC 经滤波器得到的值为 D_{ori} ，首先将减掉对应通道中的 offset 寄存器值（校准时先校准 offset，此时该通道的 offset 值已经是准确值）， $D_{out} = D_{ori} - OS_CHx$ ，然后计算 $GAIN_CHx = D_{targ}/D_{out}$ ，并自动将 GAIN_CHx 填入相应通道的 gain 校准寄存器中，同时也从 SDO 上输出数据以便上位机读取。

6.5. 正常转换时的数据校准

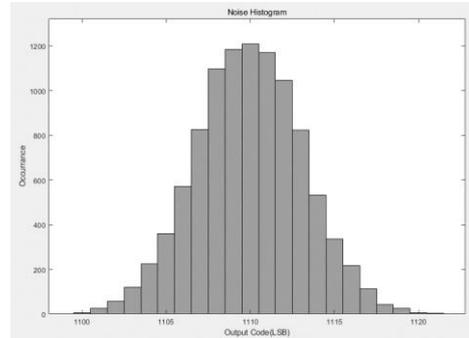
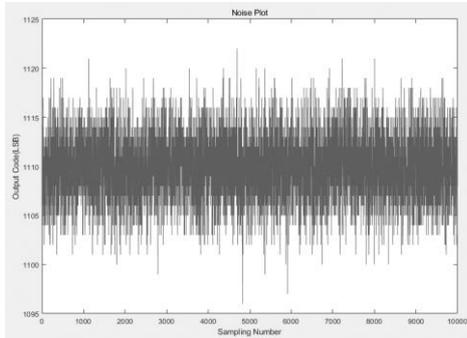
正常转换时，假设 ADC 经滤波器得到的值为 D_{ori} ，根据转换设置寄存器里的配置，该次转换对应选择的 offset 和 gain 校准寄存器值分别为 OS_CHx 和 $GAIN_CHx$ ，则芯片将自动计算值，并将其填入转换数据寄存器。

7 ADC 测试图表

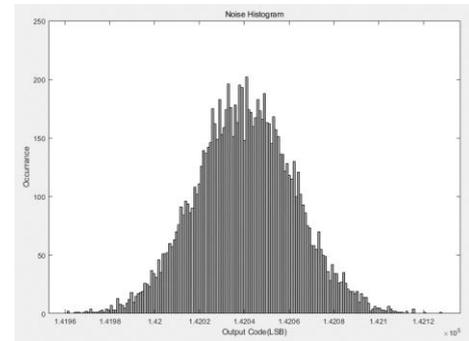
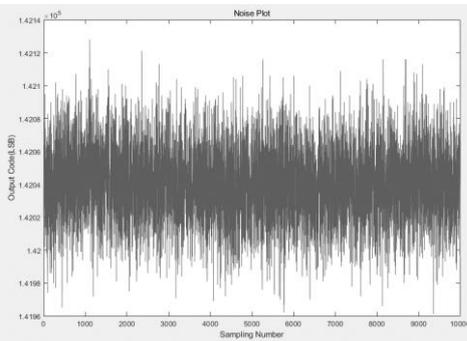
7.1 性能工作模式下的噪声值

测试条件：输入 0.33mV 的直流信号 · AVDD=DVDD=5V · REFP1=2.5V · REFN1=GND · 采样率 25Hz ·

PGA=1



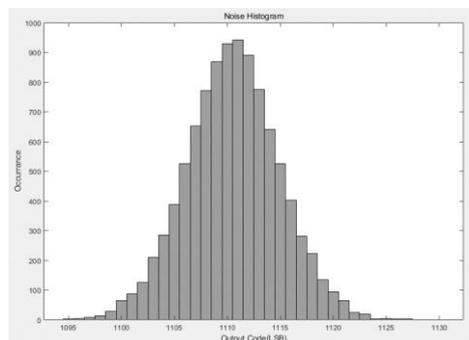
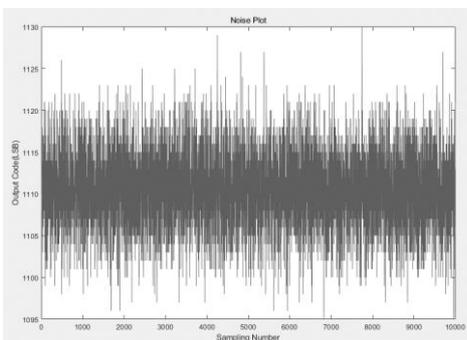
PGA=128



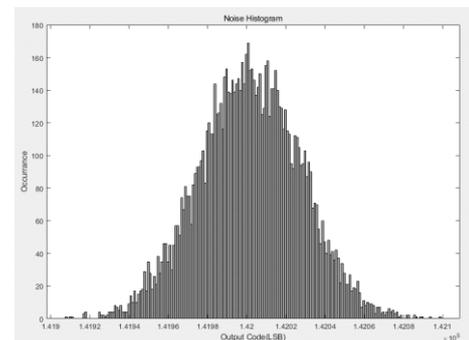
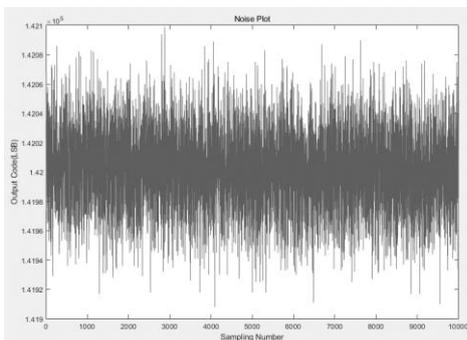
7.2 正常工作模式下的噪声值

测试条件：输入 0.33mV 的直流信号 · AVDD=DVDD=5V · REFP1=2.5V · REFN1=GND · 采样率 25Hz ·

PGA=1



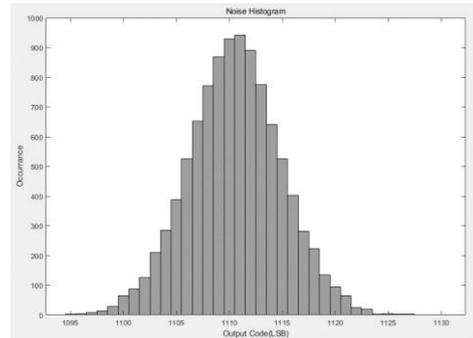
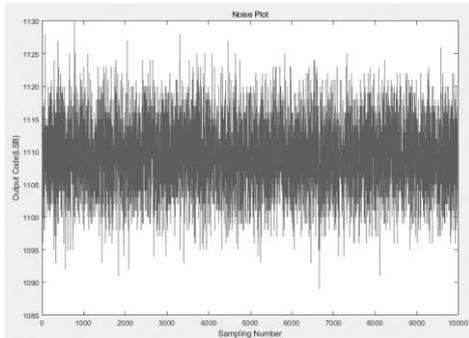
PGA=128



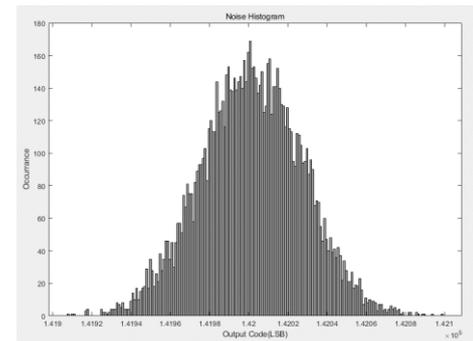
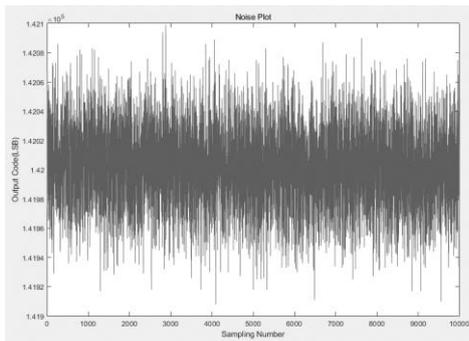
7.3 低功耗工作模式下的噪声值

测试条件：输入 0.33mV 的直流信号 · AVDD=DVDD=5V · REFP1=2.5V · REFN1=GND · 采样率 25Hz ·

PGA=1



PGA=128

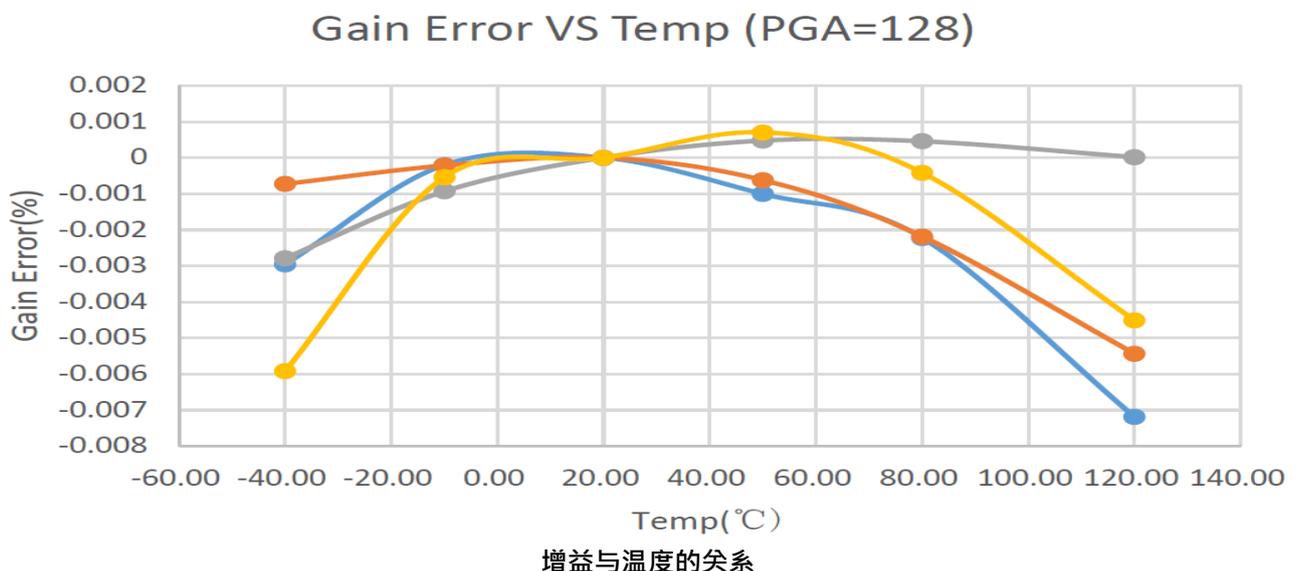


7.4 增益和 Offset 的温漂

增益温漂测试条件：

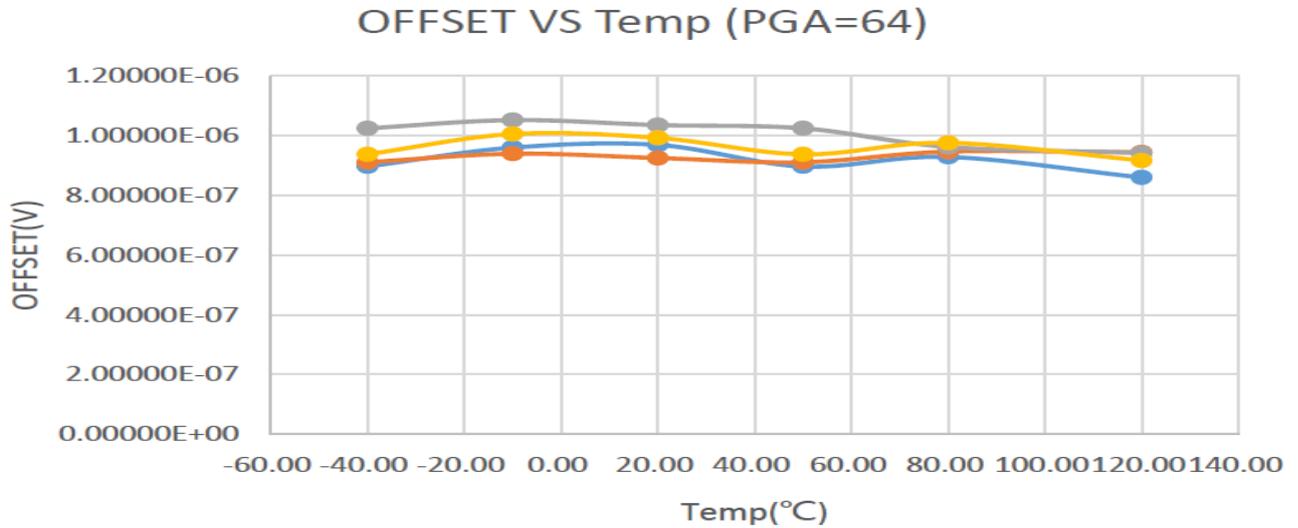
输入一半满量程的直流信号 · AVDD=DVDD=REFP1=5V · REFN1=GND · PGA=128 · DR=3.125Hz ·
测试温度范围为-40~120 摄氏度。

下图为 4 颗芯片的测试数据：



Offset温漂测试条件：

选择内部 AVSS 通道，AVDD=DVDD=5V，REFP1=2.5V, REFN1=GND，增益设置为 64 倍，DR=3.125Hz。测试温度范围-40~120 摄氏度。



Offset 与温度的关系

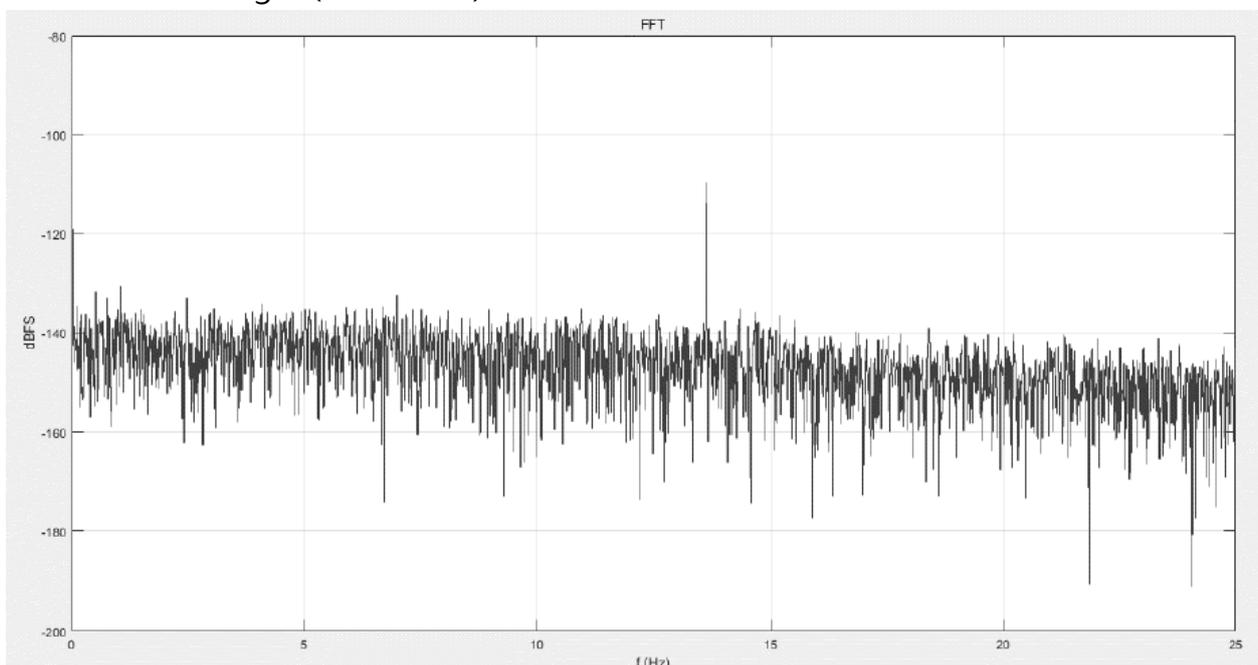
7.5 电源抑制比(PSRR)

测试条件：

电源上迭加1V峰峰值、12.5Hz的正弦信号，AVDD=DVDD=4.5V（即电源在4~5V之间变化），REFP1=2.5V，REFN1=GND，PGA设置为128倍，采样率50Hz。频谱图如下图所示。

电源工频干扰信号在输出数据上为-108dB 即4uV，等效到输入端为 $4\mu\text{V} \cdot 2.5\text{V} / 128 = 78\text{nV}$ （其中2.5V为基准电压）。1V峰峰值的输入电源干扰的有效值为， $1/2/1.414 = 0.354\text{V}$ 。

则PSRR计算为： $20 \cdot \log_{10}(0.354/78\text{n}) = 133\text{dB}$

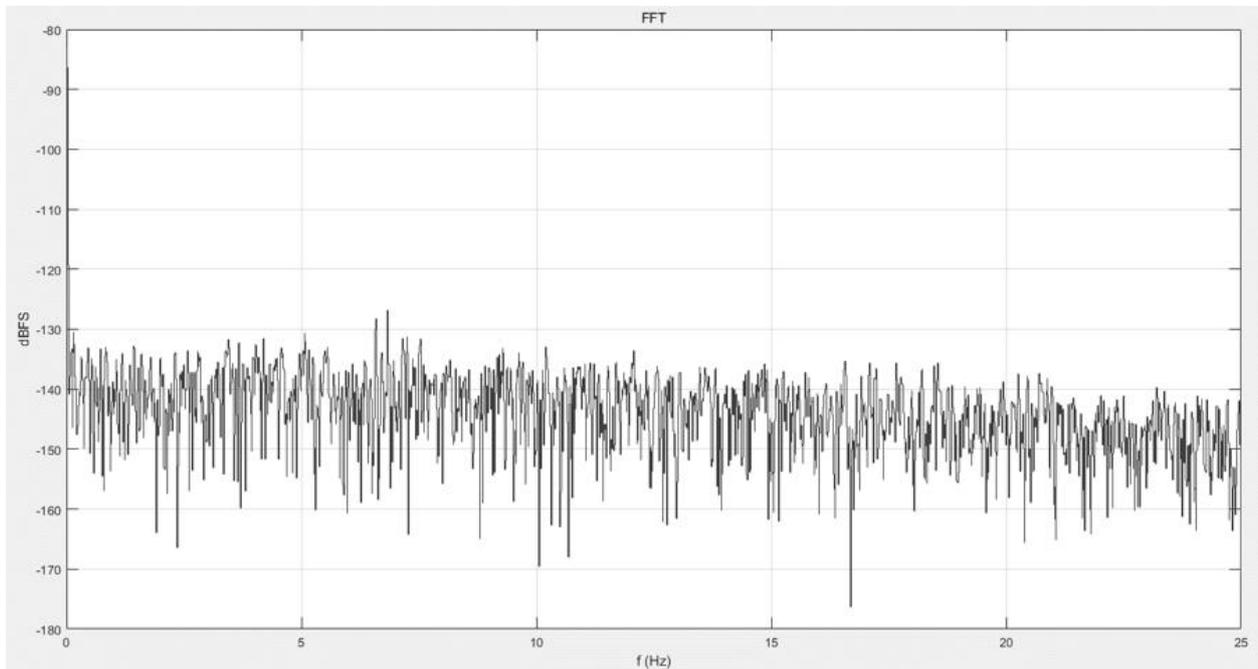


7.6 共模抑制比(CMRR)

测试条件：

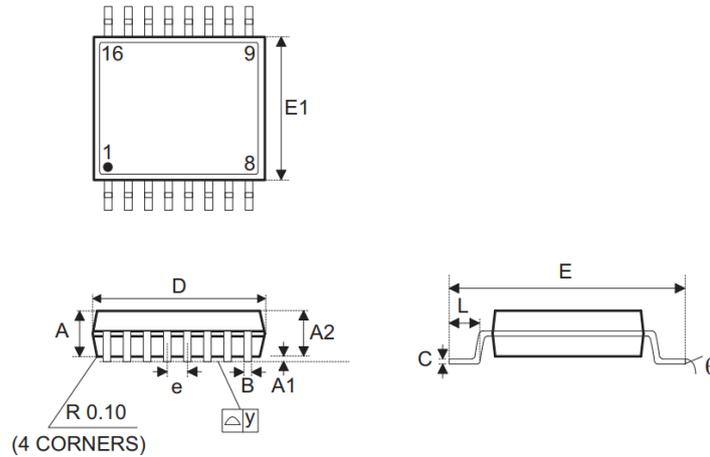
在输入信号上迭加2V峰峰值、6.25Hz的正弦共模信号， $AVDD=DVDD=5V$ ， $REFP1=2.5V$ ， $REFN1=GND$ ，PGA设置为128倍，采样率50Hz。频谱图如下图所示。

无可见共模信号出现在信号频谱上，考虑到PGA为128倍，则共模抑制在150dB以上



8. PACKAGING 封装

TSSOP16 封装



Symbol	Dimensions in inch		
	Min.	Nom.	Max.
A	0.039	—	0.041
A1	0.002	—	0.006
A2	0.041	—	0.047
B	—	0.010	—
C	0.004	—	0.006
D	0.193	—	0.201
E	0.244	—	0.260
E1	0.169	—	0.177
e	—	0.026	—
L	0.020	—	0.028
y	—	—	0.003
θ	0°	—	8°

Symbol	Dimensions in mm		
	Min.	Nom.	Max.
A	1.00	—	1.05
A1	0.05	—	0.15
A2	1.05	—	1.20
B	—	0.25	—
C	0.11	—	0.15
D	4.90	—	5.10
E	6.20	—	6.60
E1	4.30	—	4.50
e	—	0.65	—
L	0.50	—	0.70
y	—	—	0.076
θ	0°	—	8°