



产品特性

单电源供电：1.8V或3V

低功耗：

32mW（电源电压 1.8V）

54mW（电源电压 3.0V）

信噪比(SNR)：

75dBFS(5MHz Fin、10MSPS)

无杂散动态范围(SFDR)：

95dBFS(5MHz Fin、10MSPS)

采样频率可以低至 1MSPS

CMOS 输出

并口配置模式

32 引脚（5mm×5mm）QFN 封装

支持内置或外置参考电压源

应用

通信

便携式医学成像

多通道数据采集

产品聚焦

1. 管脚兼容 ADI 公司 LTC2245 系列
2. 单电源供电，支持 1.8V 或 3V 两档电源电压
3. CMOS 输出
4. 并口配置支持 1.8V~3.6V 电平

功能框图

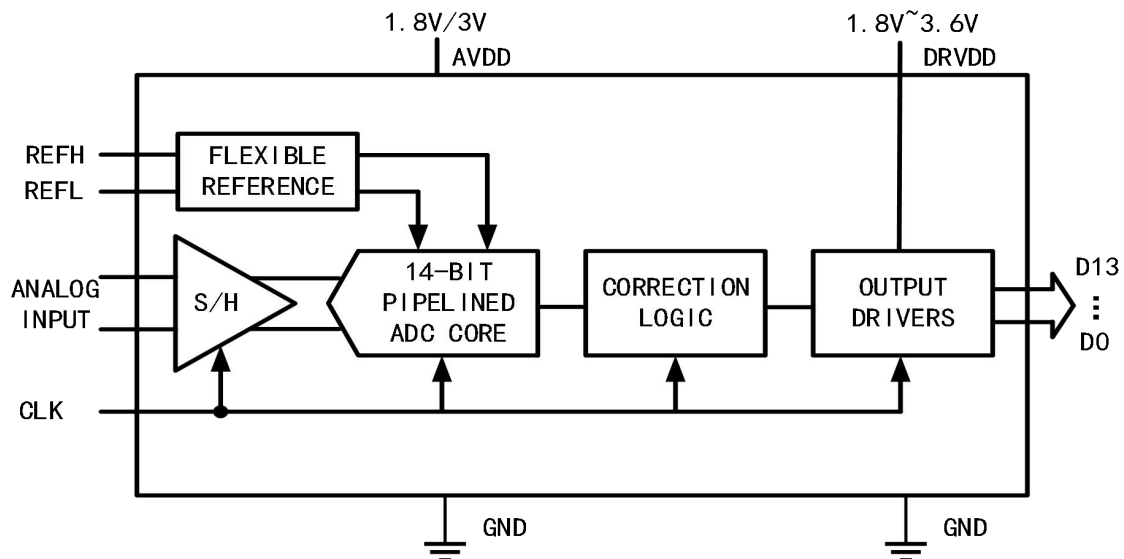


图 1. 功能框图



修订历史

版本	时间		修订内容	位置
V1.0	2021/11/09		手册初稿	
V1.1	2021/12/17		修改 MODE 引脚定义	
V1.2	2022/3/14		增加频谱图、INL 图	P12,P13
V1.3	2022/4/18		修改 CLK 输入电压范围的条件	表 3
V1.4	2022/6/28		增加高低温频谱图	图 5,图 6





目录

产品特性	1	等效电路	17
应用	1	应用信息	17
产品聚焦	1	转换器工作	17
功能框图	1	模拟输入	17
修订历史（内部）	2	输入滤波	18
目录	3	变压器耦合电路	18
概述	4	放大器电路	19
技术规格	5	参考电平	19
ADC 直流规格	5	REFH, REFL	19
ADC 交流规格	6	时钟输入	19
数字规格	7	输出数据格式	20
时序规格	7	输出停用	20
时序图	8	睡眠模式	20
绝对最大额定值	9	应用信息	21
热特性	9	设计指南	21
ESD 警告	9	外形尺寸	22
引脚配置和功能描述	10	名词对照表	23
典型工作特性	12		





概述

ZYL2245 是一款单通道、14 位 10MSPS 低噪声模数转换器（ADC），旨在支持需要高性能、低噪声、低成本、小尺寸、多功能的数据采集和通信应用。ZYL2245 支持 3V 或 1.8V 两种电源模式。

这款双通道 ADC 内核采用差分、多级流水线结构，集成了输出纠错逻辑，集成内置基准源，支持引入外置基准源作为 ADC 的基准电压。

ADC 输出数据可以直接送至 CMOS 驱动电路。

芯片模式设置与控制通过并行接口来完成。

ZYL2245 采用 32 引脚 QFN 封装，额定温度为-40℃至 85℃工业温度范围。





技术规格

ADC 直流规格

除非另有说明，AVDD=3V，DRVDD=3V，采样率 10MHz，VIN=-1.0dBFS 差分输入，2Vpp 输入范围。

表 1.

参数	温度	最小值	ZYL2245		单位
			典型值	最大值	
分辨率	-40°C~85°C		14		位
精度					
失调误差	-40°C~85°C		±2		mV
增益误差	-40°C~85°C		±0.5		%FS
微分非线性 (DNL)	25°C		±1		LSB
积分非线性 (INL)	25°C		±1		LSB
温度漂移					
失调误差			±10		uV/°C
转换噪声 (transition noise)					
	25°C		1.0		LSB rms
模拟输入					
输入范围 (ZYL2245)			2		Vpp
输入共模电压			1		V
模拟输入共模电流			待测		μA
模拟输入泄露电流 (不包括 SENSE 和 MODE 引脚)		-1		1	μA
SENSE 引脚输入泄露电流		-3		3	μA
MODE 引脚泄露电流		-3		3	μA
内部参考					
共模输出电压			1.0		V
共模输出电阻			150		Ω
电源					
电源电压					
AVDD	-40°C~85°C	1.75	1.8	2.0	V
		2.7	3.0	3.4	V
DRVDD	-40°C~85°C	1.62		3.6	V
电源电流					
IAVDD	25°C		18		mA
功耗					
AVDD=1.8V DRVDD=1.8V	25°C		32.4		mW
AVDD=3.0V DRVDD=3.0V	25°C		54		mW
休眠功耗	25°C		1		mW





注释：1. 测量条件为：低输入频率、满量程正弦波、每个输出位的负载约为 5pF，单端 clock 输入。

ADC 交流规格

除非另有说明，AVDD=3V，DRVDD=3V，采样率 10MSPS，VIN=-1.0dBFS 差分输入，2Vpp 输入范围。

表 2.

参数	温度	最小值	ZYL2245		单位
			典型值	最大值	
信噪比 (SNR)					
$f_{IN}=5\text{MHz}$	25°C		75		dBFS
	-40°C~85°C				dBFS
无杂散动态范围 (SFDR)					
$f_{IN}=5\text{MHz}$	25°C		95		dBFS
	-40°C~85°C				dBFS
模拟输入带宽 (Input Bandwidth)	25°C		400		MHz





数字规格

除非另有说明，AVDD=3V，DRVDD=3V，采样率 10MSPS，VIN=-1.0dBFS 差分输入，2Vpp 输入范围。

表 3.

参数	条件	ZYL2245			单位
		最小值	典型值	最大值	
逻辑输入 (CLK、OEB、SHDN)					
输入电压范围	$V_{DD}=1.8V$	0		2.0	V
	$V_{DD}=3V$	0		3.6	V
高电平输入电压 (V_{IH})	$V_{DD}=1.8V$	1.22			V
	$V_{DD}=3V$	2			V
低电平输入电压 (V_{IL})	$V_{DD}=1.8V$			0.6	V
	$V_{DD}=3V$			0.8	V
输入电流 (I_{IN})	$V_{IN}=0V$ 至 3.6V	-10		10	μA
输入电容 (C_{IN})	全		3		pF
逻辑输出					
高阻态输出电容 (C_{OZ})	OEB=VDD		3		pF
输出拉电流 (I_{SOURCE})	$V_{OUT}=0V$		50		mA
输出灌电流 (I_{SINK})	$V_{OUT}=3V$		50		mA
高电平输入电压 (V_{OH})	$I_o=-10 \mu A$		2.995		V
	$I_o=-200 \mu A$	2.7	2.99		V
低电平输入电压 (V_{OL})	$I_o=10 \mu A$		0.005		V
	$I_o=1.6mA$		0.09	0.4	V

时序规格

除非另有说明，AVDD=3V，DRVDD=3V，采样率 10MSPS，VIN=-1.0dBFS 差分输入，1.0V 内部基准电压。无特殊说明，仅指 $T_A=25^\circ C$ 。

表 4.

参数	条件	ZYL2245			单位
		最小值	典型值	最大值	
时钟输入参数					
输入时钟速率		1		10	MHz
转换速率		1		10	MSPS
时钟周期		100		1000	ns
时钟占空比		45		55	%
孔径延迟 (t_{AP})			0		ns
CLK 到 DATA 的延迟 (t_D)	$C_L=5pF$	1.4	2.7	5.4	ns
使能后的数据获取时间			4.3	10	ns
总线撤回时间			3.3	8.5	ns
流水线延迟			5		周期





时序图

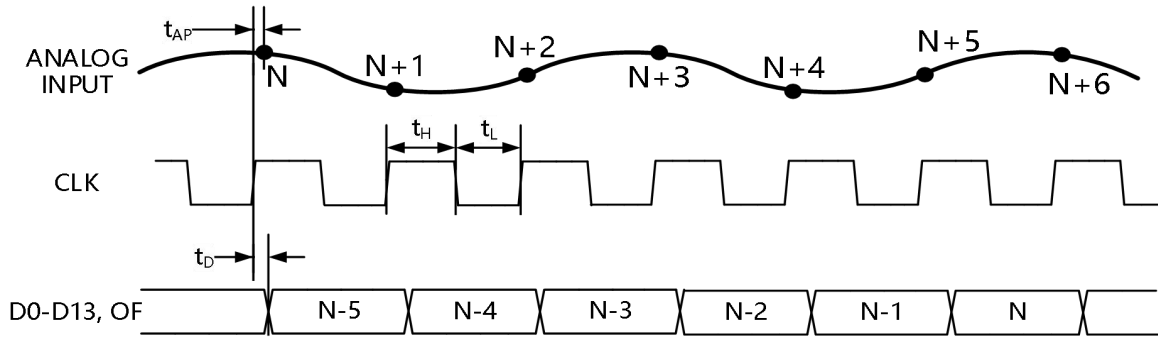


图 2 数据输出时序——CMOS 输出模式，14 位



绝对最大额定值

表 5.

参数	额定值
电器参数	
AVDD 至 GND	-0.3V~4.0V
DRVDD 至 GND	-0.3V~4.0V
Analog Input Voltage 至 GND	-0.3V~AV _{DD} +0.3V
Digital Input Voltage 至 GND	-0.3V~AV _{DD} +0.3V
Digital Output Voltage 至 GND	-0.3V~DRVDD+0.3V
环境参数	
工作温度范围（环境）	-40℃~+85℃
偏置条件下的最大结温	125℃
存储温度范围（环境）	-65℃~+150℃

¹ 输入和输出的额定工作电压为电源电压（AVDD 或 DRVDD）+0.3V。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其他超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响期间的可靠性。

热特性

QFN 封装的裸露焊盘必须焊接到接地层。将裸露焊盘焊接到 PCB 上可提高焊接可靠性，从而最大限度发挥封装的热性能。

θ_{JA} 典型值的测试条件为带实接地层的四层 PCB。如表 6 所示，气流可改善散热，从而降低 θ_{JA} 。另外，直接与封装引脚接触的金属，包括金属走线、通孔、接地层、电源层，可降低 θ_{JA} 。

表 6. 热阻

封装类型	气流速度 (m/s)	$\theta_{JA}^{1,2}$	$\theta_{JC}^{1,3}$	$\theta_{JB}^{1,4}$	单位
QFN32	0	34			℃/W

¹ 按照 JEDEC 51-7，加上 JEDEC25-5 2S2P 测试板。

² 按照 JEDEC JESD51-2(静止空气)或 JEDEC JESD51-6(流动空气)。

³ 按照 MIL-Std 883，方法 1012.1。

⁴ 按照 JEDEC JESD51-8(静止空气)。

ESD 警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。

尽管本产品有专有保护电路，但在遇到高能量 ESD 时，器件可能会损坏。因此，应当采取适当的 ESD 防范措施，以避免器件性能下降或功能丧失。



引脚配置和功能描述

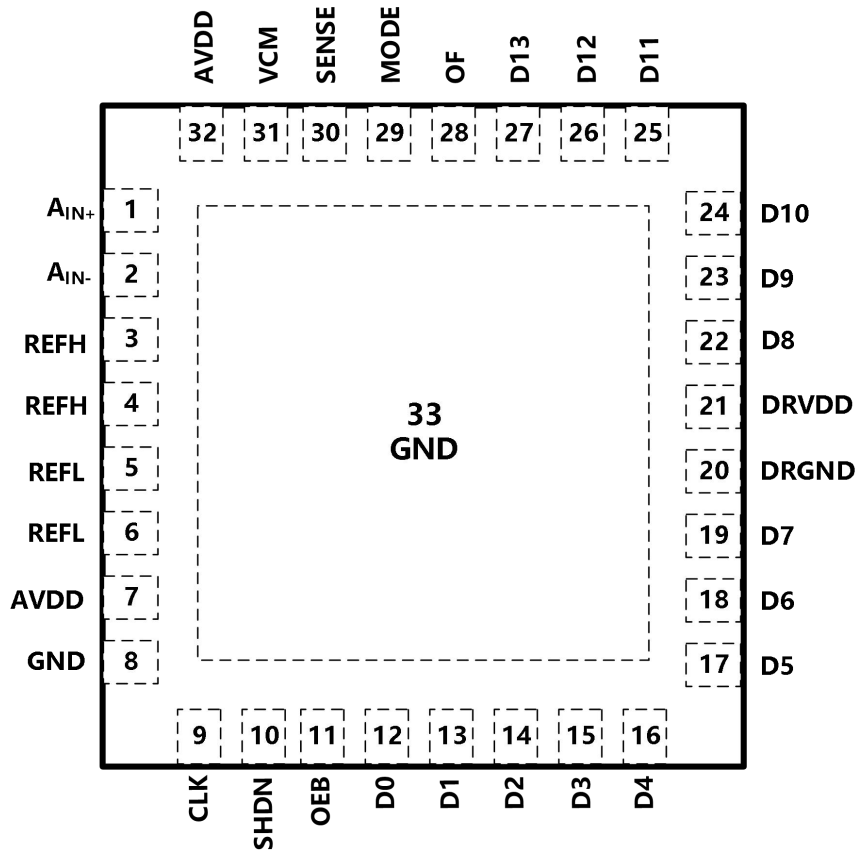


图 3. 引脚配置 (32-引脚 QFN 5mm x 5mm)



表 7. 引脚功能描述

引脚编号	引脚名称	类型	描述
ADC 电源			
21	DRVDD	电源	数字输出驱动器电源 (标称值 3V)。接 1uF 去耦电容到地。
7, 32	AVDD	电源	模拟电源 (标称值 3V)。接 1uF 去耦电容到地。
20	DRGND	地	数字输出驱动器地。
8, 裸露焊盘 33	GND, 裸露焊盘	地	封装底部的裸露热焊盘为器件提供模拟地。该焊盘必须与地相连, 才能正常工作。
ADC 模拟			
1	AIN+	输入	差分模拟输入引脚 (+)。
2	AIN-	输入	差分模拟输入引脚 (-)。
3, 4	REFH	输出	ADC 高电平参考电压。接 1uF 去耦电容到地。
5, 6	REFL	输出	ADC 低电平参考电压。接 1uF 去耦电容到地。
9	CLK	输入	ADC 时钟输入。输入信号在时钟上升沿采样。
31	VCM	输出	1.0V 输出电压, 提供模拟输入的共模电平偏置。接 1uF 去耦电容到地。
数字输出			
12, 13, 14, 15, 16, 17, 18, 19, 22, 23, 24, 25, 26, 27	D0-D13	输出	数字信号输出。D13 是 MSB。
28	OF	输出	溢出指示位。当高溢出或低溢出发生时置高。
ADC 配置			
30	SENSE	输入	基准电压选择引脚。SENSE 接 AVDD, ADC 将选择内部基准和 ±1V 的输入范围。SENSE 接 1.25V 外部基准电压, ADC 将选择外部基准和 ±1V 的输入范围。
10	SHDN	输入	关机模式选择引脚。SHDN 和 OEB 都接 GND, 芯片工作在正常模式下, 数字输出使能。SHDN 接 GND, OEB 接 AVDD, 芯片工作在正常模式下, 数字输出高阻态。SHDN 接 AVDD, OEB 接 AVDD 或 GND, 芯片工作在睡眠模式下, 数字输出高阻态。
11	OEB	输入	数字输出使能引脚。配置方法见 SHDN 引脚描述。
29	MODE	输入	数字输出格式选择引脚。MODE 接 $1/3 \cdot AVDD$ 至 GND, 数字输出格式为偏移二进制码。MODE 接 $2/3 \cdot AVDD$ 至 AVDD, 数字输出格式为二进制补码。





典型工作特性

除非另有说明, AVDD=3V, DRVDD=3V, 1.0V 内部基准电压, 2V_{pp} 差分输入, VIN=-1.0dBFS, T_A=25°C。

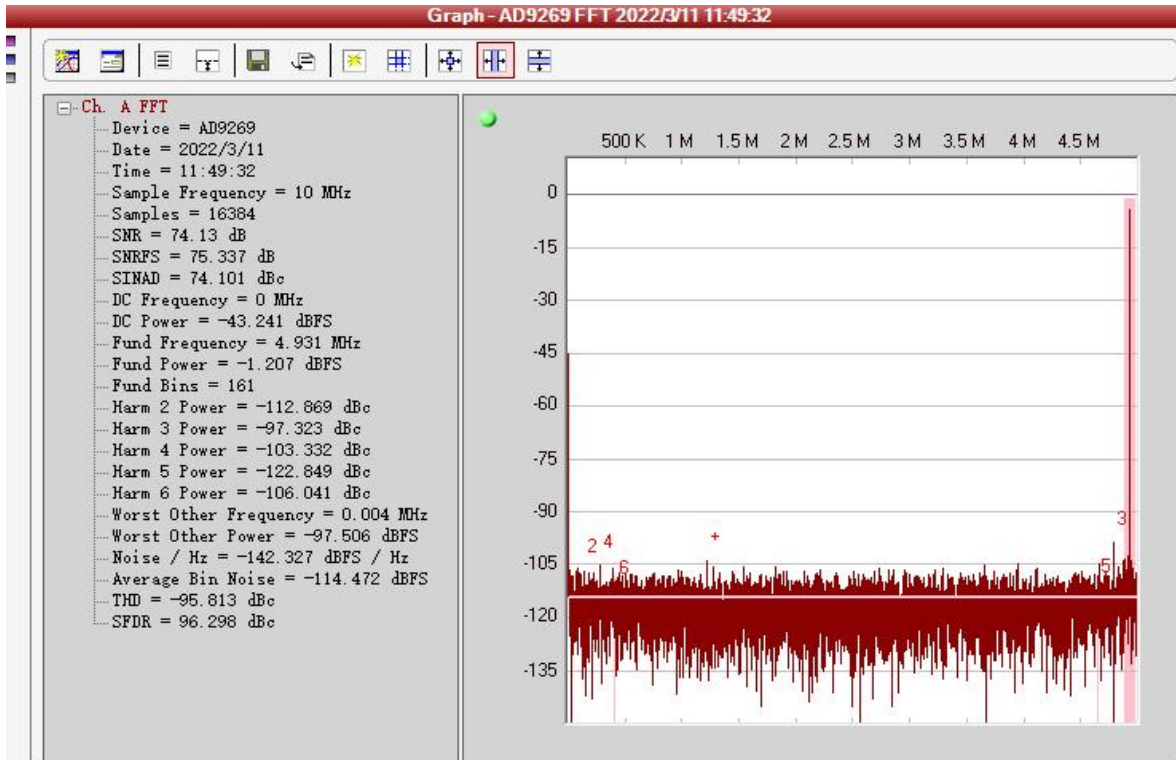


图 4. Fin=4.9MHz, -1dBFS, 10MSPS, 25°C

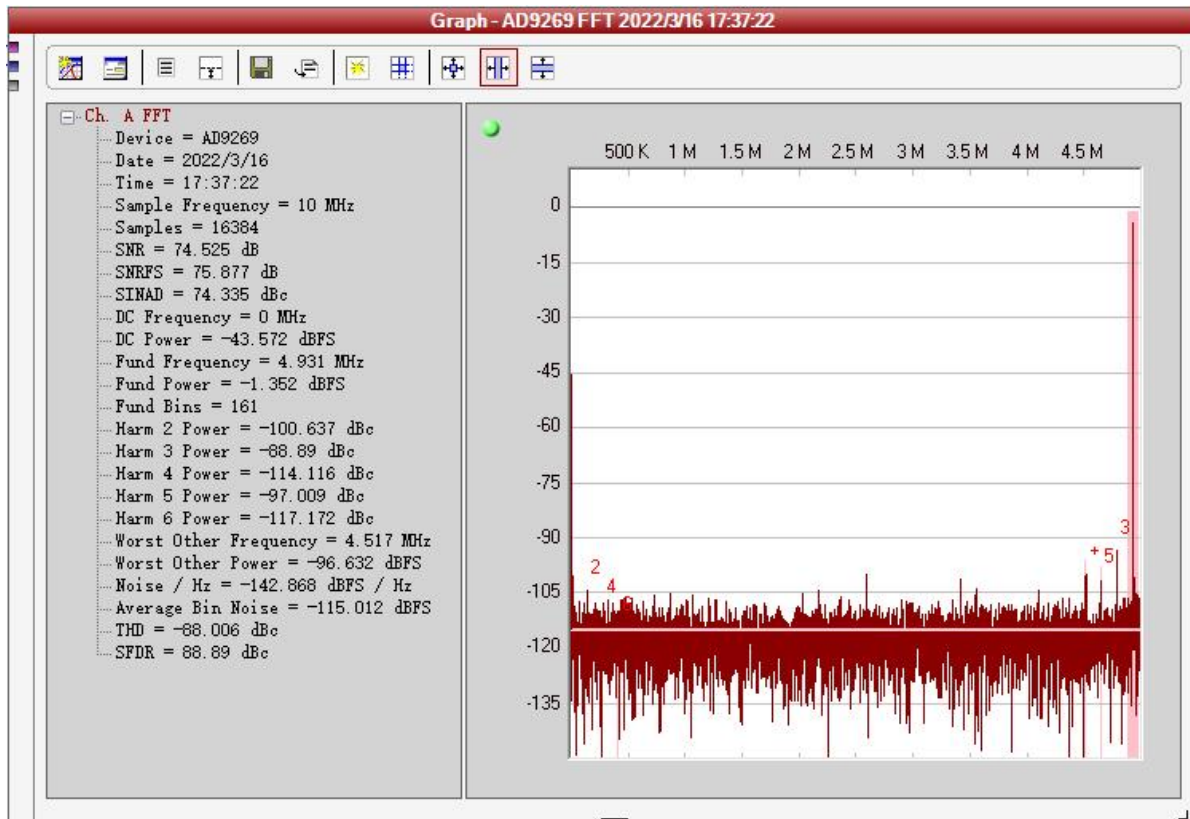


图 5. $F_{in}=4.9\text{MHz}$, -1dBFS , 10MSPS , -40°C

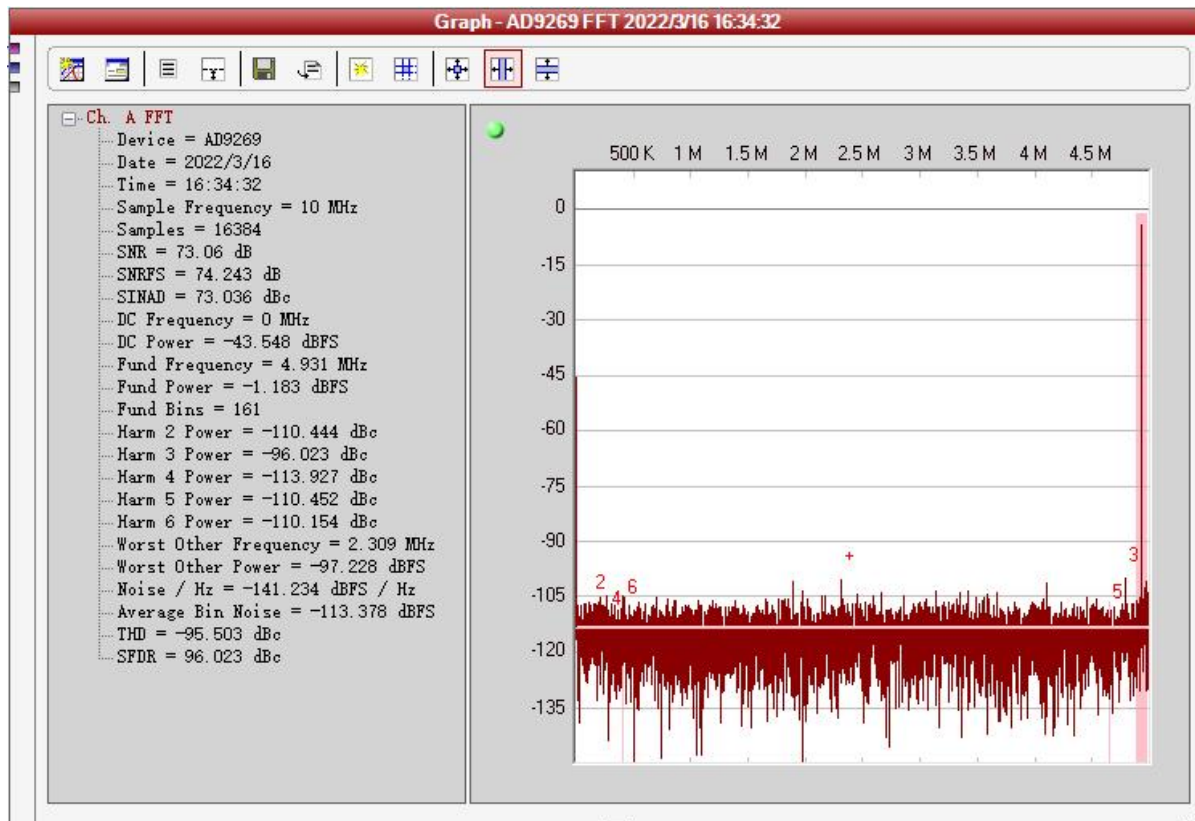


图 6. $F_{in}=4.9\text{MHz}$, -1dBFS , 10MSPS , 85°C

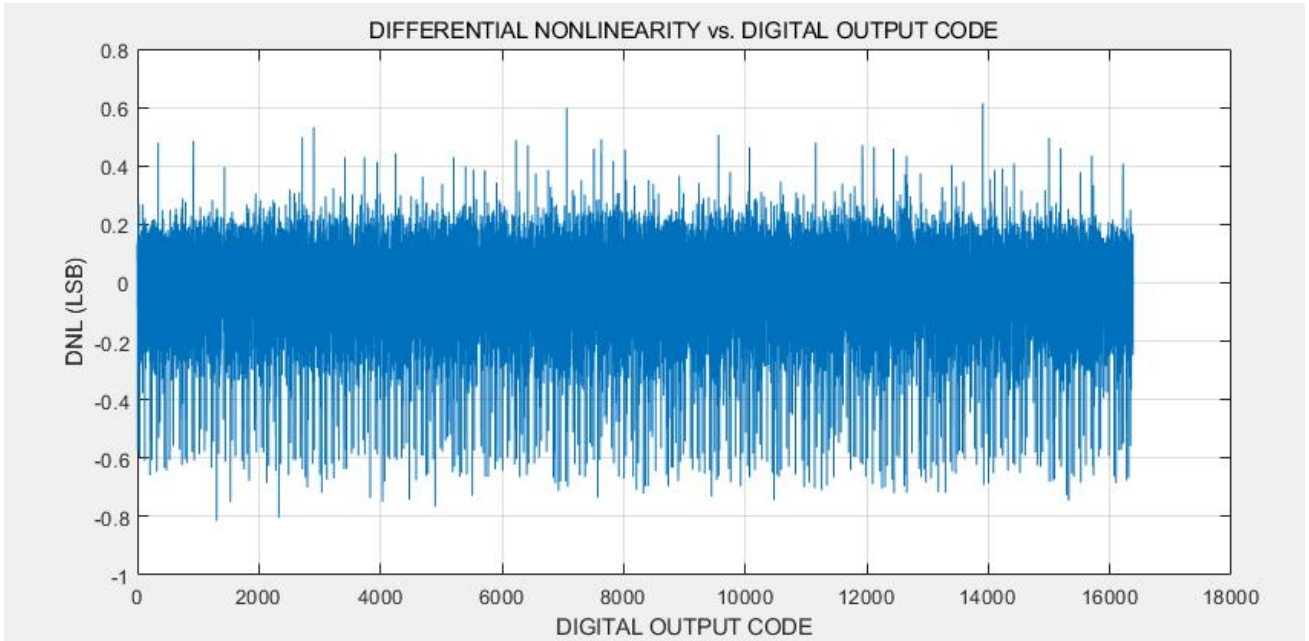


图 7. 微分非线性 (DNL) ,25°C

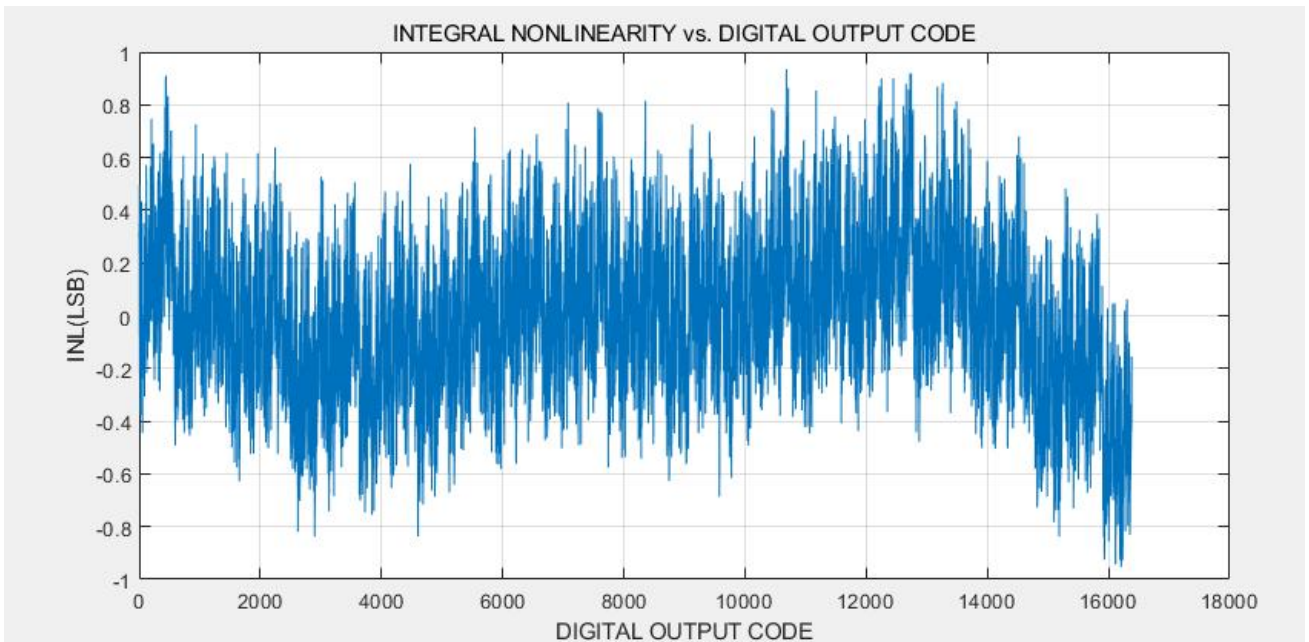


图 8. 积分非线性 (INL) ,25°C

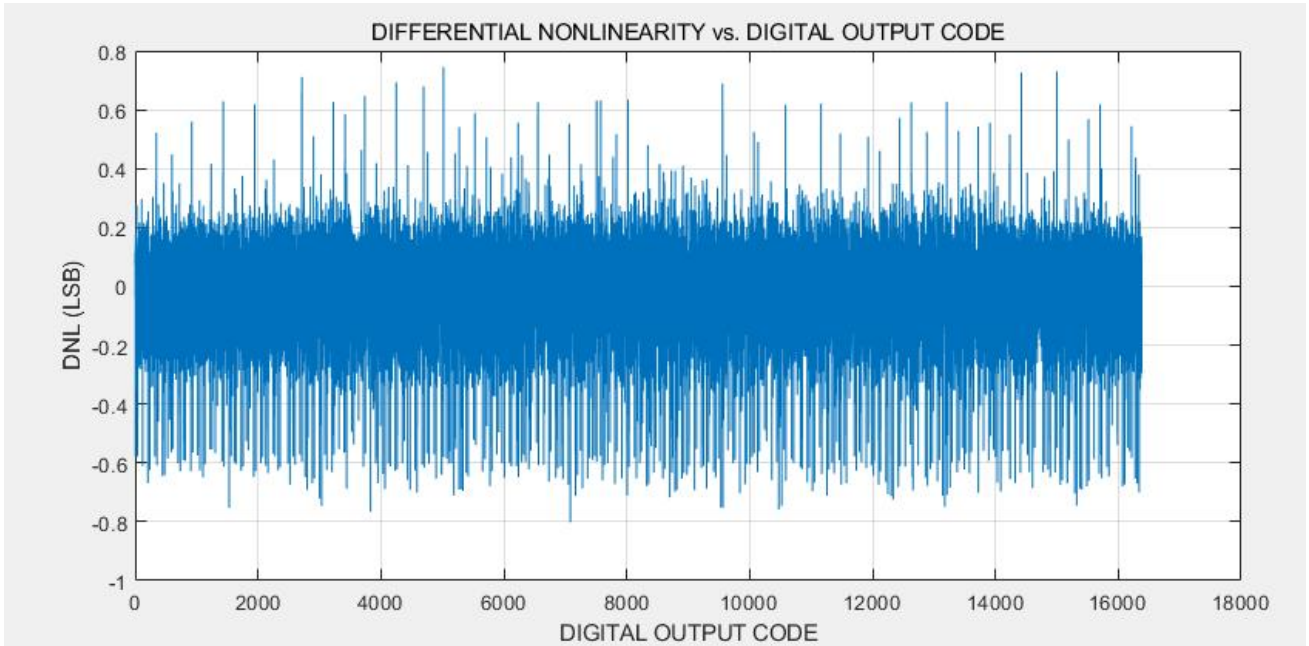


图 9. 微分非线性 (DNL) , -40°C

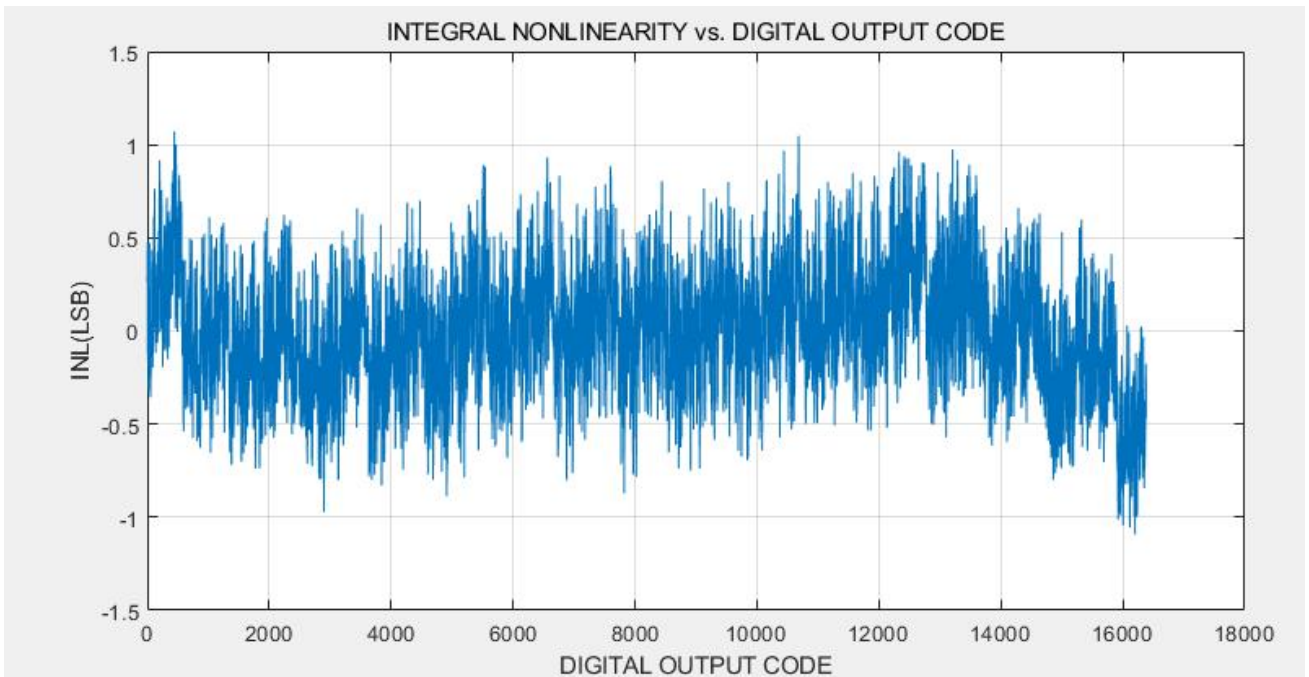


图 10. 积分非线性 (INL) , -40°C

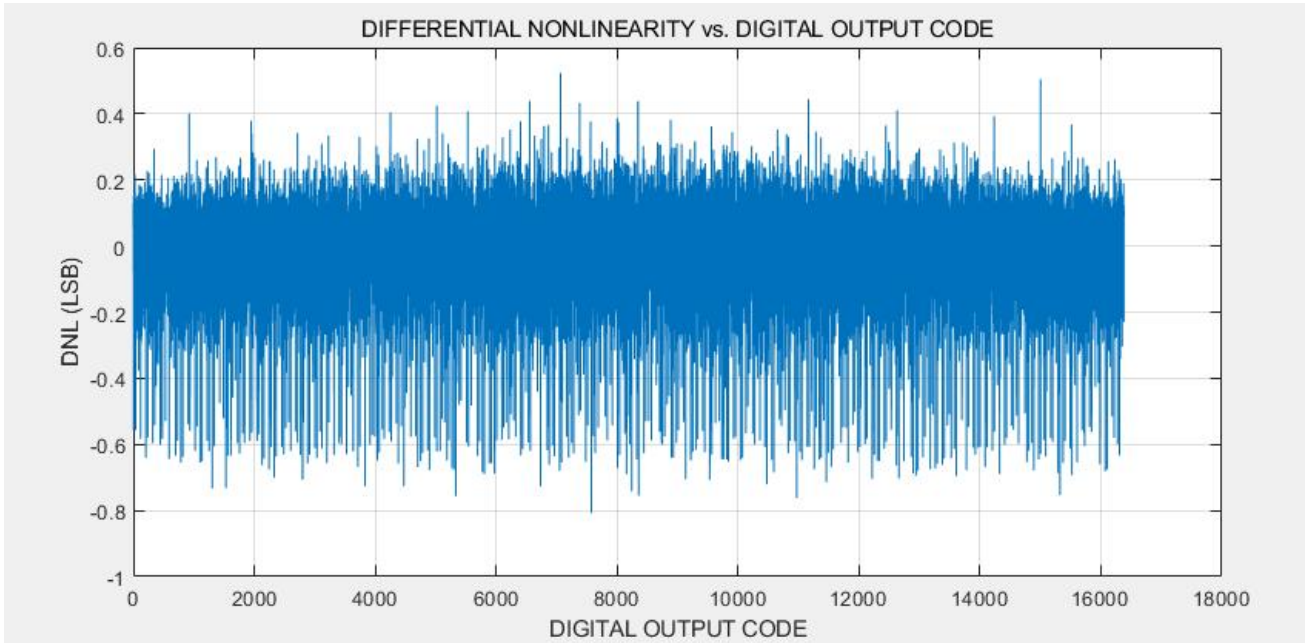


图 11. 微分非线性 (DNL) ,85°C

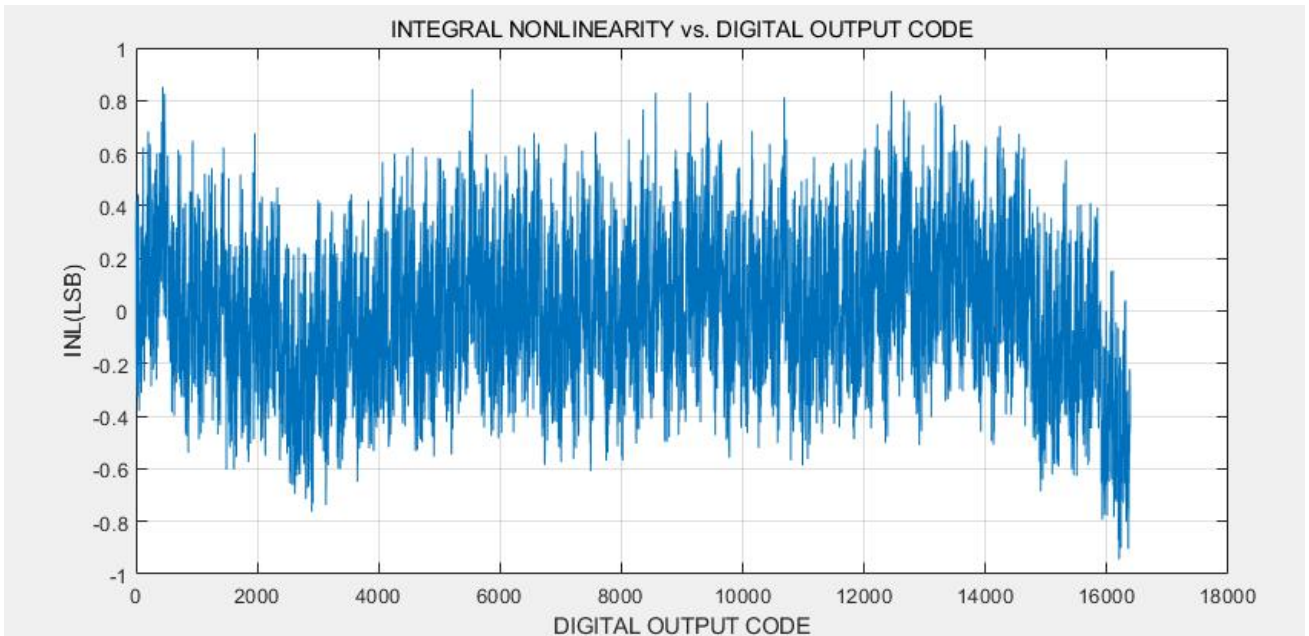


图 12. 积分非线性 (INL) ,85°C



等效电路

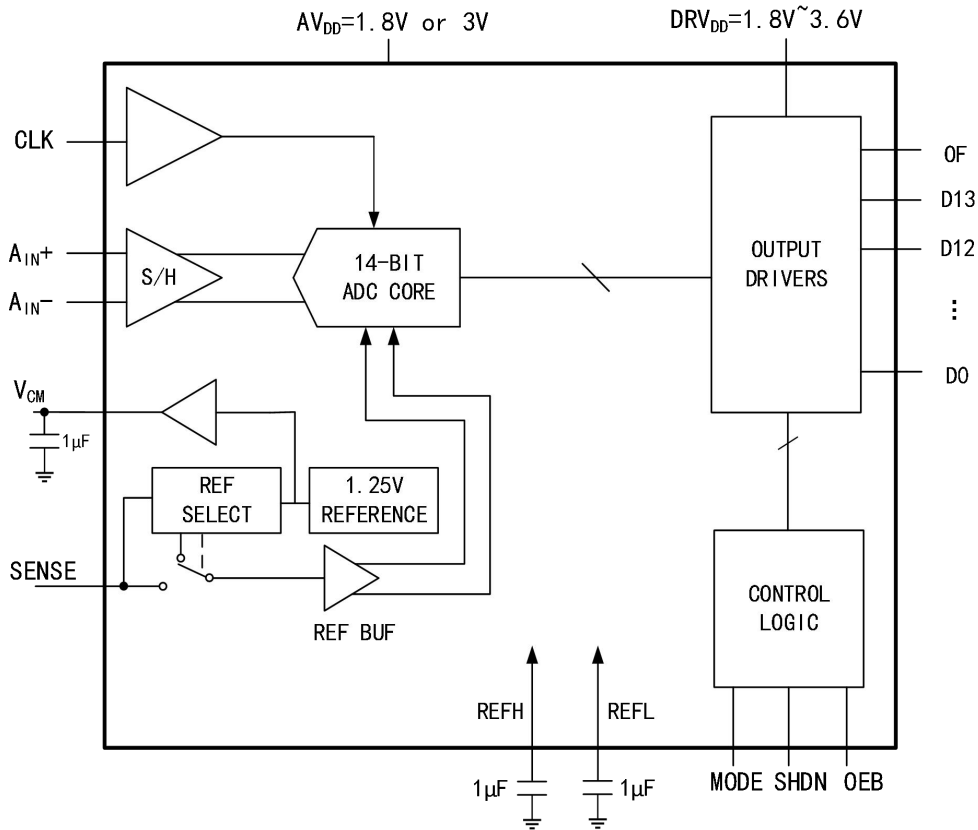


图 13. 等效电路 (ZYL2245)

应用信息

转换器工作

ZYL2245 是低功率、低噪声、单通道、14 位、10MSPS A/D 转换器，模拟电源可以选择 1.8V 电源或单 3V 电源供电，数字接口可以选择 1.62V~3.6V 内的电源供电。芯片模拟输入 (A_{IN+} 、 A_{IN-}) 为差分驱动，时钟输入 (CLK) 为单端驱动，数字输出为 CMOS 格式。通过并行端口配置芯片不同模式和功能。

模拟输入

芯片输入电路为差分 CMOS 采样及保持电路 (图 14)。需要对模拟输入进行差分驱动，信号共模电压由芯片 V_{CM} 引脚提供，共模标称值为 1.0V。ZYL2245 支持 2V 输入范围，即输入最大范围在 $V_{CM} - 0.5V$ 至 $V_{CM} + 0.5V$ 之间，差分输入信号之间应存在 180° 的相位差。

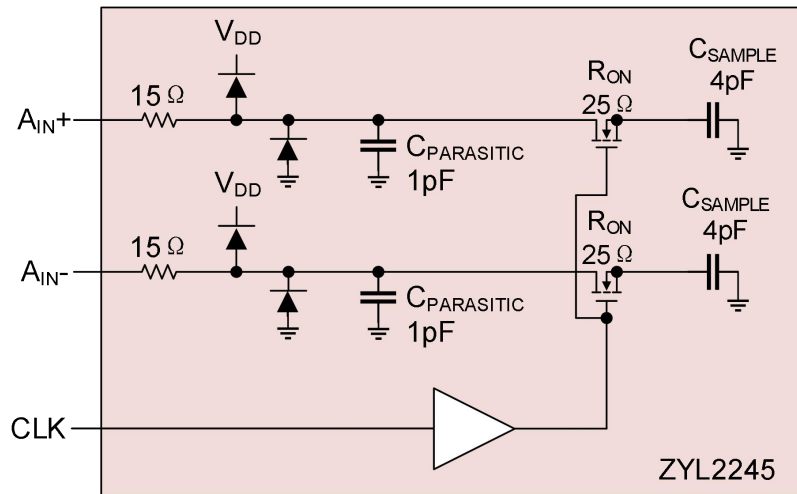


图 14. 等效输入电路

输入驱动电路

输入滤波

如果可能的话，应在模拟输入端直接布设一个 RC 低通滤波器。该低通滤波器将驱动电路与 A/D 采样及保持开关隔离开，而且还可遏止宽带噪声对驱动电路产生干扰。图 15 所示为输入 RC 滤波器的实例。RC 组件的参数值应根据应用电路的输入频率来选择。

变压器耦合电路

图 15 所示为带中心抽头副端绕组的 RF 变压器驱动电路，中心抽头共模偏置由 V_{CM} 引脚输出电压提供。大部分 RF 变压器在输入信号频率小于 1MHz 时，性能不佳。

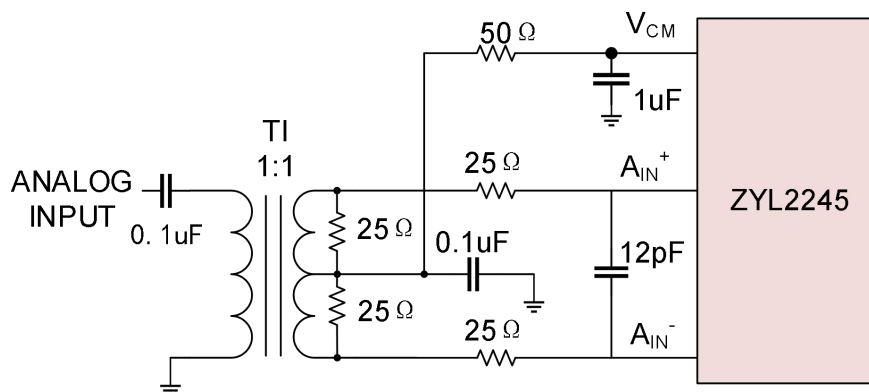


图 15. 采用 RF 变压器的模拟输入电路



放大器电路

图 16 所示为高速差分放大器驱动电路，放大器的输出共模电压应由 V_{CM} 引脚输出电压提供。这种方式的优点是可以提供低频输入响应，但是，运算放大器的有限增益带宽特性，会限制输入信号高频响应特性。对于非常高频输入信号，RF 变压器的失真常常将比差分放大器的小。

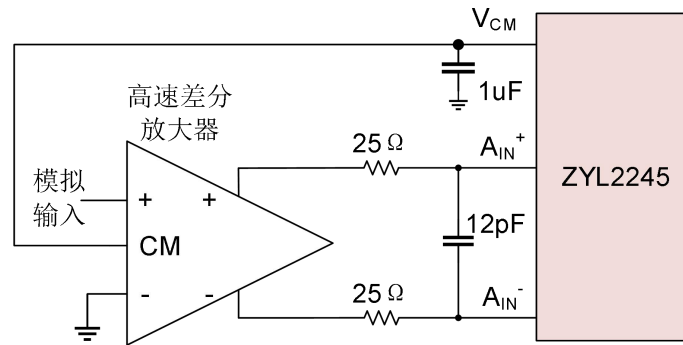


图 16. 采用高速差分放大器的模拟输入电路

参考电平

REFH, REFL

ZYL2245 的高电平、低电平参考电压分别通过 REFH, REFL 引脚引出。这两个引脚各通过 1uF 电容耦合到 GND。REFH 和 REFL 之间不需要接耦合电容。

时钟输入

如图 17 所示，ZYL2245 支持单端 CMOS 或 TTL 时钟输入，最大采样率为 10MSPS，最小采样率为 1MSPS，使用 CLK 引脚输入时钟信号的上升沿采样模拟输入信号。

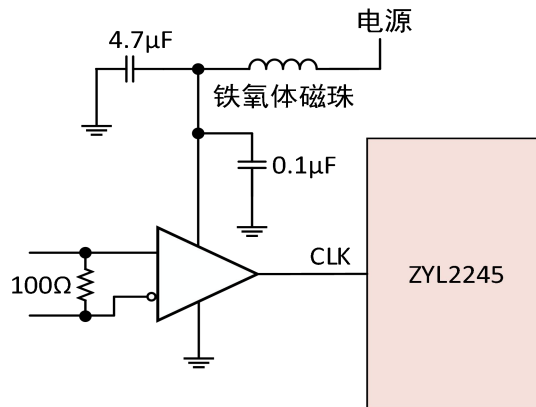


图 17. 时钟输入驱动电路

输出数据格式

表 8. 输出数据格式

输入 (V)	条件 (V)	溢出标志位	偏移二进制输出模式	二进制补码模式
VIN+ - VIN-	< -1	1	0000 0000 0000 0000	1000 0000 0000 0000
VIN+ - VIN-	= -1	0	0000 0000 0000 0000	1000 0000 0000 0000
VIN+ - VIN-	= 0	0	1000 0000 0000 0000	0000 0000 0000 0000
VIN+ - VIN-	0	0	1111 1111 1111 1111	0111 1111 1111 1111
VIN+ - VIN-	> +1	1	1111 1111 1111 1111	0111 1111 1111 1111

输出停用

可通过输出使能引脚 OEB 来停用数字输出。OEB 接 VDD，停用所有数字输出（包括 OF）。当数字被停用时，每个数字输出引脚变至高阻状态。

睡眠模式

SHDN 接地，芯片工作在正常模式。SHDN 接电源，芯片工作在睡眠模式，包括参考源在内的所有电路掉电，芯片功耗 1mW。睡眠模式下，芯片数字输出停用，进入高阻态。

从睡眠模式过渡到正常工作模式，需要给参考源的电容充电，需要几十毫秒的时间让数字输出恢复正常。



应用信息

设计指南

在进行 ZYL2245 的系统设计和布局之前，建议设计者先熟悉下述设计指南，其中讨论了某些引脚所需的特殊电路连接和布局布线要求。设计前请联系我们申请 FAQ。

电源和接地建议

建议使用两个独立的 3V 电源或两个独立的 1.8V 电源为 ZYL2245 供电：一个用于模拟端 (AVDD)，一个用于数字输出端 (DRVDD)。对于 AVDD 和 DRVDD，应使用多个不同的去耦电容以应对高频和低频。去耦电容应放置在接近 PCB 入口点和接近器件引脚的位置，并尽可能缩短走线长度。

ZYL2245 仅需要一个 PCB 接地层。对 PCB 模拟、数字和时钟模块进行合理的去耦和巧妙的分隔，可以轻松获得最佳性能。

裸露焊盘散热块建议

为获得最佳的电气性能和热性能，必须将 ADC 底部的裸露焊盘连接至模拟地 (GND)。PCB 上裸露 (无阻焊膜) 的连续铜平面应与 ZYL2245 的裸露焊盘 (引脚 33) 匹配。

铜平面上应有多个通孔，以便获得尽可能低的热阻路径以通过 PCB 底部进行散热。应当填充或阻塞这些通孔，防止通孔渗锡而影响连接性能。

为了最大化地实现 ADC 与 PCB 之间的覆盖与连接，应在 PCB 上覆盖一个丝印层，以便将 PCB 上的连续平面划分为多个均等的部分。这样，在回流焊过程中，可在 ADC 与 PCB 之间提供多个连接点。而一个连续的、无分隔的平面则仅可保证在 ADC 和 PCB 之间有一个连接点。

REFH 和 REFL

REFH 和 REFL，分别接 1uF 耦合电容到地。REFH 和 REFL 之间不接耦合电容。

VCM

VCM 引脚应通过一个 1uF 电容去耦至地。电容摆放位置尽可能距离芯片引脚近。





外形尺寸

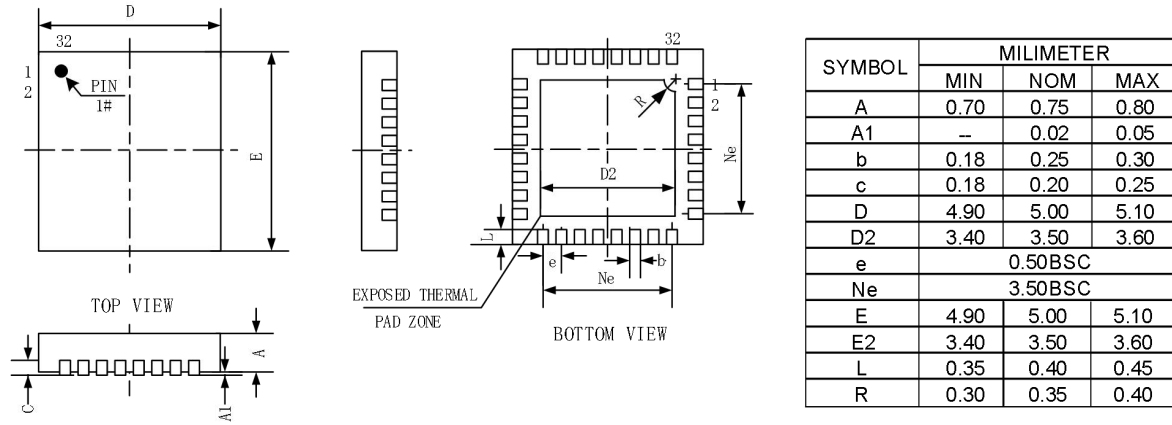


图 18. 封装尺寸 QFN32 (5mm x 5mm)



名词对照表

通道	channel
线道	lane
转换噪声	transition noise
共模	common mode

