

带保护的 D 类音频驱动 IC——YD7120

产品概述

YD7120电路是一款高耐压、高速的MOSFET栅极驱动器，专为超大输出功率的D类音频功率放大器应用而设计。采用灵活的开放式拓扑结构实现PWM调制。


该产品具有双向过流检测与保护功能。该保护在没有任何外部采样电阻的情况下，感应负载正、负电流的过电流情况，并提供合适的过电流保护和可编程的复位定时。

该产品内置死区时间控制模块，精确设置MOSFET栅极开关的死区时间，以获得极低的THD和更小的音频输出背景噪声。

主要特点

- 集成模拟输入 D 类音频放大驱动器
- 可编程负载双向过流保护，具有自复位功能
- 可编程预设死区时间，提高 THD 性能
- 具有防开启期间和关闭期间的“咔哒”声
- 较好的背景噪声抑制
- 额定电压±100 V，输出功率超过 500 W
- 工作频率最高可达 800 kHz
- 驱动级输出电流能力 $I_{o+/-} = 1.0A/1.5A$
- 双列 16 脚塑料封装(SOP16)
- 符合 RoHS

引脚排列

		SOP16	
VAA	1	16	CSH
GND	2	15	VB
IN-	3	14	HO
COMP	4	13	VS
CSD	5	12	VCC
VSS	6	11	LO
VREF	7	10	COM
OCSET	8	9	DT

典型应用

- 车载信息娱乐系统
- 家庭影院系统
- 大功率舞台音响系统
- 通用音频功率放大器

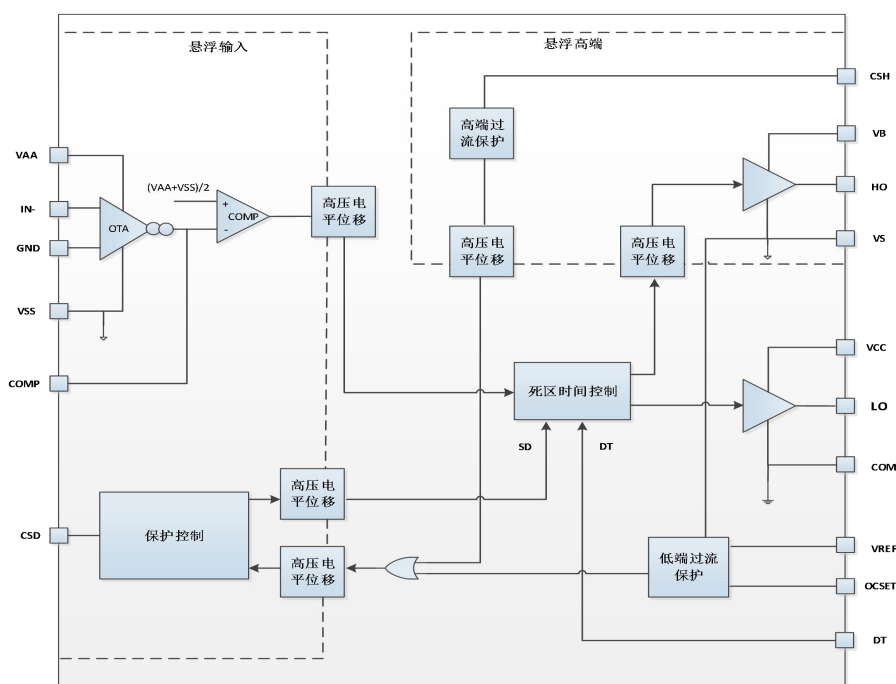
引出端功能

序号	符号	功能描述	序号	符号	功能描述
1	VAA	输入级正电源	9	DT	死区调节
2	GND	跨导放大器正输入	10	COM	下桥臂公共端
3	IN-	跨导放大器负输入	11	LO	下桥臂驱动输出
4	COMP	相位补偿	12	VCC	下桥臂电源
5	CSD	保护延时设定	13	VS	上桥臂悬浮端
6	VSS	输入级负电源	14	HO	上桥臂驱动输出
7	VREF	基准电压源	15	VB	上桥臂自举电源
8	OCSET	过流阈值设定	16	CSH	上桥臂过流采样

订货信息

产品名	封装形式	打印标记	装料形式	最小包装数
YD7120	SOP16		编带	4k/卷

电路方框图



最大额定值（无特别说明情况下， $T_A=25^{\circ}\text{C}$ ）

符号	参数	最小值	最大值	单位
V_B	高端浮动电源电压	-0.3	220	V
V_S	高端浮动电源电压(注 2)	V_B-20	$V_B+0.3$	
V_{HO}	高端浮动输出电压	$V_S-0.3$	$V_B+0.3$	
V_{CSH}	CSH 脚输入电压	$V_S-0.3$	$V_B+0.3$	
V_{CC}	低端固定电源电压(注 2)	-0.3	20	
V_{LO}	低端输出电压	-0.3	$V_{CC}+0.3$	
V_{AA}	浮动输入正电源电压(注 2)	(见 I_{AAZ})	210	
V_{SS}	浮动输入负电源电压(注 2)	-1 (见 I_{SSZ})	$GND+0.3$	
V_{GND}	浮动输入电源地电压	$V_{SS}-0.3$ (见 I_{SSZ})	$V_{AA}+0.3$ (见 I_{AAZ})	
I_{IN-}	反向输入电流(注 1)	-	± 3	mA
V_{CSD}	CSD 脚输入电压	$V_{SS}-0.3$	$V_{AA}+0.3$	V
V_{COMP}	COMP 脚输入电压	$V_{SS}-0.3$	$V_{AA}+0.3$	
V_{DT}	DT 脚输入电压	-0.3	$V_{CC}+0.3$	
V_{OCSET}	OCSET 脚输入电压	-0.3	$V_{CC}+0.3$	
I_{AAZ}	VAA 浮动输入正向钳位电流(注 2)	-	20	mA
I_{SSZ}	VAA 浮动输入负向钳位电流(注 2)	-	20	
I_{CCZ}	VCC 低端输入钳位电流(注 2)	-	10	
I_{BSZ}	VB 浮动输入钳位电流(注 2)	-	10	
I_{OREF}	VREF 参考端输出电流	-	5	
dV_S/dt	VS 允许的电压变化斜率	-	50	V/ns
dV_{SS}/dt	VSS 允许的电压变化率(注 3)	-	50	V/ms
P_D	最大功耗	-	1.0	W
R_{thJA}	热阻	-	115	$^{\circ}\text{C}/\text{W}$
T_J	结温	-	150	$^{\circ}\text{C}$
T_S	储存温度	-55	150	
T_L	焊接温度(焊接, 10 秒)	-	300	

如果器件运行条件超过上述各项最大额定值，可能对器件造成永久性损坏。上述参数仅是运行条件的极大值，我们不建议器件在该规范外运行。如果器件长时间工作在最大极限条件下，其稳定性可能会受到影响。

注1：IN-到 GND 有双向箝位二极管。

注2：VAA-GND，GND-VSS，VCC-COM 和 VB-VS 脚包含内部的分流用齐纳二极管。请注意这些电压值会受到钳位电流的限制。

注3：对于10V 阶跃信号的上升沿和下降沿， $V_{SS}=15\text{V}\sim 200\text{V}$ 。

推荐工作条件（无特别说明情况下，下表中 V_S 及 COM 偏置的额定值是在 $V_{AA}-V_{SS}=10V$ ， $V_{CC}=12V$ ， $V_B-V_S=12V$ 条件下测得，所有电压参数的额定值是以 COM 为参考。电流参数以流入端口为正。 $T_A=25^\circ C$ ）

符号	参数	最小值	最大值	单位	
V_B	高端浮动电源额定电压	V_S+10	V_S+18	V	
V_S	高端浮动电源偏置电压	(注1)	200		
I_{AAZ}	浮动输入电源正向箝位电流	3	15	mA	
I_{SSZ}	浮动输入电源负向箝位电流	3	15		
V_{SS}	浮动输入额定电压	0	200	V	
V_{HO}	高端浮动输出电压	V_S	V_B		
V_{CC}	低端额定电源电压	10	18		
V_{LO}	低端输出电压	0	V_{CC}		
V_{GND}	GND 输入电压	V_{SS} (注3)	V_{AA} (注3)		
V_{IN-}	反向输入电压	$V_{GND}-0.5$	$V_{GND}+0.5$		
V_{CSD}	CSD 脚输入电压	V_{SS}	V_{AA}		
V_{COMP}	COMP 脚输入电压	V_{SS}	V_{AA}		
C_{COMP}	COMP 脚对 GND 的相位补偿电容	1	-		nF
V_{DT}	DT 脚输入电压	0	V_{CC}		V
I_{OREF}	VREF 参考输出电流 (注 2)	0.3	0.8	mA	
V_{OCSET}	OCSET 脚输入电压	0.5	5	V	
V_{CSH}	CSH 脚输入电压	V_S	V_B		
dV_{SS}/dt	上电时 V_{SS} 允许的电压变化率(注 4)	-	50	V/ms	
I_{PW}	输入脉宽	10(注5)	-	ns	
f_{SW}	开关频率	-	800	kHz	
T_A	环境温度	-40	125	$^\circ C$	

注 1: V_S 端逻辑电平可从 $-5 \sim +200V$ 变化、实际逻辑状态从 $-5 \sim -V_{BS}$ 间工作。

注 2: VREF 相对 COM 参考电压 5V，当 VREF 外接 $6.3k \sim 16.7k \Omega$ 时, I_{OREF} 从 $0.3 \sim 0.8mA$ 变化。

注 3: GND 脚电压受限于 I_{AAZ} 及 I_{SSZ} 。

注 4: 对于 10V 阶跃信号的上升沿和下降沿, $V_{SS}=0V \sim 200V$ 。

注 5: 若输入脉宽小于最小脉宽设定, 输出逻辑态可能出错。

YD7120

电气参数 (无特别说明情况下, $V_{CC}, V_{BS}=12V, V_{AA}=10V, V_{SS}=V_S=COM=0V, C_L=1nF$ 以及 $T_A=25^{\circ}C$)

符号	参数	最小值	典型值	最大值	单位	测试条件
低端电源						
UV_{CC+}	V_{CC} 输入 UVLO 正阈值	8.4	8.9	9.4	V	
UV_{CC-}	V_{CC} 输入 UVLO 负阈值	8.2	8.7	9.2		
I_{QCC}	低端静态电流	-	-	3	mA	$V_{DT}=V_{CC}$
V_{CLAMPL}	低端钳位电压	19.6	20.4	21.6	V	$I_{CC}=5mA$
高端浮动电源						
UV_{BS+}	高端 UVLO 正阈值	8	8.5	9	V	
UV_{BS-}	高端 UVLO 负阈值	7.8	8.3	8.8		
I_{QBS}	高端静态电流	-	-	1	mA	
I_{LKH}	高端到低端漏电流	-	-	50	uA	$V_B=V_S=200V$
V_{CLAMPH}	高端钳位电压	19.6	20.4	21.6	V	$I_{BS}=5mA$
浮动输入电源						
U_{VAA+}	V_{AA} 输入 UVLO 正阈值	8.2	8.7	9.2	V	$V_{SS}=0V$
U_{VAA-}	V_{AA} 输入 UVLO 负阈值	7.7	8.2	8.7		$V_{SS}=0V$
I_{QAA0}	V_{AA} 输入静态电流	-	0.5	2	mA	$V_{AA}=10V, V_{CSD}=V_{SS}$
I_{QAA1}	V_{AA} 输入静态电流	-	6.5	10		$V_{AA}=10V, V_{CSD}=V_{AA}$
I_{QAA2}	V_{AA} 输入静态电流	-	6.5	10		$V_{AA}=10V, V_{CSD}=GND$
I_{LKM}	V_{AA} 浮动输入端到低端漏电流	-	-	50	uA	$V_{AA}=V_{SS}=V_{GND}=100V$

V_{CLAMP+}	V_{AA} 对 GND 正钳位电压	6.0	7.0	8.0	V	$I_{AA}=I_{SS}=10mA$ $V_{GND}=0V, V_{CSD}=V_{SS}$
V_{CLAMP-}	V_{SS} 对 GND 负钳位电压	-8.0	-7.0	-6.0		$I_{AA}=I_{SS}=10mA$ $V_{GND}=0V, V_{CSD}=V_{SS}$
音频输入 ($V_{GND}=0V, V_{AA}=5V, V_{SS}=-5V$)						
V_{OS}	输入偏移电压	-15	0	15	mV	
I_{BIN}	输入偏置电流	-	-	40	nA	
BW	小信号带宽	-	9	-	MHz	$R_f=3.3k, C_{COMP}=2nF$
V_{COMP}	OTA 输出电压	$V_{AA}-1$	-	$V_{SS}+1$	V	
gm	OTA 跨导	-	100	-	ms	$V_{IN}=5mV$
G_V	OTA 增益	60	-	-	dB	
$V_{N_{rms}}$	OTA 输入噪声电压	-	250	-	mV _{rms}	
SR	摆率		± 5		V/ μs	$C_{COMP}=1nF$
CMRR	共模抑制比		60		dB	
PSRR	电源抑制比		65			
PWM 比较器						
V_{thPWM}	COMP 门限电压	-	$(V_{AA}-V_{SS})/2$	-	V	
f_{OTA}	COMP 启动时本振频率	0.7	1.0	1.5	MHz	$V_{CSD}=GND$
保护						
V_{REF}	基准输出电压	4.8	5.1	5.4	V	$I_{OREF}=0.5mA$
V_{thOCL}	低端 OC 阈值	1.1	1.2	1.3		$O_{CSET}=1.2V$, 见图 3
V_{thOCH}	VCSH 的高端 OC 阈值	$1.1+V_S$	$1.2+V_S$	$1.3+V_S$		$V_S=200V$
V_{th1}	CSD 脚关闭阈值	$0.62*V_{AA}$	$0.70*V_{AA}$	$0.78*V_{AA}$		$V_{SS}=0V$
V_{th2}	CSD 脚自复位阈值	$0.26*V_{AA}$	$0.30*V_{AA}$	$0.34*V_{AA}$		$V_{SS}=0V$
I_{CSD+}	CSD 脚放电电流	70	100	130	uA	$V_{CSD}=V_{SS}+5V$
I_{CSD-}	CSD 脚充电电流	70	100	130		$V_{CSD}=V_{SS}+5V$
t_{SD}	$V_{CSD} > V_{SS}+V_{thOCH}$ 关闭传播延迟时间	-	-	250	ns	见图 2
t_{OCL}	$V_S > V_{thOCL}$ 关闭传播延迟时间	-	-	500		见图 3
t_{OCH}	$V_{CSH} > V_{thOCH}$ 关闭传播延迟时间	-	-	500		见图 4

栅极驱动						
I_{o+}	输出高短路电流	-	1.0	-	A	$V_O=0V, PW<10\mu s$
I_{o-}	输出低短路电流	-	1.5	-		$V_O=12V, PW<10\mu s$
V_{OL}	低电平输出电压 LO-COM, HO-VS	-	-	0.1	V	$I_o=0A$
V_{OH}	高电平输出电压 VCC-LO, VB-HO	-	-	1.0	V	
t_r	开启上升时间	-	20	50	ns	
t_f	关闭下降时间	-	15	35		
t_{on}	高端和低端开启传播延迟, 浮动输入	-	385	-		$V_{DT}=V_{CC}$, 见图 1
t_{off}	高端和低端关闭传播延迟, 浮动输入	-	360	-		
DT1	死区时间: LO 关闭到 HO 打开以及 HO 关闭到 LO 打开	15	25	35		$V_{DT}>V_{DT1}$, 见图 1
DT2	死区时间: LO 关闭到 HO 打开(DT_{LO-HO})以及 HO 关闭到 LO 打开(DT_{HO-LO})	25	40	55		$V_{DT1}>V_{DT}>V_{DT2}$, 见图 1
DT3	死区时间: LO 关闭到 HO 打开(DT_{LO-HO})以及 HO 关闭到 LO 打开(DT_{HO-LO})	50	65	85		$V_{DT2}>V_{DT}>V_{DT3}$, 见图 1
DT4	死区时间: LO 关闭到 HO 打开(DT_{LO-HO})以及 HO 关闭到 LO 打开(DT_{HO-LO})	85	105	135		$V_{DT3}>V_{DT}>V_{DT4}$, 见图 1
V_{DT1}	DT 模式选择阈值 2	$0.51*V_{cc}$	$0.57*V_{cc}$	$0.63*V_{cc}$	V	
V_{DT2}	DT 模式选择阈值 3	$0.32*V_{cc}$	$0.36*V_{cc}$	$0.40*V_{cc}$		
V_{DT3}	DT 模式选择阈值 4	$0.21*V_{cc}$	$0.23*V_{cc}$	$0.25*V_{cc}$		

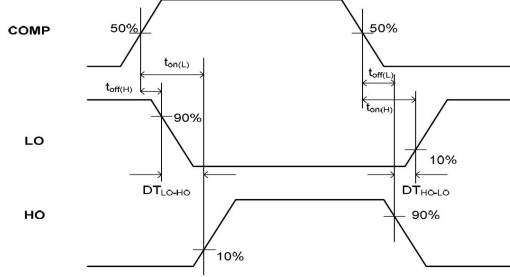


图 1 COMP 到 LO 和 HO 延时

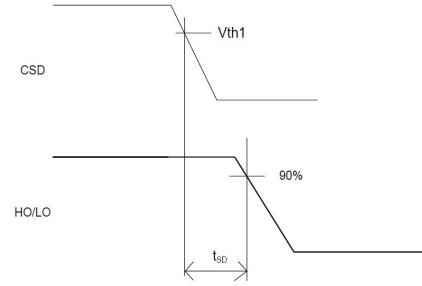


图 2 CSD 保护延时

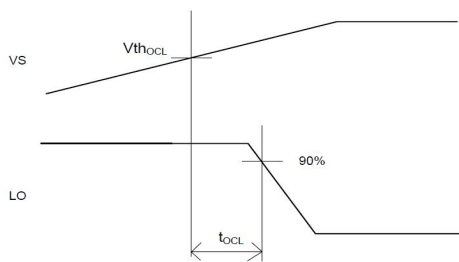


图 3 $V_S > V_{thOCL}$ 保护延时

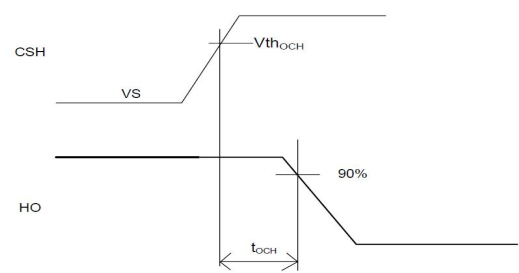


图 4 $V_{CSH} > V_{thOCH}$ 保护延时

应用电路

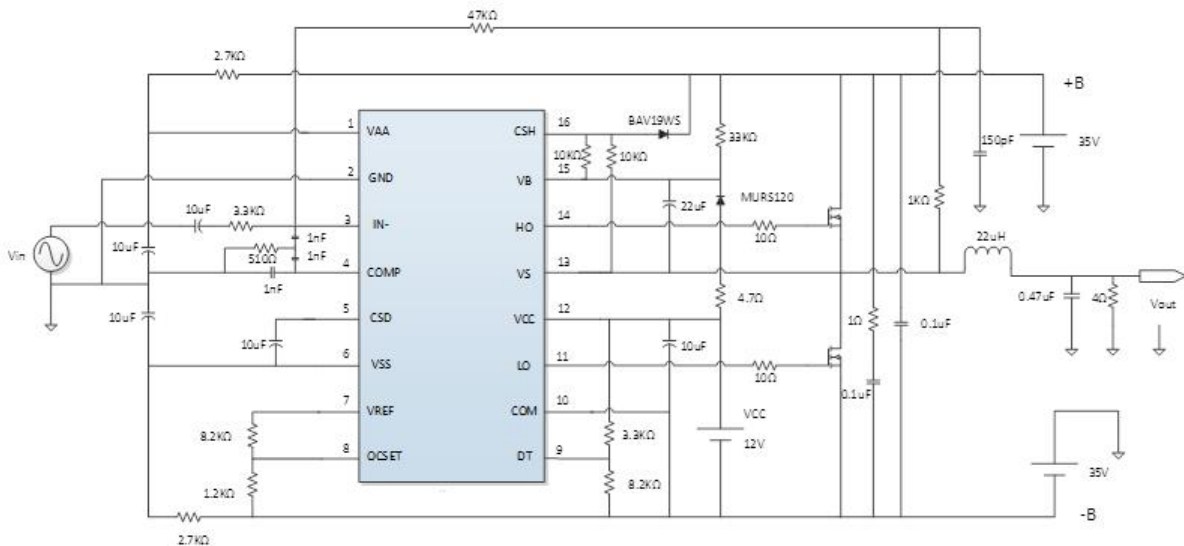
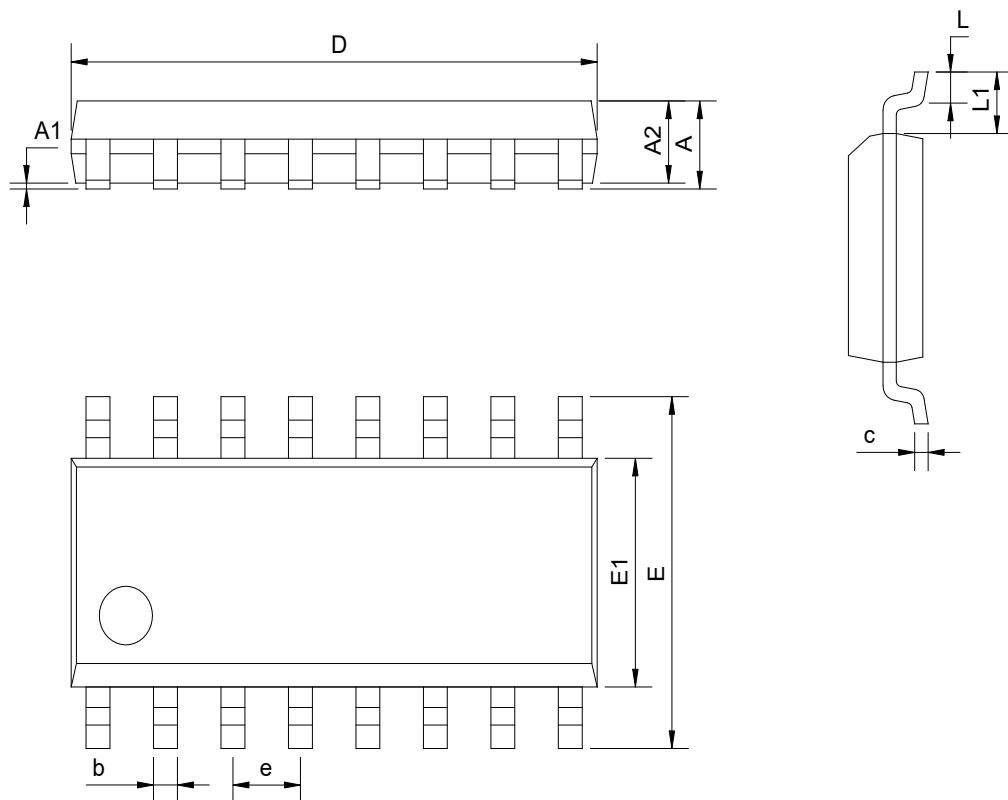


图 5 典型应用图

封装外形图和尺寸

SOP16



SYMBOL	mm	
	min	max
A		1.75
A1	0.05	0.23
A2	1.30	1.50
b	0.35	0.45
c	0.18	0.25
D	9.70	10.10
E	5.80	6.20
E1	3.70	4.10
e	1.27BSC	
L	0.50	0.80
L1	1.05BSC	

注意事项

无锡友达电子有限公司保留在任何时间做出更正、修改、增强、改进自己产品和服务的权利，并可在未经通知的情况下停止任何产品或服务。客户应该在下单前获取最新的相关信息，并确认这些信息是最新和完整的。

友达电子对客户使用本产品的设计方案不承担任何责任，客户需对他们的产品负责。为了将客户产品相关风险降到最低，客户应该提供足够的安全工作区域。

在转售本公司产品和服务过程中，若有任何明示或暗示超出本公司承诺的陈述，本公司对此类陈述不承担任何责任。