

# EFM8 Busy Bee 系列

## EFM8BB1 Data Sheet



EFM8BB1 是 Busy Bee 系列的 MCU，是一款小封装且功能全面的多用途 8-位微控制器。

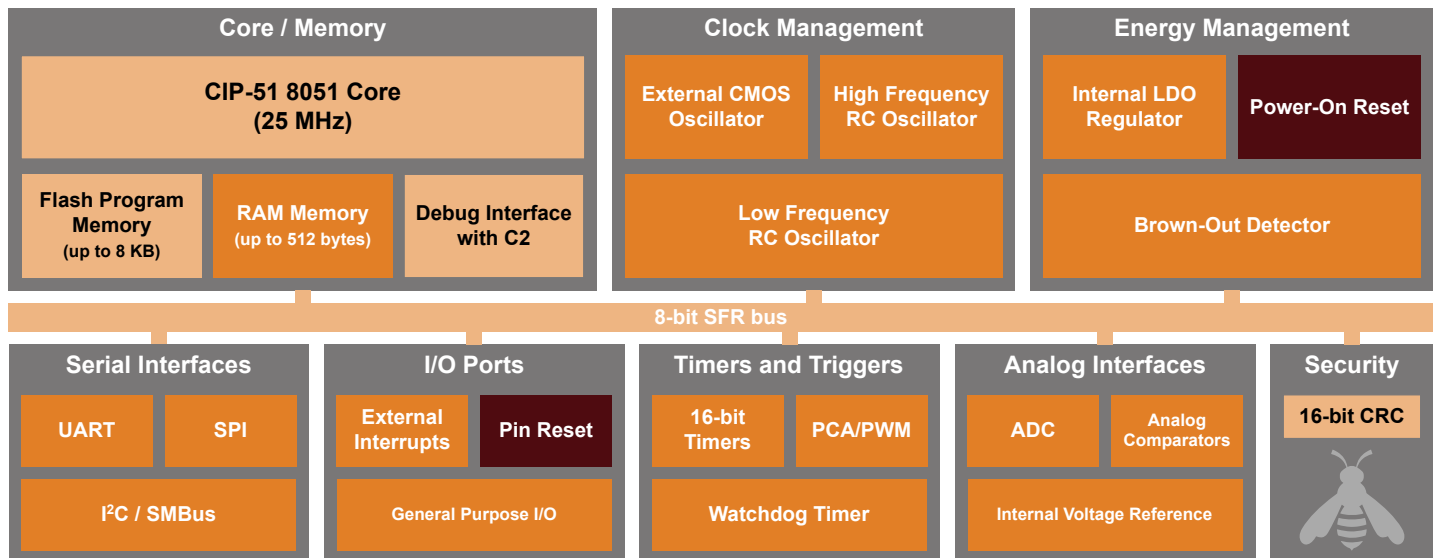
此产品以小封装集成了先进的模拟和通信外围设备，是空间受限应用的理想选择。EFM8BB1 系列采用高效的 8051 内核、增强的脉冲宽度调制和精密模拟，也是嵌入式应用的最佳选择。

EFM8BB1 应用包括以下功能：

- 电机控制
- 消费电子
- 传感器控制器
- 医疗器械
- 照明系统
- I/O 端口扩展器

### 主要特点

- 流水线式 8-位 C8051 内核，最大运行频率 25 MHz
- 最多 18 组多功能 5 V 容限 I/O 引脚
- 一个 12 位模数转换器 (ADC)
- 两个低电流模拟比较器
- 集成式温度传感器
- 3-通道增强 PWM / PCA
- 四个 16-位定时器
- UART、SPI 和 SMBus/I2C
- 便于引脚映射的优先级交叉开关



Lowest power mode with peripheral operational:

Normal
  Idle
  Shutdown

## 1. 功能列表

EFM8BB1 突出功能如下所列。

- 内核：
  - 流水线式 CIP-51 内核
  - 与标准 8051 指令集完全兼容
  - 70% 指令的执行时间为 1-2 系统时钟周期
  - 25 MHz 最高工作频率
- 内存：
  - 最高 8 kB 闪存，可在系统内对固件重新编程。
  - 最高 512 字节 RAM (包括 256 字节标准 8051 RAM 和 256 字节片上 XRAM)
- 电源：
  - 用于 CPU 内核电压的内部 LDO 稳压器
  - 加电复位电路和掉电检测器
- I/O: 最多共 18 组多功能 I/O 引脚：
  - 偏压下所有引脚耐受 5 V 电压
  - 用于外围路由的灵活的外围设备交叉开关
  - 5 mA 源电流, 12.5 mA 吸收器允许直接驱动 LED
- 时钟源：
  - 内部 24.5 MHz 振荡器, 精度  $\pm 2\%$
  - 内部 80 kHz 低频振荡器
  - 外部 CMOS 时钟选项
- 定时器/计数器和 PWM：
  - 3 通道可编程计数器阵列 (PCA), 支持 PWM、捕获/比较和频率输出模式
  - 4 个 16 位通用定时器
  - 独立的监视程序定时器, 由低频振荡器设定时钟频率
- 通信和数字外围设备：
  - UART
  - SPI™ 主/从
  - SMBus™ / I2C™ 主/从
  - 16 位 CRC 单元, 支持 256 字节边界内闪存自动 CRC
- 模拟：
  - 12 位 AD 转换器 (ADC)
  - 2 个低电流模拟比较器, 带可调节参考
- 片上非侵入式调试
  - 全内存和寄存器检查
  - 四个硬件断点、单步执行
- 预装 UART 引导装载程序
- -40 至 85 °C 或 -40 至 125 °C 温度范围
- 单电源 2.2 至 3.6 V
- QSOP24、SOIC16 和 QFN20 封装

借助芯片上加电复位、电源电压监控器、监视程序定时器和时钟振荡器, EFM8BB1 设备成为真正独立的系统单芯片解决方案。闪存是可编程内部电路, 提供非易失性数据存储以及支持固件的现场升级。片上调试接口 (C2) 允许使用安装在最终应用中的生产 MCU 进行非侵入式 (不使用片上资源)、全速、内部电路调试。此调试逻辑支持检查和修改存储器与寄存器、设置断点、单步执行以及运行和停止命令。进行调试时, 所有模拟和数字外围设备的功能都得到充分发挥。各设备的指定操作电压是 2.2 至 3.6 V, 且通过 AEC-Q100 认证。G 级和 I 设备均提供 20 引脚 QFN、16 引脚 SOIC 和 24 引脚 QSOP 封装, A 级设备提供 20 引脚 QFN 封装。所有封装选项均符合无铅和 RoHS 要求。

## 2. 订购信息

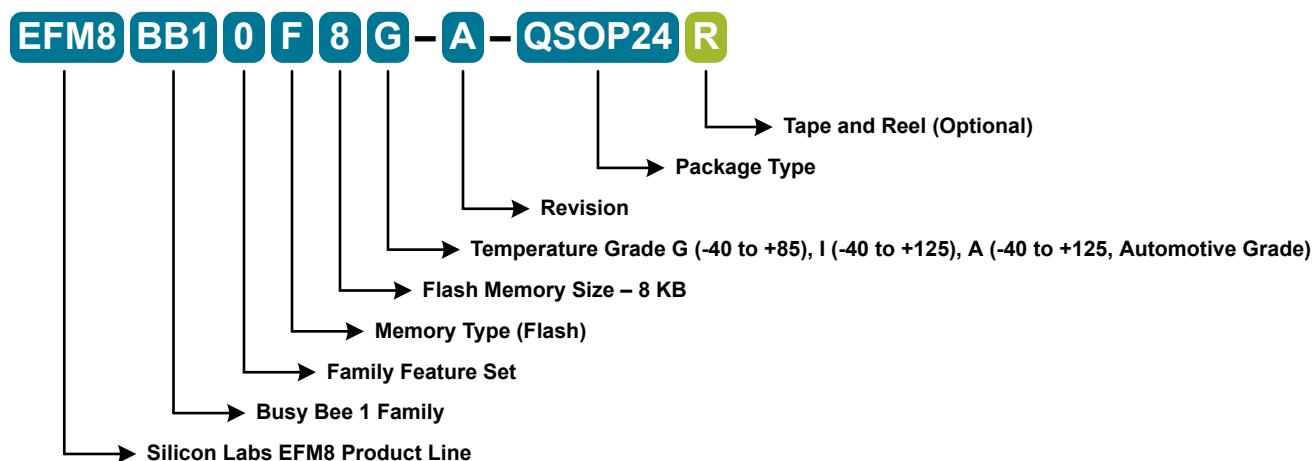


Figure 2.1. EFM8BB1 部件编号

所有 EFM8BB1 产品系列都具备以下功能：

- 运行频率高达 25 MHz 的 CIP-51 内核
- 两种内部振荡器（24.5 MHz 和 80 kHz）
- SMBus/I2C
- SPI
- UART
- 3 信道可编程计数器阵列（PWM、时钟生成、捕获/比较）
- 4 个 16 位定时器
- 2 个模拟比较器
- 12 位 AD 转换器，配有集成多路复用器、电压参考和温度传感器
- 16 位 CRC 单元
- 经过 AEC-Q100 认证
- 预装 UART 引导装载程序

除了这些功能之外，EFM8BB1 系列中的各元件随产品系列不同具有不同的功能集。产品选择指南列出了各系列元件的可用功能。

Table 2.1. Product Selection Guide

Ordering Part Number	Flash Memory (kB)	RAM (Bytes)	Digital Port I/Os (Total)	ADC Channels	Comparator 0 Inputs	Comparator 1 Inputs	Pb-free (RoHS Compliant)	Temperature Range	Package
EFM8BB10F8G-A-QSOP24	8	512	18	16	8	8	Yes	-40 to +85 C	QSOP24
EFM8BB10F8G-A-QFN20	8	512	16	15	8	7	Yes	-40 to +85 C	QFN20
EFM8BB10F8G-A-SO1C16	8	512	13	12	6	6	Yes	-40 to +85 C	SO1C16
EFM8BB10F4G-A-QFN20	4	512	16	15	8	7	Yes	-40 to +85 C	QFN20
EFM8BB10F2G-A-QFN20	2	256	16	15	8	7	Yes	-40 to +85 C	QFN20

Ordering Part Number	Flash Memory (kB)	RAM (Bytes)	Digital Port I/Os (Total)	ADC Channels	Comparator 0 Inputs	Comparator 1 Inputs	Pb-free (RoHS Compliant)	Temperature Range	Package
EFM8BB10F81-A-QSOP24	8	512	18	16	8	8	Yes	-40 to +125 C	QSOP24
EFM8BB10F81-A-QFN20	8	512	16	15	8	7	Yes	-40 to +125 C	QFN20
EFM8BB10F81-A-SO1C16	8	512	13	12	6	6	Yes	-40 to +125 C	SO1C16
EFM8BB10F41-A-QFN20	4	512	16	15	8	7	Yes	-40 to +125 C	QFN20
EFM8BB10F21-A-QFN20	2	256	16	15	8	7	Yes	-40 to +125 C	QFN20
EFM8BB10F8A-A-QFN20	8	512	16	15	8	7	Yes	-40 to +125 C	QFN20
EFM8BB10F4A-A-QFN20	4	512	16	15	8	7	Yes	-40 to +125 C	QFN20
EFM8BB10F2A-A-QFN20	2	256	16	15	8	7	Yes	-40 to +125 C	QFN20

A 级（即 EFM8BB10F8A-A-QFN20）设备可获得全汽车质量生产现状，包括 AEC-Q100 认证、国际材料数据系统（IMDS）注册和部件生产批准工艺（PPAP）文档。欲了解 PPAP 文档，可利用已注册且经过 NDA 批准的用户账户登录 [www.silabs.com](http://www.silabs.com) 获取。

# 目录

<b>1. 功能列表</b>	<b>2</b>
<b>2. 订购信息</b>	<b>3</b>
<b>3. 系统概述</b>	<b>7</b>
3.1 介绍	7
3.2 电源	8
3.3 I/O	8
3.4 时钟	8
3.5 定时器/计数器和 PWM	9
3.6 通信和其他数字外围设备	10
3.7 模拟	11
3.8 复位源	11
3.9 调试	12
3.10 引导装载程序	13
<b>4. 电气规格</b>	<b>15</b>
4.1 电气特性	15
4.1.1 建议的工作条件	15
4.1.2 功耗	16
4.1.3 复位和电源监控器	18
4.1.4 闪存	19
4.1.5 内部振荡器	19
4.1.6 外部时钟输入	20
4.1.7 ADC	21
4.1.8 参考电压	22
4.1.9 温度传感器	23
4.1.10 1.8 V 内部 LDO 稳压器	23
4.1.11 比较器	24
4.1.12 端口 I/O	26
4.1.13 SMBus	27
4.2 热能条件	28
4.3 绝对最大额定值	29
4.4 典型性能曲线	30
<b>5. 典型连接图</b>	<b>34</b>
5.1 电源	34
5.2 调试	34
5.3 其他连接	34
<b>6. 引脚定义</b>	<b>35</b>
6.1 EFM8BB1x-QSOP24 引脚定义	35
6.2 EFM8BB1x-QFN20 引脚定义	38

6.3	EFM8BB1x-S0IC16 引脚定义	41
<b>7.</b>	<b>QSOP24 封装规格</b>	<b>43</b>
7.1	QSOP24 封装尺寸	43
7.2	QSOP24 PCB 焊盘布局	45
7.3	QSOP24 封装标识	46
<b>8.</b>	<b>QFN20 封装规格</b>	<b>47</b>
8.1	QFN20 封装尺寸	47
8.2	QFN20 PCB 焊盘布局	49
8.3	QFN20 封装标识	50
<b>9.</b>	<b>S0IC16 封装规格</b>	<b>51</b>
9.1	S0IC16 封装尺寸	51
9.2	S0IC16 PCB 焊盘布局	53
9.3	S0IC16 封装标识	54
<b>10.</b>	<b>版本历史</b>	<b>55</b>
10.2	修订版 1.5	55
10.4	修订版 1.3	55
10.5	版本 1.2	55
10.6	版本 1.1	55

### 3. 系统概述

#### 3.1 介绍

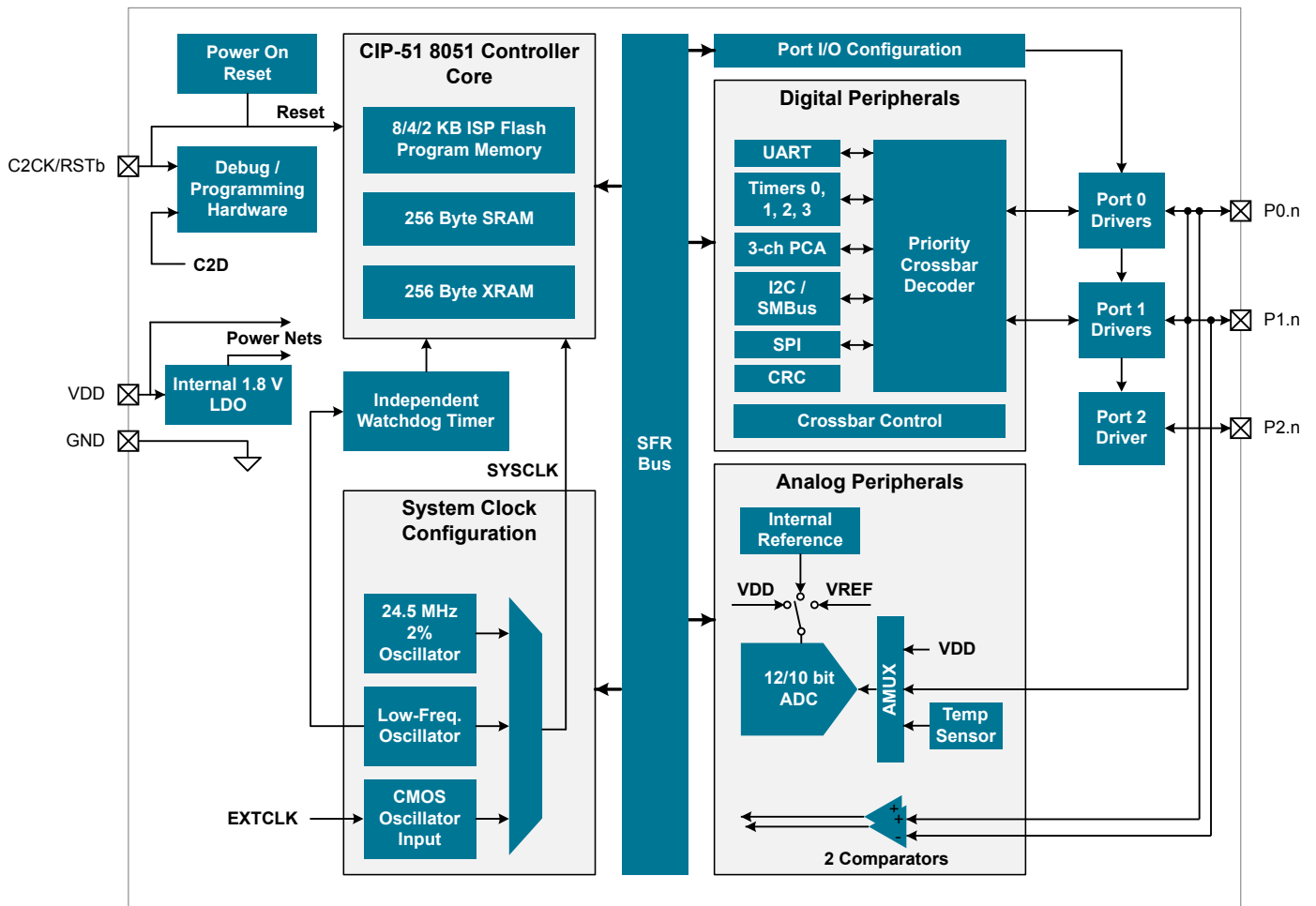


Figure 3.1. EFM8BB1 方框图详情

本部分描述的是较高水平的 EFM8BB1 产品系列。欲了解关于各个模块的更多信息，包括寄存器定义，请参见 EFM8BB1 参考手册。

### 3.2 电源

所有内部电路由 VDD 供电引脚供电。外部 I/O 引脚由 VIO 电源电压供电（或设备上无独立 VIO 连接的 VDD），大多数内部电路由片上 LDO 调节器供电。根据需要启用/禁用各个外围设备可以控制设备功耗。每个模拟外围设备在不使用时都可以禁用，从而置于低功耗模式。在不使用数字外围设备（如定时器或串行总线）时，时钟将关闭且消耗较少电量。

Table 3.1. 电源模式

电源模式	详情	进入模式	唤醒源
普通模式	为内核和所有外围设备设定时钟，且均完全运行	—	—
空闲模式	<ul style="list-style-type: none"> <li>内核暂停</li> <li>为所有外围设备设定时钟，且完全运行</li> <li>发生唤醒事件时恢复执行代码</li> </ul>	在 PCON0 中设置 IDLE 位	任何中断
停止	<ul style="list-style-type: none"> <li>所有内部电源网络均关闭</li> <li>引脚保持其状态</li> <li>发生任何复位源时退出</li> </ul>	<ol style="list-style-type: none"> <li>清除 REGOEN 中的 STOPCF 位</li> <li>在 PCON0 中设置 STOP 位</li> </ol>	任何复位源
关机	<ul style="list-style-type: none"> <li>所有内部电源网络均关闭</li> <li>引脚保持其状态</li> <li>退出引脚或上电复位</li> </ul>	<ol style="list-style-type: none"> <li>设置 REGOEN 中的 STOPCF 位</li> <li>在 PCON0 中设置 STOP 位</li> </ol>	<ul style="list-style-type: none"> <li>RSTb 引脚复位</li> <li>上电复位</li> </ul>

### 3.3 I/O

数字和模拟资源可以通过设备的多功能 I/O 引脚来实现外部调用。端口引脚 P0.0 - P1.7 可以被定义为通用 I/O (GPIO)，通过交叉开关或专用信道被分配至其中一个内部数字资源，或者被分配至模拟功能。端口引脚 P2.0 和 P2.1 可被用作 GPIO。此外，C2 接口数据信号 (G2D) 可与 P2.0 共享。

- 最高 18 个多功能 I/O 引脚，支持数字和模拟功能。
- 数字外围设备分配的灵活的优先交叉开关译码器。
- 各端口配有两个驱动强度设置
- 配有专用中断向量 (INT0 和 INT1) 的两个直接引脚中断源。
- 配有共用中断向量 (端口匹配) 的最多 16 个直接引脚中断源。

### 3.4 时钟

CPU 内核和外围设备子系统可以按照内部和外部振荡器资源来设定时钟。默认情况下，系统时钟运行的情况为：24.5 MHz 振荡器 8 分频。

- 为内核和外围设备提供时钟。
- 24.5 MHz 内部振荡器 (LPOSCO)，随电源和温度变化，精度为  $\pm 2\%$ 。
- 80 kHz 低频振荡器 (LFOSCO)。
- 外部 CMOS 时钟输入 (EXTCLK)。
- 时钟分频器具有八个设置，可实现灵活的时钟调整：将所选的时钟源分频为：1、2、4、8、16、32、64 或 128。



### 3.5 定时器/计数器和 PWM

#### 可编程计数器阵列 (PCAO)

可编程计数器阵列 (PCA) 提供增强的定时器和 PWM 功能的多个信道，与标准计数器/定时器相比，它需要较少的 CPU 干预。PCA 的各信道由一个专用的 16 位计数器/定时器和一个 16 位捕获/比较模块组成。计数器/定时器由具有灵活的外部 and 内部时钟选项的可编程时基驱动。每个捕获/比较模块可配置为在五种模式中的一种模式下独立运行：边沿触发捕获、软件定时器、高速输出、频率输出、或脉宽调制 (PWM) 输出。每个捕获/比较模块有其自己的关联 I/O 线 (CExn)，这些线在启用时通过交叉开关连接到端口 I/O。

- 16 位时基
- 可编程时钟分频器和时钟源选择
- 最多三个独立配置的信道
- 8、9、10、11 和 16 位 PWM 模式 (中心或边沿对齐操作)
- 输出极性控制
- 频率输出模式
- 捕获上升沿、下降沿或任何沿
- 任意波形生成的比较功能
- 软件定时器 (内部比较) 模式
- 可以从比较器 0 接收硬件“停用”信号

#### 定时器 (定时器 0、定时器 1、定时器 2 和定时器 3)

设备中包含几个计数器/定时器：两个是 16 位计数器/定时器与标准 8051 中的计数器/定时器兼容，另外两个是 16 位自动重新加载定时器，可用于定时外围设备或作为通用定时器使用。这些定时器可以用于测量时间间隔、对外部事件计数或生成周期性中断请求。定时器 0 和定时器 1 几乎完全相同，有四种主要工作模式。其他定时器都提供带有自动重新加载和捕获功能的 16 位和分割 8 位定时器功能。

定时器 0 和定时器 1 包括以下功能：

- 标准 8051 定时器，支持向后兼容固件和硬件。
- 时钟源包括 SYSCLK、SYSCLK (12、4 或 48 分频) 或外部时钟 (8 分频) 或外部引脚。
- 8 位自动重新加载计数器/定时器模式
- 13 位计数器/定时器模式
- 16 位计数器/定时器模式
- 双 8 位计数器/定时器模式 (定时器 0)

定时器 2 和定时器 3 是包括以下功能的 16 位定时器：

- 时钟源包括 SYSCLK、12 分频 SYSCLK 或 8 分频外部时钟。
- 16 位自动重新加载定时器模式
- 双 8 位自动重新加载定时器模式
- 外部引脚捕获 (定时器 2)
- LFOSCO 捕获 (定时器 3)

#### 监视程序定时器 (WDTO)

设备包括在低频振荡器之外运行的可编程监视程序定时器 (WDT)。WDT 溢出会迫使 MCU 处于复位状态。为了避免复位，WDT 必须在溢出之前通过应用软件重启。如果系统遇到阻止软件重启 WDT 的软件或硬件故障，则 WDT 溢出并引起复位。复位之后，WDT 自动开启并以默认最大时间间隔运行。WDT 可以根据需要由系统软件禁用或锁定以避免意外禁用。锁定后，在下次系统复位之前将不能禁用 WDT。RST 引脚的状态不受此复位的影响。

监视程序定时器具有如下功能：

- 可编程超时间隔
- 从低频振荡器运行
- 在系统复位之前锁定功能，阻止任何修改

### 3.6 通信和其他数字外围设备

#### 通用异步接收器/发射器 (UART0)

UART0 是一个异步、全双工串口，它提供标准 8051 UART 的模式 1 和 3。增强的波特率支持允许各种时钟源来生成标准波特率。接收数据缓冲机制允许 UART0 在软件尚未读取前一个数据字节的情况下开始接收第二个输入数据字节。

UART 模块提供以下功能：

- 异步发射和接收。
- 波特率高达  $\text{SYSCLK}/2$ （发射）或  $\text{SYSCLK}/8$ （接收）。
- 8 位或 9 位数据。
- 自动启动和停止发生。
- 发射和接收端的单字节 FIFO。

#### 串行外围设备接口 (SPI0)

串行外围设备接口 (SPI) 模块可以访问灵活的全双工同步串行总线。SPI 可作为主设备或从属设备在 3 线或 4 线模式下运行，支持单个 SPI 总线上的多个主设备或从属设备。从选择 (NSS) 信号可配置为输入，以在从模式中选择 SPI，或在多主环境中禁用主模式操作，以避免多个主设备试图同时进行数据传输时发生 SPI 总线冲突。NSS 可以在主模式中配置为固件控制的片选输出，或被禁用以减少所需引脚的数量。在主模式中，可以用其它通用端口 I/O 引脚选择多个从属设备。

SPI 模块包括以下功能：

- 支持 3 线或 4 线主模式或从模式运行。
- 在主模式下支持的外部时钟频率为  $\text{SYSCLK} 2$  分频，从模式下为  $\text{SYSCLK} 10$  分频。
- 支持四种时钟相位及极性选项。
- 8 位专用时钟的时钟频率发生器。
- 支持同一数据线上的多主模式。

#### 系统管理总线 / I2C (SMB0)

SMBus I/O 接口是一个二线的双向串行总线。SMBus 完全符合系统管理总线规范 1.1 版，并与 I<sup>2</sup>C 串行总线兼容。

SMBus 模块包括以下功能：

- 标准（最高 100 kbps）和快速（400 kbps）传输速度。
- 支持主、从和多主模式。
- 多主模式的硬件同步和仲裁。
- 时钟低延长（时钟拉伸）以连接到较快的主模式。
- 硬件支持 7 位从模式和一般调用地址识别。
- 固件支持 10 位从地址解码。
- 能够阻止所有从状态。
- 可编程数据建立/保持时间。

#### 16 位 CRC (CRC0)

循环冗余校验 (CRC) 模块使用 16 位多项式执行 CRC。CRC0 接受 8 位数据流并将 16 位结果存入内部寄存器中。除了使用 CRC 模块对数据进行操作外，硬件也可以对设备的闪存内容自动执行 CRC。

CRC 模块可以为闪存验证和通信协议进行硬件计算。CRC 模块支持标准 CCITT-16 16 位多项式 (0x1021)，包括以下功能：

- 支持 CCITT-16 多项式
- 字节级位序颠倒
- 对一个或多个 256-字节块上的闪存内容自动执行 CRC
- 初始种子选择为 0x0000 或 0xFFFF

### 3.7 模拟

#### 12 位 AD 转换器 (ADCO)

ADC 是一款逐次逼近寄存器 (SAR) ADC, 具有 12、10 和 8 位模式, 集成了跟踪保持电路和可编程窗口检测器。该 ADC 可完全在软件控制下通过几个寄存器来配置。ADC 可通过使用模拟多路复用器配置, 以测量各种不同信号。ADC 的电压参考可在内部和外部参考源之间选择。

- 高达 16 的外部输入。
- 单端 12 位和 10 位模式。
- 支持 12 位模式下每秒 200 ksp/s 样本的输出更新速率或 10 位模式下每秒 800 ksp/s 样本的输出更新速率。
- 在低功耗模式下运行时具有较低的转换速度。
- 异步硬件转换触发器, 可以在软件、外部 I/O 和内部定时器来源之间选择。
- 输出数据窗口比较器允许自动范围检查。
- 支持突发模式, 各转换启动触发器生成一组累计数据并具有可编程的加电稳定和跟踪时间。
- 支持转换完成和窗口比较中断。
- 灵活的输出数据格式。
- 包括内部双电平 (1.65 V 和 2.4 V) 的快速设定参考和支持外部参考和信号接地。
- 集成温度传感器。

#### 低电流比较器 (CMP0, CMP1)

模拟比较器用于比较两种模拟输入的电压, 其中数字输出显示两者之中较高的输入电压。设备 I/O 引脚的外部输入连接以及内部连接可通过正负输入端上彼此独立的多路复用器来启用。滞后、响应时间和电流消耗可进行编程, 以适应应用的特定需求。

比较器模块包括以下功能:

- 最多 8 次外部正输入。
- 最多 8 次外部负输入。
- 附加输入选项:
  - LDO 输出的内部连接
  - 直接接地连接
- 同步和异步输出可通过交叉开关路由至引脚。
- 0 和  $\pm 20$  mV 之间的可编程滞后
- 可编程响应时间。
- 在上升沿、下降沿或两者中都可以生成中断。

### 3.8 复位源

复位电路允许很容易地将控制器置于一个预定义的缺省状态。在进入此复位状态时, 将发生以下过程:

- 内核停止程序执行。
- 如果位复位不是仅使用加电复位, 模块寄存器被初始化为指定的复位值。
- 外部端口引脚被置于已知状态。
- 中断和定时器被禁用。

如果位复位不是仅使用加电复位, 则所有寄存器都被复位为寄存器说明中备注的预定义值。在复位期间 RAM 的内容不受影响; 之前存储的数据在断电之前保持不变。端口 I/O 锁存器在开路漏极模式下复位为 1。在复位期间和复位之后弱上拉启用。对于电源监视器和加电复位, RSTb 引脚被驱动为低电平, 直到设备退出复位状态。在退出复位状态时, 程序计数器 (PC) 被复位, 并且系统时钟默认为内部振荡器。监视程序定时器被启用, 从位置 0x0000 开始程序执行。

设备上的复位源包括以下:

- 上电复位
- 外部复位引脚
- 比较器复位
- 软件触发复位
- 电源监控器复位 (监控器 VDD 电源)
- 监视程序定时器复位
- 时钟丢失检测器复位
- 闪存错误复位

### 3.9 调试

EFM8BB1 设备包括一个片上 Silicon Labs 2 线 (C2) 调试接口, 支持闪存编程和使用安装在终端应用中的生产件进行系统内调试。C2 接口使用一个时钟信号 (C2CK) 和一个双向 C2 数据信号 (C2D) 在设备和主机系统之间传输信息。有关 C2 协议的详细信息, 请参见 C2 接口规范。

## 3.10 引导装载程序

所有设备都配备预编程的 UART 引导装载程序。此引导装载程序位于代码安全页，即代码闪存的最后一页；不需要时可以擦除。

锁定字节的前一个字节是引导装载程序签名字节。如果此字节的值设为 0xA5 则表示系统中存在引导装载程序。该位置出现任何其他值都表示闪存中没有引导装载程序。

存在引导装载程序时，设备将在执行任何复位操作后，跳转至引导装载程序向量，允许运行引导装载程序。随后，引导装载程序将确定设备是应该停留在引导装载模式中，还是跳转至位于 0x0000 的复位向量。不存在引导装载程序时，设备将在执行任何复位操作后，跳转至 0x0000 的复位向量。

欲了解关于引导装载程序协议和使用率的更多信息，请参见 *AN945: EFM8 工厂引导装载程序用户指南*。欲了解应用说明，请参见 Silicon Labs 网站 ([www.silabs.com/8bit-appnotes](http://www.silabs.com/8bit-appnotes)) 或通过[应用说明]方块访问 Simplicity Studio。

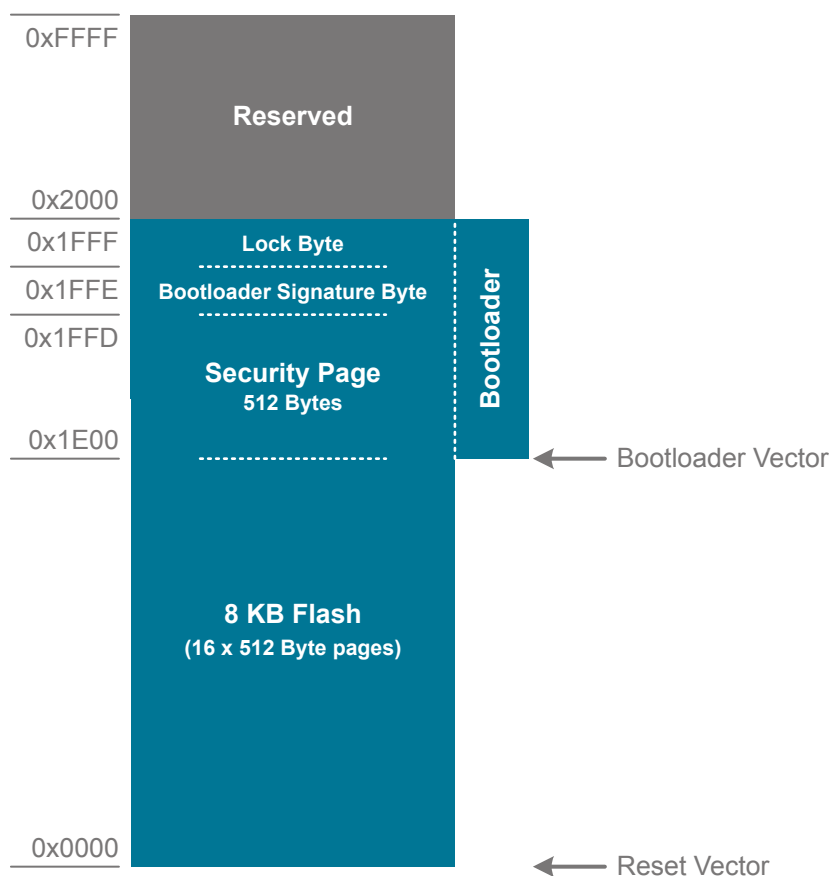


Figure 3.2. 带引导装载程序的闪存映射 — 8 KB 设备

Table 3.2. 用于引导装载程序通信的引脚摘要

引导装载程序	用于引导装载通信的引脚
UART	TX - P0.4
	RX - P0.5

Table 3.3. 用于引导装载模式入口的引脚摘要

设备封装	用于引导装载模式入口的引脚
QSOP24	P2. 0/C2D
QFN20	P2. 0/C2D
S01C16	P2. 0/C2D

## 4. 电气规格

### 4.1 电气特性

除非另有说明，各表中的所有电气参数都适用于 [Table 4.1 Recommended Operating Conditions on page 15](#)（第 11 页表 4.1 “推荐操作条件”）中所列的条件。

#### 4.1.1 建议的工作条件

**Table 4.1. Recommended Operating Conditions**

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Operating Supply Voltage on VDD	V <sub>DD</sub>		2.2	—	3.6	V
System Clock Frequency	f <sub>SYSCLK</sub>		0	—	25	MHz
Operating Ambient Temperature	T <sub>A</sub>	G-grade devices	-40	—	85	° C
		I-grade or A-grade devices	-40	—	125	° C

**Note:**

- All voltages with respect to GND
- GPIO levels are undefined whenever VDD is less than 1 V.

## 4.1.2 功耗

Table 4.2. Power Consumption

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
<b>Digital Core Supply Current (G-grade devices, -40 ° C to +85 ° C)</b>						
Normal Mode—Full speed with code executing from flash	I <sub>DD</sub>	F <sub>SYSCLK</sub> = 24.5 MHz <sup>2</sup>	—	4.45	4.85	mA
		F <sub>SYSCLK</sub> = 1.53 MHz <sup>2</sup>	—	915	1150	μA
		F <sub>SYSCLK</sub> = 80 kHz <sup>3</sup> , T <sub>A</sub> = 25 ° C	—	250	290	μA
		F <sub>SYSCLK</sub> = 80 kHz <sup>3</sup>	—	250	380	μA
Idle Mode—Core halted with peripherals running	I <sub>DD</sub>	F <sub>SYSCLK</sub> = 24.5 MHz <sup>2</sup>	—	2.05	2.3	mA
		F <sub>SYSCLK</sub> = 1.53 MHz <sup>2</sup>	—	550	700	μA
		F <sub>SYSCLK</sub> = 80 kHz <sup>3</sup> , T <sub>A</sub> = 25 ° C	—	125	130	μA
		F <sub>SYSCLK</sub> = 80 kHz <sup>3</sup>	—	125	200	μA
Stop Mode—Core halted and all clocks stopped, Internal LDO On, Supply monitor off.	I <sub>DD</sub>	T <sub>A</sub> = 25 ° C	—	105	120	μA
		T <sub>A</sub> = -40 to +85 ° C	—	105	170	μA
Shutdown Mode—Core halted and all clocks stopped, Internal LDO Off, Supply monitor off.	I <sub>DD</sub>		—	0.2	—	μA
<b>Digital Core Supply Current (I-grade or A-grade devices, -40 ° C to +125 ° C)</b>						
Normal Mode—Full speed with code executing from flash	I <sub>DD</sub>	F <sub>SYSCLK</sub> = 24.5 MHz <sup>2</sup>	—	4.45	5.25	mA
		F <sub>SYSCLK</sub> = 1.53 MHz <sup>2</sup>	—	915	1600	μA
		F <sub>SYSCLK</sub> = 80 kHz <sup>3</sup> , T <sub>A</sub> = 25 ° C	—	250	290	μA
		F <sub>SYSCLK</sub> = 80 kHz <sup>3</sup>	—	250	725	μA
Idle Mode—Core halted with peripherals running	I <sub>DD</sub>	F <sub>SYSCLK</sub> = 24.5 MHz <sup>2</sup>	—	2.05	2.6	mA
		F <sub>SYSCLK</sub> = 1.53 MHz <sup>2</sup>	—	550	1000	μA
		F <sub>SYSCLK</sub> = 80 kHz <sup>3</sup> , T <sub>A</sub> = 25 ° C	—	125	130	μA
		F <sub>SYSCLK</sub> = 80 kHz <sup>3</sup>	—	125	550	μA
Stop Mode—Core halted and all clocks stopped, Internal LDO On, Supply monitor off.	I <sub>DD</sub>	T <sub>A</sub> = 25 ° C	—	105	120	μA
		T <sub>A</sub> = -40 to +125 ° C	—	105	270	μA
Shutdown Mode—Core halted and all clocks stopped, Internal LDO Off, Supply monitor off.	I <sub>DD</sub>		—	0.2	—	μA
<b>Analog Peripheral Supply Currents (-40 ° C to +125 ° C)</b>						
High-Frequency Oscillator	I <sub>HFOSC</sub>	Operating at 24.5 MHz, T <sub>A</sub> = 25 ° C	—	155	—	μA
Low-Frequency Oscillator	I <sub>LFOSC</sub>	Operating at 80 kHz, T <sub>A</sub> = 25 ° C	—	3.5	—	μA



Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
ADCO Always-on <sup>4</sup>	I <sub>ADC</sub>	800 ksps, 10-bit conversions or 200 ksps, 12-bit conversions Normal bias settings V <sub>DD</sub> = 3.0 V	—	845	1200	μA
		250 ksps, 10-bit conversions or 62.5 ksps 12-bit conversions Low power bias settings V <sub>DD</sub> = 3.0 V	—	425	580	μA
ADCO Burst Mode, 10-bit single conversions, external reference	I <sub>ADC</sub>	200 ksps, V <sub>DD</sub> = 3.0 V	—	370	—	μA
		100 ksps, V <sub>DD</sub> = 3.0 V	—	185	—	μA
		10 ksps, V <sub>DD</sub> = 3.0 V	—	19	—	μA
ADCO Burst Mode, 10-bit single conversions, internal reference, Low power bias settings	I <sub>ADC</sub>	200 ksps, V <sub>DD</sub> = 3.0 V	—	490	—	μA
		100 ksps, V <sub>DD</sub> = 3.0 V	—	245	—	μA
		10 ksps, V <sub>DD</sub> = 3.0 V	—	23	—	μA
ADCO Burst Mode, 12-bit single conversions, external reference	I <sub>ADC</sub>	100 ksps, V <sub>DD</sub> = 3.0 V	—	530	—	μA
		50 ksps, V <sub>DD</sub> = 3.0 V	—	265	—	μA
		10 ksps, V <sub>DD</sub> = 3.0 V	—	53	—	μA
ADCO Burst Mode, 12-bit single conversions, internal reference	I <sub>ADC</sub>	100 ksps, V <sub>DD</sub> = 3.0 V, Normal bias	—	950	—	μA
		50 ksps, V <sub>DD</sub> = 3.0 V, Low power bias	—	420	—	μA
		10 ksps, V <sub>DD</sub> = 3.0 V, Low power bias	—	85	—	μA
Internal ADC0 Reference, Always-on <sup>5</sup>	I <sub>VREFFS</sub>	Normal Power Mode	—	680	790	μA
		Low Power Mode	—	160	210	μA
Temperature Sensor	I <sub>TSENSE</sub>		—	75	120	μA
Comparator 0 (CMP0), Comparator 1 (CMP1)	I <sub>CMP</sub>	CPMD = 11	—	0.5	—	μA
		CPMD = 10	—	3	—	μA
		CPMD = 01	—	10	—	μA
		CPMD = 00	—	25	—	μA
Voltage Supply Monitor (VMONO)	I <sub>VMON</sub>		—	15	20	μA

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
<b>Note:</b>						
1. Currents are additive. For example, where $I_{DD}$ is specified and the mode is not mutually exclusive, enabling the functions increases supply current by the specified amount.						
2. Includes supply current from internal regulator, supply monitor, and High Frequency Oscillator.						
3. Includes supply current from internal regulator, supply monitor, and Low Frequency Oscillator.						
4. ADC0 always-on power excludes internal reference supply current.						
5. The internal reference is enabled as-needed when operating the ADC in burst mode to save power.						

## 4.1.3 复位和电源监控器

Table 4.3. Reset and Supply Monitor

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
V <sub>DD</sub> Supply Monitor Threshold	V <sub>VDDM</sub>		1.85 <sup>1</sup>	1.95	2.1	V
Power-On Reset (POR) Threshold	V <sub>POR</sub>	Rising Voltage on V <sub>DD</sub>	—	1.4	—	V
		Falling Voltage on V <sub>DD</sub>	0.75	—	1.36	V
V <sub>DD</sub> Ramp Time	t <sub>RMP</sub>	Time to V <sub>DD</sub> ≥ 2.2 V	10	—	—	μs
Reset Delay from POR	t <sub>POR</sub>	Relative to V <sub>DD</sub> ≥ V <sub>POR</sub>	3	10	31	ms
Reset Delay from non-POR source	t <sub>RST</sub>	Time between release of reset source and code execution	—	39	—	μs
RST Low Time to Generate Reset	t <sub>RSTL</sub>		15	—	—	μs
Missing Clock Detector Response Time (final rising edge to reset)	t <sub>MCD</sub>	F <sub>SYSClk</sub> > 1 MHz	—	0.625	1.2	ms
Missing Clock Detector Trigger Frequency	F <sub>MCD</sub>		—	7.5	13.5	kHz
V <sub>DD</sub> Supply Monitor Turn-On Time	t <sub>MON</sub>		—	2	—	μs
<b>Note:</b>						
1. MCU core, digital logic, flash memory, and RAM operation is guaranteed down to the minimum V <sub>DD</sub> Supply Monitor Threshold.						

## 4.1.4 闪存

Table 4.4. Flash Memory

Parameter	Symbol	Test Condition	Min	Typ	Max	Units
Write Time <sup>1,2</sup>	$t_{WRITE}$	One Byte, $F_{SYSCLK} = 24.5 \text{ MHz}$	19	20	21	$\mu\text{s}$
Erase Time <sup>1,2</sup>	$t_{ERASE}$	One Page, $F_{SYSCLK} = 24.5 \text{ MHz}$	5.2	5.35	5.5	ms
$V_{DD}$ Voltage During Programming <sup>3</sup>	$V_{PROG}$		2.2	—	3.6	V
Endurance (Write/Erase Cycles)	$N_{WE}$		20k	100k	—	Cycles
CRC Calculation Time	$t_{CRC}$	One 256-Byte Block $SYSCLK = 24.5 \text{ MHz}$	—	11	—	$\mu\text{s}$

**Note:**

- Does not include sequencing time before and after the write/erase operation, which may be multiple SYSCLK cycles.
- The internal High-Frequency Oscillator has a programmable output frequency using the HF00CAL register, which is factory programmed to 24.5 MHz. If user firmware adjusts the oscillator speed, it must be between 22 and 25 MHz during any flash write or erase operation. It is recommended to write the HF00CAL register back to its reset value when writing or erasing flash.
- Flash can be safely programmed at any voltage above the supply monitor threshold ( $V_{VDDM}$ ).
- Data Retention Information is published in the Quarterly Quality and Reliability Report.

## 4.1.5 内部振荡器

Table 4.5. Internal Oscillators

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
<b>High Frequency Oscillator 0 (24.5 MHz)</b>						
Oscillator Frequency	$f_{HFOSC0}$	Full Temperature and Supply Range	24	24.5	25	MHz
Power Supply Sensitivity	$PSS_{HFOSC0}$	$T_A = 25^\circ \text{C}$	—	0.5	—	%/V
Temperature Sensitivity	$TS_{HFOSC0}$	$V_{DD} = 3.0 \text{ V}$	—	40	—	ppm/ $^\circ \text{C}$
<b>Low Frequency Oscillator (80 kHz)</b>						
Oscillator Frequency	$f_{LFOSC}$	Full Temperature and Supply Range	75	80	85	kHz
Power Supply Sensitivity	$PSS_{LFOSC}$	$T_A = 25^\circ \text{C}$	—	0.05	—	%/V
Temperature Sensitivity	$TS_{LFOSC}$	$V_{DD} = 3.0 \text{ V}$	—	65	—	ppm/ $^\circ \text{C}$

## 4.1.6 外部时钟输入

Table 4.6. External Clock Input

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
External Input CMOS Clock Frequency (at EXTCLK pin)	$f_{\text{CMOS}}$		0	—	25	MHz
External Input CMOS Clock High Time	$t_{\text{CMOSH}}$		18	—	—	ns
External Input CMOS Clock Low Time	$t_{\text{CMOSL}}$		18	—	—	ns

4.1.7 ADC

Table 4.7. ADC

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Resolution	N <sub>bits</sub>	12 Bit Mode	12			Bits
		10 Bit Mode	10			Bits
Throughput Rate (High Speed Mode)	f <sub>S</sub>	12 Bit Mode	—	—	200	ksps
		10 Bit Mode	—	—	800	ksps
Throughput Rate (Low Power Mode)	f <sub>S</sub>	12 Bit Mode	—	—	62.5	ksps
		10 Bit Mode	—	—	250	ksps
Tracking Time	t <sub>TRK</sub>	High Speed Mode	230	—	—	ns
		Low Power Mode	450	—	—	ns
Power-On Time	t <sub>PWR</sub>		1.2	—	—	μs
SAR Clock Frequency	f <sub>SAR</sub>	High Speed Mode, Reference is 2.4 V internal	—	—	6.25	MHz
		High Speed Mode, Reference is not 2.4 V internal	—	—	12.5	MHz
		Low Power Mode	—	—	4	MHz
Conversion Time	t <sub>CNV</sub>	10-Bit Conversion, SAR Clock = 12.25 MHz, System Clock = 24.5 MHz.	1.1			μs
Sample/Hold Capacitor	C <sub>SAR</sub>	Gain = 1	—	5	—	pF
		Gain = 0.5	—	2.5	—	pF
Input Pin Capacitance	C <sub>IN</sub>		—	20	—	pF
Input Mux Impedance	R <sub>MUX</sub>		—	550	—	Ω
Voltage Reference Range	V <sub>REF</sub>		1	—	V <sub>DD</sub>	V
Input Voltage Range*	V <sub>IN</sub>	Gain = 1	0	—	V <sub>REF</sub>	V
		Gain = 0.5	0	—	2xV <sub>REF</sub>	V
Power Supply Rejection Ratio	PSRR <sub>ADC</sub>		—	70	—	dB
<b>DC Performance</b>						
Integral Nonlinearity	INL	12 Bit Mode	—	±1	±2.3	LSB
		10 Bit Mode	—	±0.2	±0.6	LSB
Differential Nonlinearity (Guaranteed Monotonic)	DNL	12 Bit Mode	-1	±0.7	1.9	LSB
		10 Bit Mode	—	±0.2	±0.6	LSB
Offset Error	E <sub>OFF</sub>	12 Bit Mode, V <sub>REF</sub> = 1.65 V	-3	0	3	LSB
		10 Bit Mode, V <sub>REF</sub> = 1.65 V	-2	0	2	LSB
Offset Temperature Coefficient	TC <sub>OFF</sub>		—	0.004	—	LSB/°C

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Slope Error	$E_M$	12 Bit Mode	—	$\pm 0.02$	$\pm 0.1$	%
		10 Bit Mode	—	$\pm 0.06$	$\pm 0.24$	%
<b>Dynamic Performance 10 kHz Sine Wave Input 1dB below full scale, Max throughput, using AGND pin</b>						
Signal-to-Noise	SNR	12 Bit Mode	61	66	—	dB
		10 Bit Mode	53	60	—	dB
Signal-to-Noise Plus Distortion	SNDR	12 Bit Mode	61	66	—	dB
		10 Bit Mode	53	60	—	dB
Total Harmonic Distortion (Up to 5th Harmonic)	THD	12 Bit Mode	—	71	—	dB
		10 Bit Mode	—	70	—	dB
Spurious-Free Dynamic Range	SFDR	12 Bit Mode	—	-79	—	dB
		10 Bit Mode	—	-74	—	dB
<b>Note:</b>						
1. Absolute input pin voltage is limited by the $V_{DD}$ supply.						

## 4.1.8 参考电压

Table 4.8. Voltage Reference

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
<b>Internal Fast Settling Reference</b>						
Output Voltage (Full Temperature and Supply Range)	$V_{REFFS}$	1.65 V Setting	1.62	1.65	1.68	V
		2.4 V Setting, $V_{DD} \geq 2.6$ V	2.35	2.4	2.45	V
Temperature Coefficient	$TC_{REFFS}$		—	50	—	ppm/ $^{\circ}$ C
Turn-on Time	$t_{REFFS}$		—	—	1.5	$\mu$ s
Power Supply Rejection	$PSRR_{REFFS}$		—	400	—	ppm/V
<b>External Reference</b>						
Input Current	$I_{EXTREF}$	Sample Rate = 800 ksps; $V_{REF} = 3.0$ V	—	5	—	$\mu$ A

## 4.1.9 温度传感器

Table 4.9. Temperature Sensor

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Offset	V <sub>OFF</sub>	T <sub>A</sub> = 0 ° C	—	757	—	mV
Offset Error <sup>1</sup>	E <sub>OFF</sub>	T <sub>A</sub> = 0 ° C	—	17	—	mV
Slope	M		—	2.85	—	mV/° C
Slope Error <sup>1</sup>	E <sub>M</sub>		—	70	—	μV/° C
Linearity			—	0.5	—	° C
Turn-on Time			—	1.8	—	μs

**Note:**

1. Represents one standard deviation from the mean.

## 4.1.10 1.8 V 内部 LDO 稳压器

Table 4.10. 1.8V Internal LDO Voltage Regulator

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Output Voltage	V <sub>OUT_1.8V</sub>		1.74	1.8	1.85	V

## 4.1.11 比较器

Table 4.11. Comparators

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Response Time, CPMD = 00 (Highest Speed)	$t_{RESP0}$	+100 mV Differential	—	100	—	ns
		- 100 mV Differential	—	150	—	ns
Response Time, CPMD = 11 (Lowest Power)	$t_{RESP3}$	+100 mV Differential	—	1.5	—	$\mu$ s
		- 100 mV Differential	—	3.5	—	$\mu$ s
Positive Hysterisis Mode 0 (CPMD = 00)	$HYS_{CP+}$	CPHYP = 00	—	0.4	—	mV
		CPHYP = 01	—	8	—	mV
		CPHYP = 10	—	16	—	mV
		CPHYP = 11	—	32	—	mV
Negative Hysterisis Mode 0 (CPMD = 00)	$HYS_{CP-}$	CPHYN = 00	—	-0.4	—	mV
		CPHYN = 01	—	-8	—	mV
		CPHYN = 10	—	-16	—	mV
		CPHYN = 11	—	-32	—	mV
Positive Hysterisis Mode 1 (CPMD = 01)	$HYS_{CP+}$	CPHYP = 00	—	0.5	—	mV
		CPHYP = 01	—	6	—	mV
		CPHYP = 10	—	12	—	mV
		CPHYP = 11	—	24	—	mV
Negative Hysterisis Mode 1 (CPMD = 01)	$HYS_{CP-}$	CPHYN = 00	—	-0.5	—	mV
		CPHYN = 01	—	-6	—	mV
		CPHYN = 10	—	-12	—	mV
		CPHYN = 11	—	-24	—	mV
Positive Hysterisis Mode 2 (CPMD = 10)	$HYS_{CP+}$	CPHYP = 00	—	0.7	—	mV
		CPHYP = 01	—	4.5	—	mV
		CPHYP = 10	—	9	—	mV
		CPHYP = 11	—	18	—	mV
Negative Hysterisis Mode 2 (CPMD = 10)	$HYS_{CP-}$	CPHYN = 00	—	-0.6	—	mV
		CPHYN = 01	—	-4.5	—	mV
		CPHYN = 10	—	-9	—	mV
		CPHYN = 11	—	-18	—	mV
Positive Hysterisis Mode 3 (CPMD = 11)	$HYS_{CP+}$	CPHYP = 00	—	1.5	—	mV
		CPHYP = 01	—	4	—	mV
		CPHYP = 10	—	8	—	mV
		CPHYP = 11	—	16	—	mV



Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Negative Hysteresis Mode 3 (CPMD = 11)	HYS <sub>CP-</sub>	CPHYN = 00	—	-1.5	—	mV
		CPHYN = 01	—	-4	—	mV
		CPHYN = 10	—	-8	—	mV
		CPHYN = 11	—	-16	—	mV
Input Range (CP+ or CP-)	V <sub>IN</sub>		-0.25	—	V <sub>DD</sub> +0.25	V
Input Pin Capacitance	C <sub>CP</sub>		—	7.5	—	pF
Common-Mode Rejection Ratio	CMRR <sub>CP</sub>		—	70	—	dB
Power Supply Rejection Ratio	PSRR <sub>CP</sub>		—	72	—	dB
Input Offset Voltage	V <sub>OFF</sub>	T <sub>A</sub> = 25 ° C	-10	0	10	mV
Input Offset Tempco	TC <sub>OFF</sub>		—	3.5	—	μV/° C

## 4.1.12 端口 I/O

Table 4.12. Port I/O

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Output High Voltage (Low Drive) <sup>1</sup>	V <sub>OH</sub>	I <sub>OH</sub> = -1 mA	V <sub>DD</sub> - 0.7	—	—	V
Output High Voltage (High Drive) <sup>1</sup>	V <sub>OH</sub>	I <sub>OH</sub> = -3 mA	V <sub>DD</sub> - 0.7	—	—	V
Output Low Voltage (Low Drive) <sup>1</sup>	V <sub>OL</sub>	I <sub>OL</sub> = 1.4 mA	—	—	0.6	V
Output Low Voltage (High Drive) <sup>1</sup>	V <sub>OL</sub>	I <sub>OL</sub> = 8.5 mA	—	—	0.6	V
Output Low Voltage (High Drive) <sup>1</sup>	V <sub>OL</sub>	I <sub>OL</sub> = 10 mA -10 ° C ≤ T <sub>A</sub> ≤ 60 ° C V <sub>DD</sub> = 3.0 V Guaranteed by characterization	—	0.25	0.33	V
Output Low Voltage (High Drive) <sup>1</sup>	V <sub>OL</sub>	I <sub>OL</sub> = 10 mA -10 ° C ≤ T <sub>A</sub> ≤ 60 ° C V <sub>DD</sub> = 3.6 V Guaranteed by characterization	—	0.23	0.31	V
Input High Voltage	V <sub>IH</sub>		V <sub>DD</sub> - 0.6	—	—	V
Input Low Voltage	V <sub>IL</sub>		—	—	0.6	V
Pin Capacitance	C <sub>I0</sub>		—	7	—	pF
Weak Pull-Up Current (V <sub>IN</sub> = 0 V)	I <sub>PU</sub>	V <sub>DD</sub> = 3.6	-30	-20	-10	μA
Input Leakage (Pullups off or Analog)	I <sub>LK</sub>	GND < V <sub>IN</sub> < V <sub>DD</sub>	-1.1	—	1.1	μA
Input Leakage Current with V <sub>IN</sub> above V <sub>DD</sub>	I <sub>LK</sub>	V <sub>DD</sub> < V <sub>IN</sub> < V <sub>DD</sub> +2.0 V	0	5	150	μA

**Note:**

1. See Figure 4.6 常见 V<sub>OH</sub> 曲线 on page 33 and Figure 4.7 常见 V<sub>OL</sub> 曲线 on page 33 for more information.

## 4.1.13 SMBus

Table 4.13. SMBus 外围设备定时性能（主模式）

Parameter	符号	Test Condition	最低	典型值	最高	单位
<b>标准模式（100 kHz 级）</b>						
I2C 工作频率	$f_{I2C}$		0	—	$70^2$	kHz
SMBus 工作频率	$f_{SMB}$		$40^1$	—	$70^2$	kHz
停止和开始条件之间的总线空闲时间	$t_{BUF}$		9.4	—	—	$\mu s$
开始条件之后的保持时间（重复）	$t_{HD:STA}$		4.7	—	—	$\mu s$
重复的开始条件设置时间	$t_{SU:STA}$		9.4	—	—	$\mu s$
停止条件设置时间	$t_{SU:STO}$		9.4	—	—	$\mu s$
数据保持时间	$t_{HD:DAT}$		$489^3$	—	—	ns
数据设置时间	$t_{SU:DAT}$		$448^3$	—	—	ns
检测时钟低超时	$t_{\text{超时}}$		25	—	—	ms
时钟低周期	$t_{\text{低}}$		4.7	—	—	$\mu s$
时钟高周期	$t_{\text{高}}$		9.4	—	$50^4$	$\mu s$
<b>快速模式（400 kHz 级）</b>						
I2C 工作频率	$f_{I2C}$		0	—	$255^2$	kHz
SMBus 工作频率	$f_{SMB}$		$40^1$	—	$255^2$	kHz
停止和开始条件之间的总线空闲时间	$t_{BUF}$		2.6	—	—	$\mu s$
开始条件之后的保持时间（重复）	$t_{HD:STA}$		1.3	—	—	$\mu s$
重复的开始条件设置时间	$t_{SU:STA}$		2.6	—	—	$\mu s$
停止条件设置时间	$t_{SU:STO}$		2.6	—	—	$\mu s$
数据保持时间	$t_{HD:DAT}$		$489^3$	—	—	ns
数据设置时间	$t_{SU:DAT}$		$448^3$	—	—	ns
检测时钟低超时	$t_{\text{超时}}$		25	—	—	ms
时钟低周期	$t_{\text{低}}$		1.3	—	—	$\mu s$
时钟高周期	$t_{\text{高}}$		2.6	—	$50^4$	$\mu s$
<b>Note:</b>						
1. 最小 SMBus 频率受限于 SMBus 规格的最大时钟高周期要求。						
2. 最大 I2C 和 SMBus 频率受限于它们各自规格的最小时钟低周期要求。所有可用的振荡器和分频器组合都无法实现最大频率，但有效频率不得超过 256 kHz。						
3. 频率为 25 MHz 或更低时的数据建立和保持定时，其中 EXTHOLD 设置为 1。						
4. SMBus 的最大时钟高周期要求为 50 $\mu s$ 。低于 40 kHz 的工作频率将超过 50 $\mu s$ 。I2C 可支持超过 50 $\mu s$ 的周期。						

Table 4.14. SMBus 外围设备定时公式 (主模式)

Parameter	符号	时钟
SMBus 工作频率	$f_{SMB}$	$f_{CS0}/3$
停止和开始条件之间的总线空闲时间	$t_{BUF}$	$2/f_{CS0}$
开始条件之后的保持时间 (重复)	$t_{HD:STA}$	$1/f_{CS0}$
重复的开始条件设置时间	$t_{SU:STA}$	$2/f_{CS0}$
停止条件设置时间	$t_{SU:STO}$	$2/f_{CS0}$
时钟低周期	$t_{低}$	$1/f_{CS0}$
时钟高周期	$t_{高}$	$2/f_{CS0}$

**Note:**  
1.  $f_{CS0}$  是 SMBus 外围设备时钟源溢流频率。

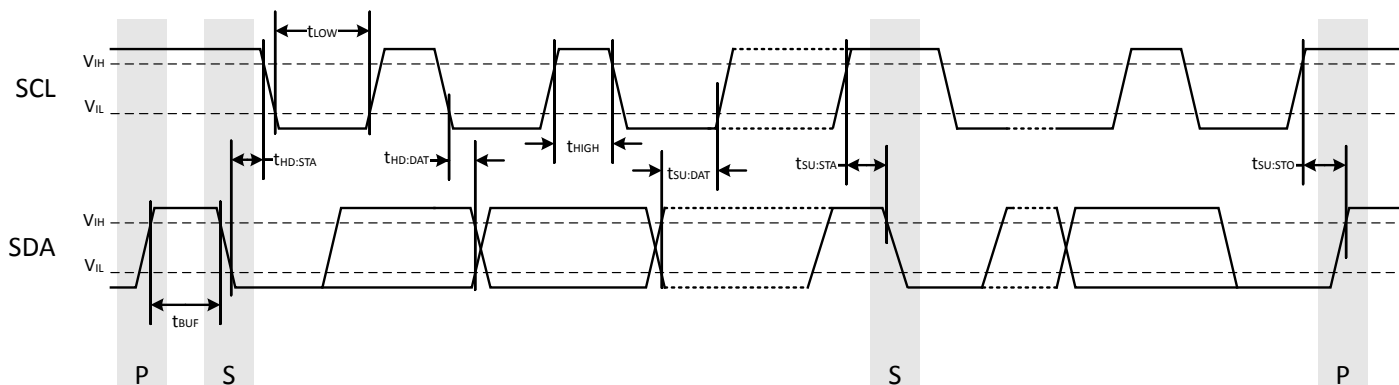


Figure 4.1. SMBus 外围设备定时图 (主模式)

## 4.2 热能条件

Table 4.15. Thermal Conditions

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Thermal Resistance (Junction to Ambient)	$\theta_{JA}$	S01C-16 Packages	—	70	—	$^{\circ}C/W$
		QFN-20 Packages	—	60	—	$^{\circ}C/W$
		QSOP-24 Packages	—	65	—	$^{\circ}C/W$
Thermal Resistance (Junction to Case)	$\theta_{JC}$	QFN-20 Packages	—	28.86	—	$^{\circ}C/W$

**Note:**  
1. Thermal resistance assumes a multi-layer PCB with any exposed pad soldered to a PCB pad.

## 4.3 绝对最大额定值

超过 Table 4.16 Absolute Maximum Ratings on page 29 (第 20 页表 4.17 “最大额定值”) 中所列的应力值可能会永久损坏设备。这仅为应力额定值, 不表示在此值之下或在此规范的操作列表中标明的额定值之上的任何其他条件下可以对设备进行功能性操作。长期在最大额定值条件下工作可影响设备的可靠性。有关质量参数和可靠性数据的更多信息, 请访问 <http://www.silabs.com/support/quality/pages/default.aspx> 参阅《质量和可靠性监视报告》。

Table 4.16. Absolute Maximum Ratings

Parameter	Symbol	Test Condition	Min	Max	Unit
Ambient Temperature Under Bias	$T_{BIAS}$		-55	125	° C
Storage Temperature	$T_{STG}$		-65	150	° C
Voltage on VDD	$V_{DD}$		GND - 0.3	4.2	V
Voltage on I/O pins or RST	$V_{IN}$	$V_{DD} \geq 3.3\text{ V}$	GND - 0.3	5.8	V
		$V < 3.3\text{ V}$	GND - 0.3	$V_{DD} + 2.5$	V
Total Current Sunk into Supply Pin	$I_{VDD}$		—	200	mA DD
Total Current Sourced out of Ground Pin	$I_{GND}$		200	—	mA
Current Sourced or Sunk by Any I/O Pin or RSTb	$I_{IO}$		-100	100	mA
Operating Junction Temperature	$T_J$	$T_A = -40\text{ ° C to }85\text{ ° C}$	-40	105	° C
		$T_A = -40\text{ ° C to }125\text{ ° C}$ (I-grade or A-grade parts only)	-40	130	° C
Exposure to maximum rating conditions for extended periods may affect device reliability.					

4.4 典型性能曲线

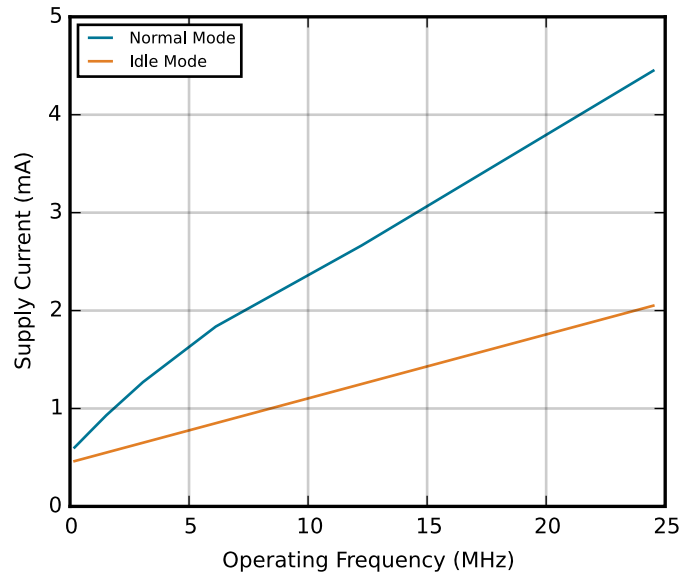


Figure 4.2. 使用 HFOSC0 时典型的运行电源电流

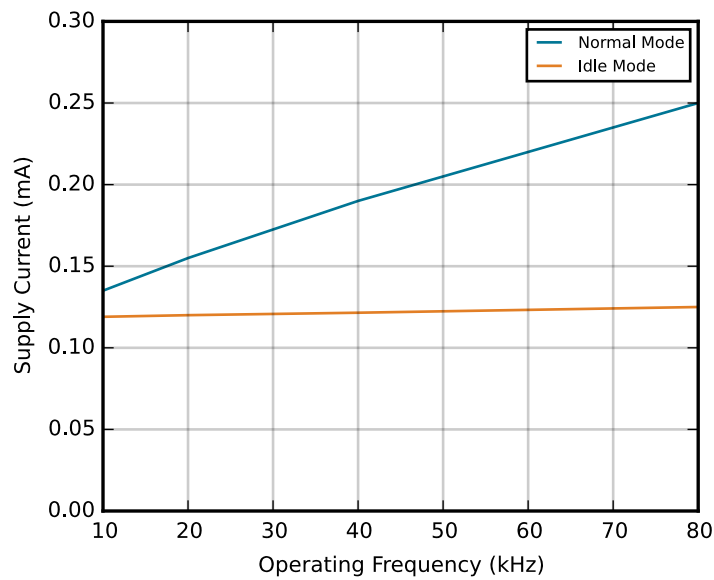


Figure 4.3. 使用 LFOSC 时典型的运行电源电流

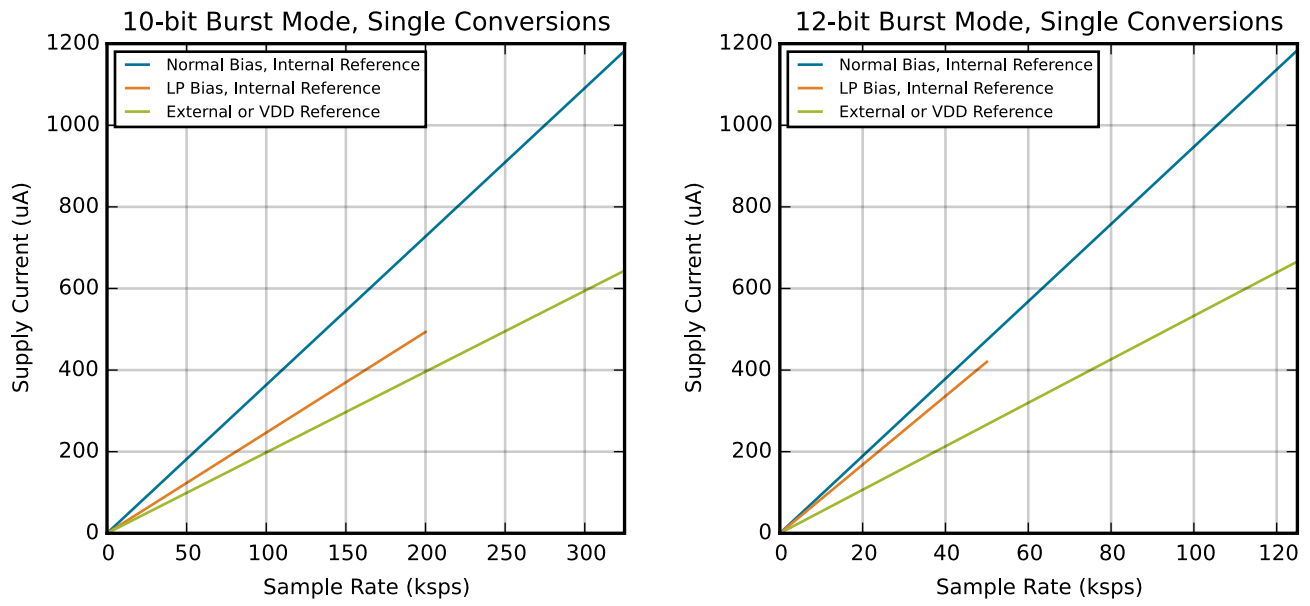


Figure 4.4. 突发模式下典型的 ADC0 和内部参考电源电流

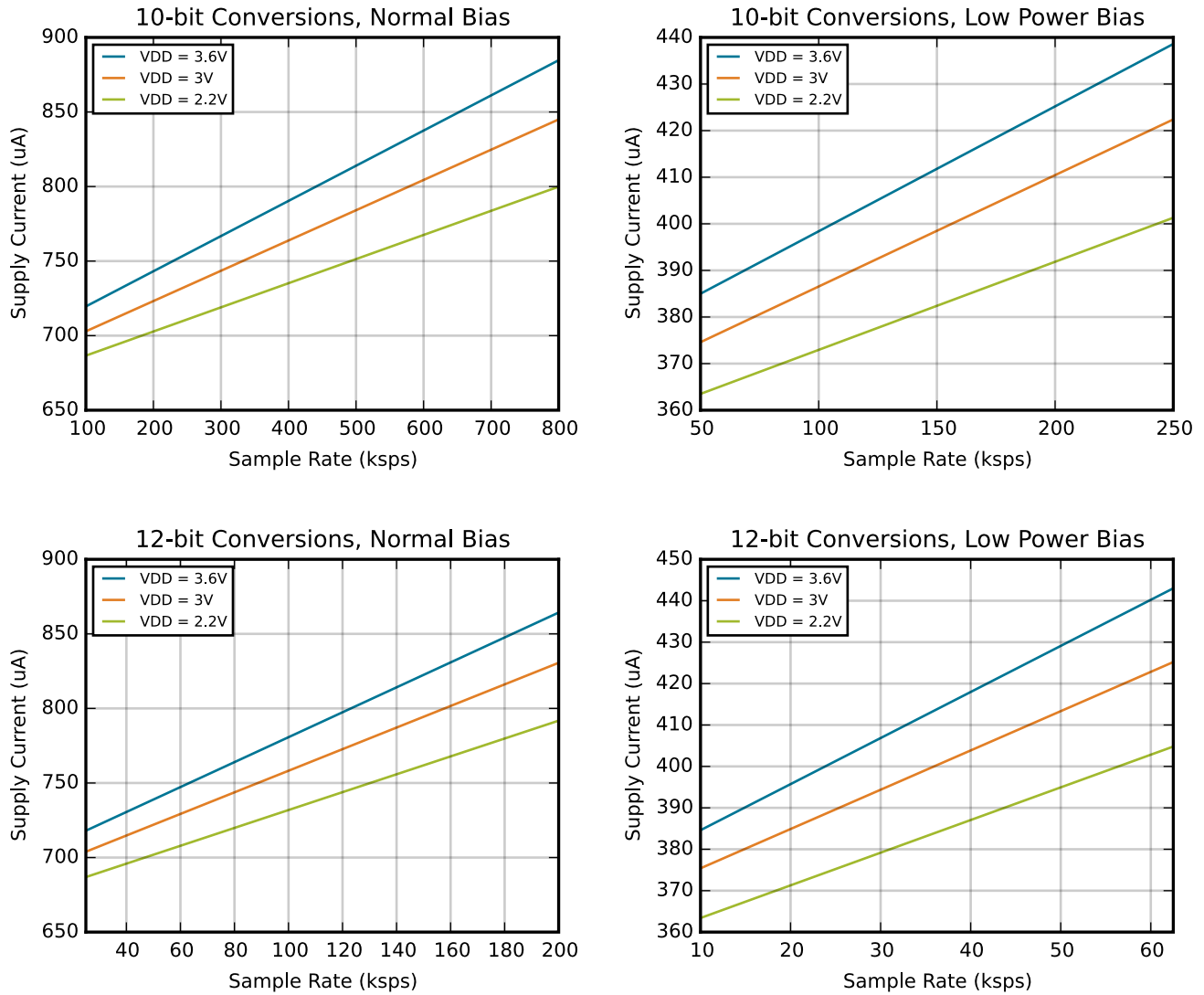


Figure 4.5. 正常（常开）模式下典型的 ADC0 电源电流



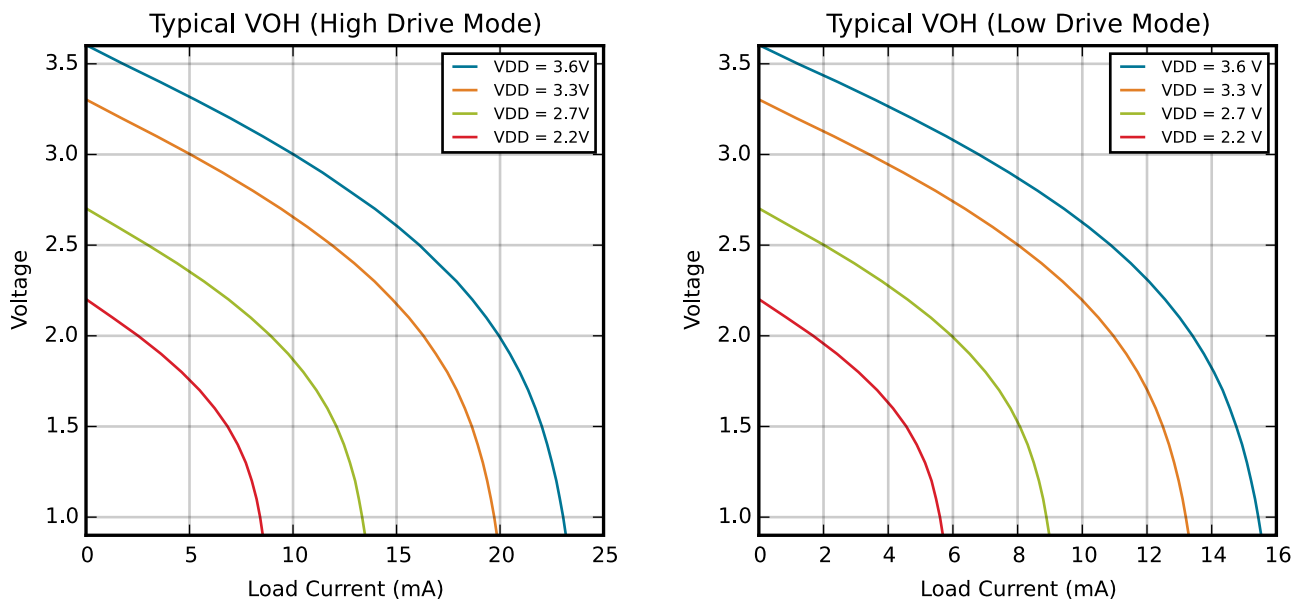


Figure 4.6. 常见  $V_{OH}$  曲线

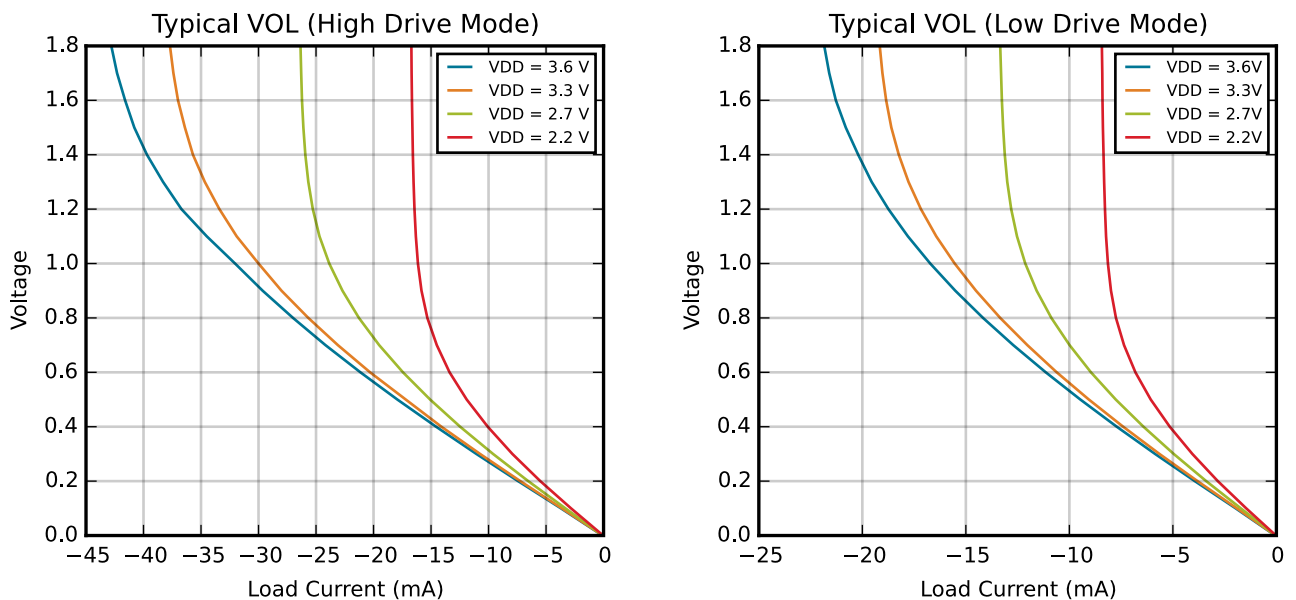


Figure 4.7. 常见  $V_{OL}$  曲线

## 5. 典型连接图

### 5.1 电源

Figure 5.1 电源连接图 on page 34 是 EFM8BB1 设备电源引脚的典型连接图。

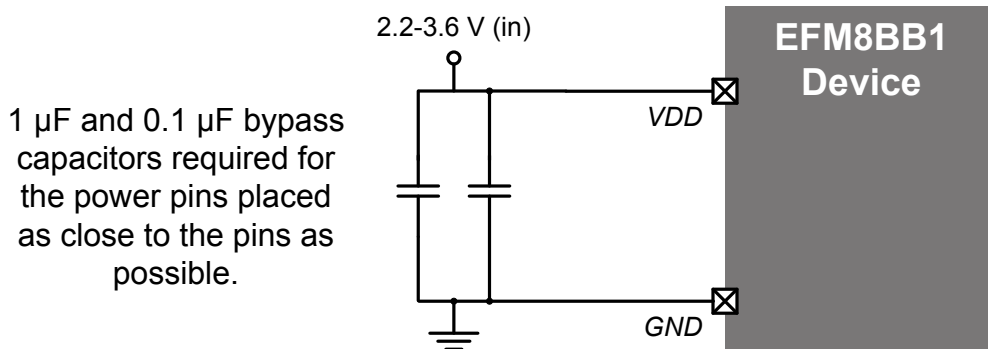


Figure 5.1. 电源连接图

### 5.2 调试

下图为调试连接引脚的典型连接图。仅在 C2D（一种 GPIO 引脚）和 C2CK（RSTb）路由到外部电路的情况下，才要求引脚共享电阻。例如，如果 RSTb 引脚连接到带有消抖滤波器的外部开关，或者与 C2D 引脚共享的 GPIO 连接到外部电路，则引脚共享电阻和调试适配器连接必须放置在硬件。否则，这些元件和连接可能被忽略。

如欲了解有关调试连接的更多信息，请参见应用说明 AN124: C2 接口的引脚共享技术中的示例原理图和信息。欲了解应用说明，请参见 Silicon Labs 网站 (<http://www.silabs.com/8bit-appnotes>) 或 Simplicity Studio。

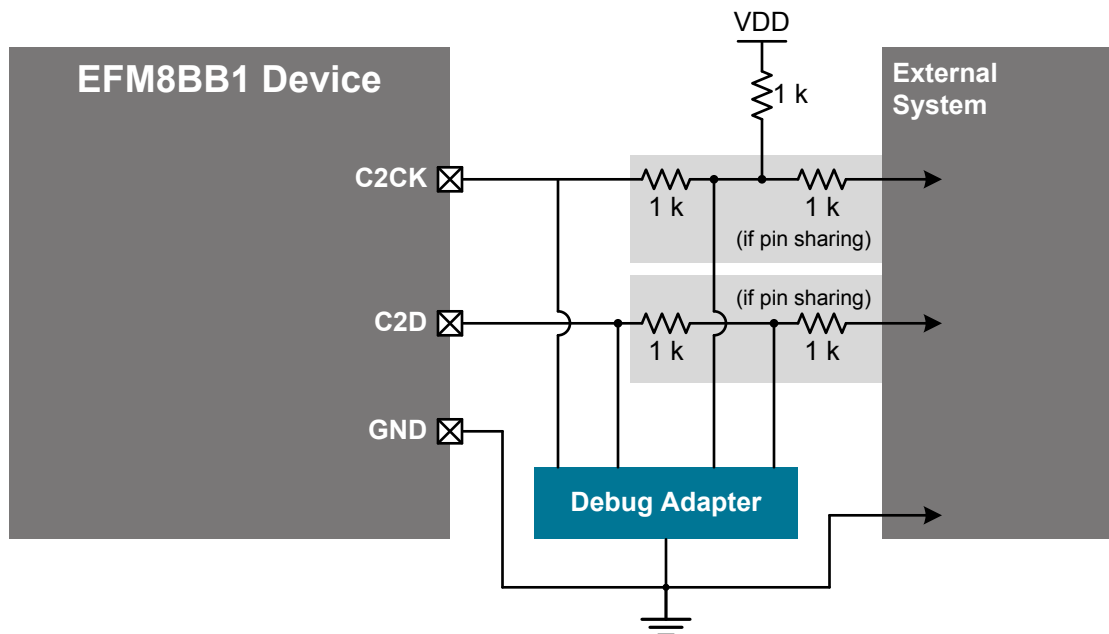


Figure 5.2. 调试连接图

### 5.3 其他连接

其他元件或连接可能需要满足系统级要求。应用说明“AN203: 8 位 MCU 印刷电路板设计说明”中对这些连接进行了详细说明。应用说明位于 Silicon Labs 网站上 ([www.silabs.com/8bit-appnotes](http://www.silabs.com/8bit-appnotes))。

## 6. 引脚定义

### 6.1 EFM8BB1x-QSOP24 引脚定义

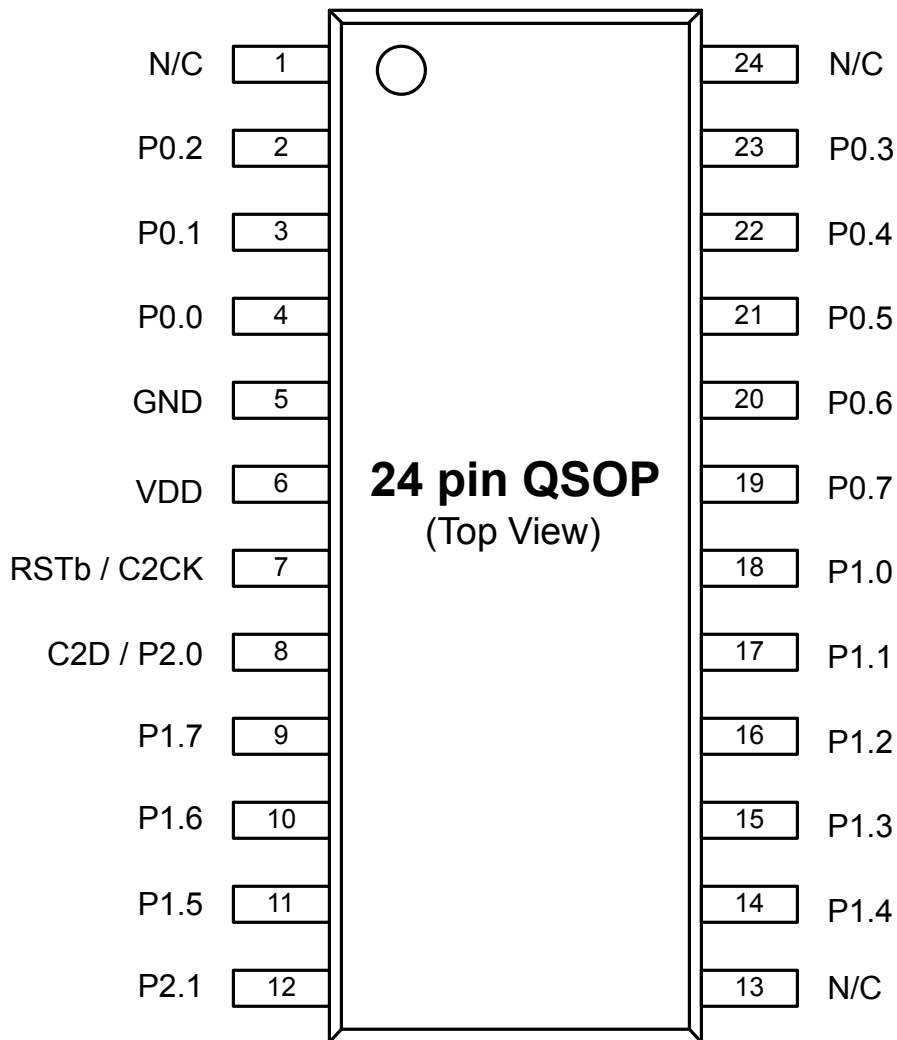


Figure 6.1. EFM8BB1x-QSOP24 插脚

Table 6.1. Pin Definitions for EFM8BB1x-QSOP24

Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
1	N/C	No Connection			
2	P0.2	Multifunction I/O	Yes	POMAT. 2 INT0. 2 INT1. 2	ADC0. 2 CMP0P. 2 CMPON. 2

Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
3	P0.1	Multifunction I/O	Yes	POMAT.1 INT0.1 INT1.1	ADC0.1 CMP0P.1 CMP0N.1 AGND
4	P0.0	Multifunction I/O	Yes	POMAT.0 INT0.0 INT1.0	ADC0.0 CMP0P.0 CMP0N.0 VREF
5	GND	Ground			
6	VDD	Supply Power Input			
7	RSTb / C2CK	Active-low Reset / C2 Debug Clock			
8	P2.0 / C2D	Multifunction I/O / C2 Debug Data			
9	P1.7	Multifunction I/O	Yes	P1MAT.7	ADC0.15 CMP1P.7 CMP1N.7
10	P1.6	Multifunction I/O	Yes	P1MAT.6	ADC0.14 CMP1P.6 CMP1N.6
11	P1.5	Multifunction I/O	Yes	P1MAT.5	ADC0.13 CMP1P.5 CMP1N.5
12	P2.1	Multifunction I/O			
13	N/C	No Connection			
14	P1.4	Multifunction I/O	Yes	P1MAT.4	ADC0.12 CMP1P.4 CMP1N.4
15	P1.3	Multifunction I/O	Yes	P1MAT.3	ADC0.11 CMP1P.3 CMP1N.3
16	P1.2	Multifunction I/O	Yes	P1MAT.2	ADC0.10 CMP1P.2 CMP1N.2

Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
17	P1.1	Multifunction I/O	Yes	P1MAT.1	ADC0.9 CMP1P.1 CMP1N.1
18	P1.0	Multifunction I/O	Yes	P1MAT.0	ADC0.8 CMP1P.0 CMP1N.0
19	P0.7	Multifunction I/O	Yes	POMAT.7 INT0.7 INT1.7	ADC0.7 CMPPOP.7 CMPON.7
20	P0.6	Multifunction I/O	Yes	POMAT.6 CNVSTR INT0.6 INT1.6	ADC0.6 CMPPOP.6 CMPON.6
21	P0.5	Multifunction I/O	Yes	POMAT.5 INT0.5 INT1.5	ADC0.5 CMPPOP.5 CMPON.5
22	P0.4	Multifunction I/O	Yes	POMAT.4 INT0.4 INT1.4	ADC0.4 CMPPOP.4 CMPON.4
23	P0.3	Multifunction I/O	Yes	POMAT.3 EXTCLK INT0.3 INT1.3	ADC0.3 CMPPOP.3 CMPON.3
24	N/C	No Connection			

6.2 EFM8BB1x-QFN20 引脚定义

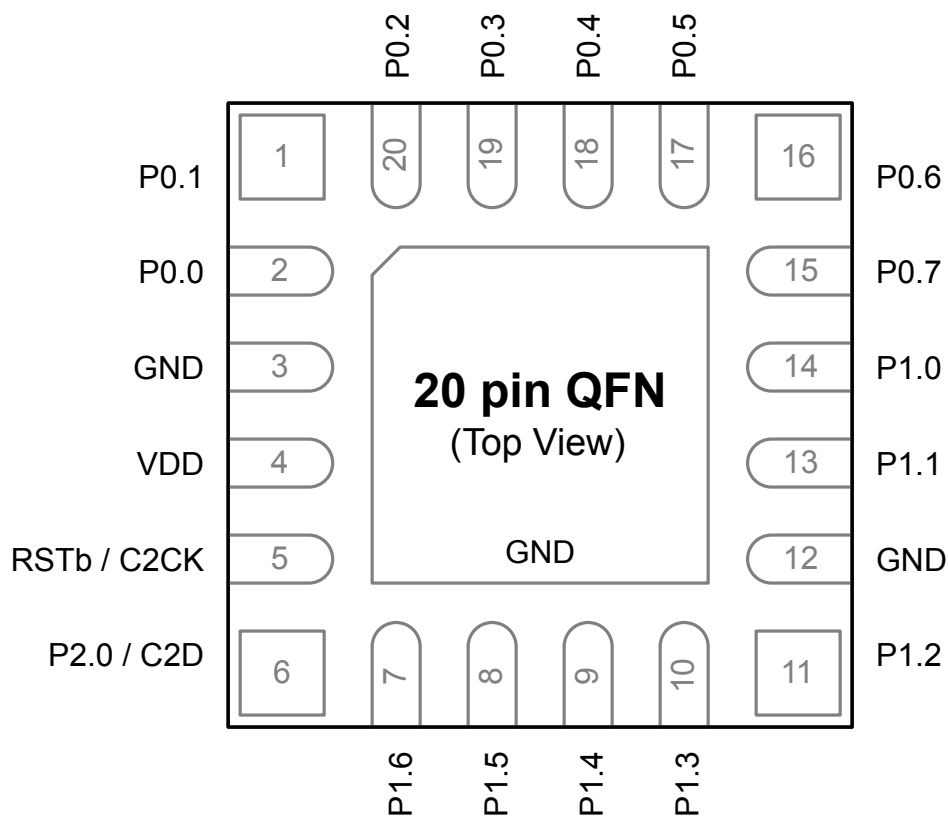


Figure 6.2. EFM8BB1x-QFN20 插脚

Table 6.2. Pin Definitions for EFM8BB1x-QFN20

Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
1	P0.1	Multifunction I/O	Yes	POMAT.1 INT0.1 INT1.1	ADCO.1 CMPPOP.1 CMPON.1 AGND
2	P0.0	Multifunction I/O	Yes	POMAT.0 INT0.0 INT1.0	ADCO.0 CMPPOP.0 CMPON.0 VREF

Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
3	GND	Ground			
4	VDD	Supply Power Input			
5	RSTb / C2CK	Active-low Reset / C2 Debug Clock			
6	P2.0 / C2D	Multifunction I/O / C2 Debug Data			
7	P1.6	Multifunction I/O	Yes	P1MAT.6	ADC0.14 CMP1P.6 CMP1N.6
8	P1.5	Multifunction I/O	Yes	P1MAT.5	ADC0.13 CMP1P.5 CMP1N.5
9	P1.4	Multifunction I/O	Yes	P1MAT.4	ADC0.12 CMP1P.4 CMP1N.4
10	P1.3	Multifunction I/O	Yes	P1MAT.3	ADC0.11 CMP1P.3 CMP1N.3
11	P1.2	Multifunction I/O	Yes	P1MAT.2	ADC0.10 CMP1P.2 CMP1N.2
12	GND	Ground			
13	P1.1	Multifunction I/O	Yes	P1MAT.1	ADC0.9 CMP1P.1 CMP1N.1
14	P1.0	Multifunction I/O	Yes	P1MAT.0	ADC0.8 CMP1P.0 CMP1N.0
15	P0.7	Multifunction I/O	Yes	P0MAT.7 INT0.7 INT1.7	ADC0.7 CMP0P.7 CMP0N.7
16	P0.6	Multifunction I/O	Yes	P0MAT.6 CNVSTR INT0.6 INT1.6	ADC0.6 CMP0P.6 CMP0N.6

Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
17	P0.5	Multifunction I/O	Yes	POMAT.5 INT0.5 INT1.5	ADC0.5 CMP0P.5 CMPON.5
18	P0.4	Multifunction I/O	Yes	POMAT.4 INT0.4 INT1.4	ADC0.4 CMP0P.4 CMPON.4
19	P0.3	Multifunction I/O	Yes	POMAT.3 EXTCLK INT0.3 INT1.3	ADC0.3 CMP0P.3 CMPON.3
20	P0.2	Multifunction I/O	Yes	POMAT.2 INT0.2 INT1.2	ADC0.2 CMP0P.2 CMPON.2
Center	GND	Ground			



6.3 EFM8BB1x-S01C16 引脚定义

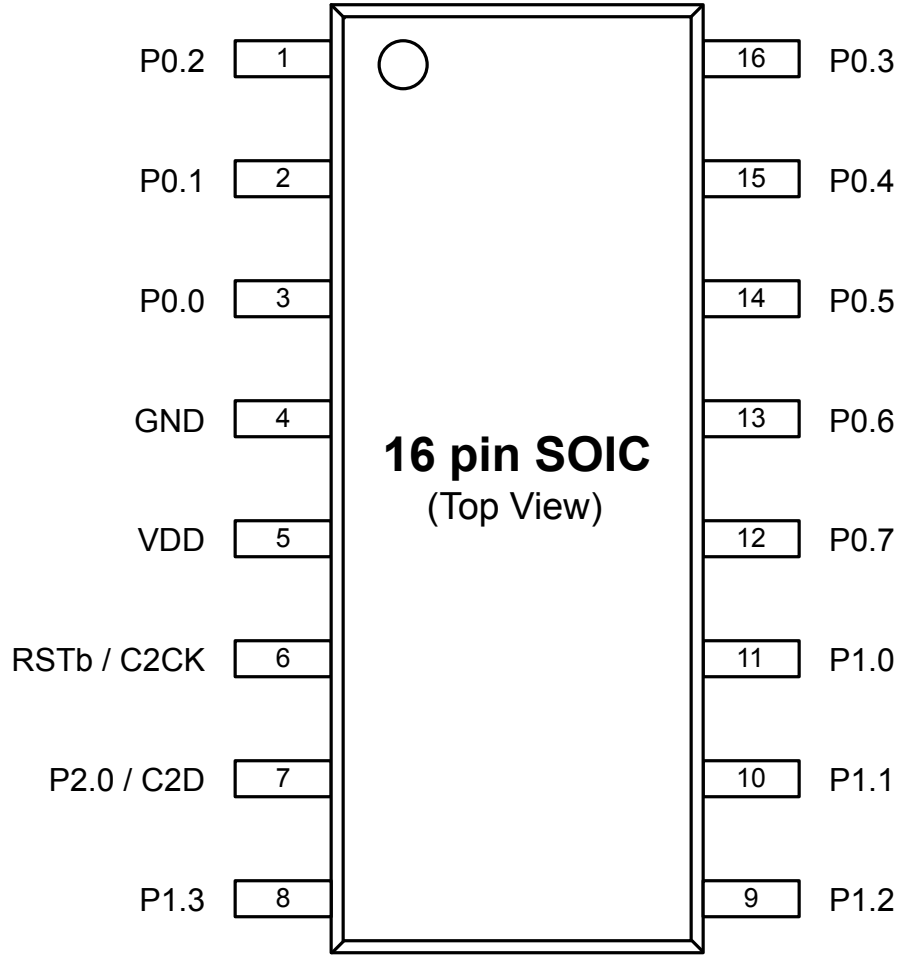


Figure 6.3. EFM8BB1x-S01C16 插脚

Table 6.3. Pin Definitions for EFM8BB1x-S01C16

Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
1	P0.2	Multifunction I/O	Yes	POMAT. 2 INT0. 2 INT1. 2	ADCO. 2 CMPOP. 2 CMPON. 2
2	P0.1	Multifunction I/O	Yes	POMAT. 1 INT0. 1 INT1. 1	ADCO. 1 CMPOP. 1 CMPON. 1
3	P0.0	Multifunction I/O	Yes	POMAT. 0 INT0. 0 INT1. 0	ADCO. 0 CMPOP. 0 CMPON. 0

Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
4	GND	Ground			
5	VDD	Supply Power Input			
6	RSTb / C2CK	Active-low Reset / C2 Debug Clock			
7	P2.0 / C2D	Multifunction I/O / C2 Debug Data			
8	P1.3	Multifunction I/O	Yes	P1MAT.3	ADC0.11 CMP1P.5 CMP1N.5
9	P1.2	Multifunction I/O	Yes	P1MAT.2	ADC0.10 CMP1P.4 CMP1N.4
10	P1.1	Multifunction I/O	Yes	P1MAT.1	ADC0.9 CMP1P.3 CMP1N.3
11	P1.0	Multifunction I/O	Yes	P1MAT.0	ADC0.8 CMP1P.2 CMP1N.2
12	P0.7	Multifunction I/O	Yes	POMAT.7 INT0.7 INT1.7	ADC0.7 CMP1P.1 CMP1N.1
13	P0.6	Multifunction I/O	Yes	POMAT.6 CNVSTR INT0.6 INT1.6	ADC0.6 CMP1P.0 CMP1N.0
14	P0.5	Multifunction I/O	Yes	POMAT.5 INT0.5 INT1.5	ADC0.5 CMPOP.5 CMPON.5
15	P0.4	Multifunction I/O	Yes	POMAT.4 INT0.4 INT1.4	ADC0.4 CMPOP.4 CMPON.4
16	P0.3	Multifunction I/O	Yes	POMAT.3 EXTCLK INT0.3 INT1.3	ADC0.3 CMPOP.3 CMPON.3

## 7. QSOP24 封装规格

### 7.1 QSOP24 封装尺寸

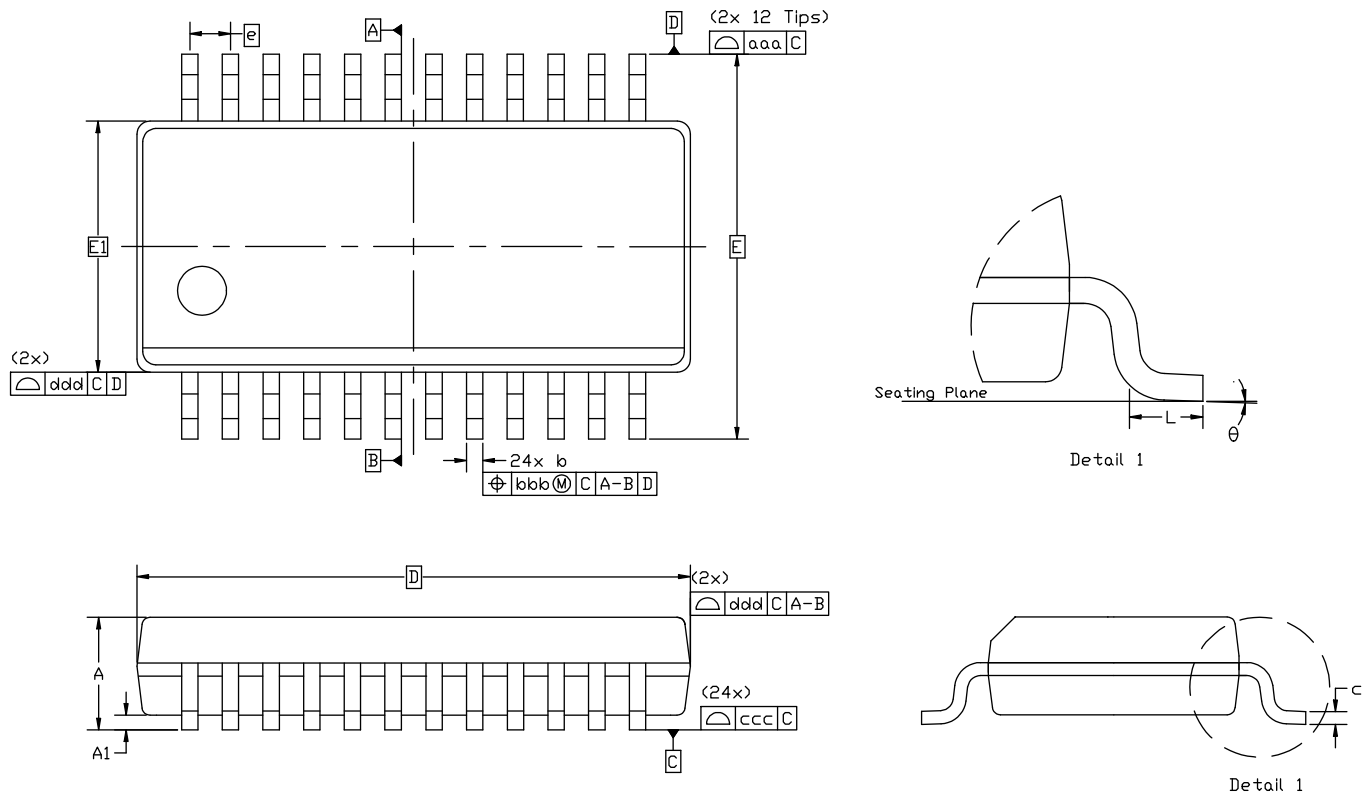


Figure 7.1. QSOP24 封装图

Table 7.1. QSOP24 Package Dimensions

Dimension	Min	Typ	Max
A	—	—	1.75
A1	0.10	—	0.25
b	0.20	—	0.30
c	0.10	—	0.25
D	8.65 BSC		
E	6.00 BSC		
E1	3.90 BSC		
e	0.635 BSC		
L	0.40	—	1.27

Dimension	Min	Typ	Max
theta	0°	—	8°
aaa		0.20	
bbb		0.18	
ccc		0.10	
ddd		0.10	

**Note:**

1. All dimensions shown are in millimeters (mm) unless otherwise noted.
2. Dimensioning and Tolerancing per ANSI Y14.5M-1994.
3. This drawing conforms to JEDEC outline MO-137, variation AE.
4. Recommended card reflow profile is per the JEDEC/IPC J-STD-020 specification for Small Body Components.

7.2 QSOP24 PCB 焊盘布局

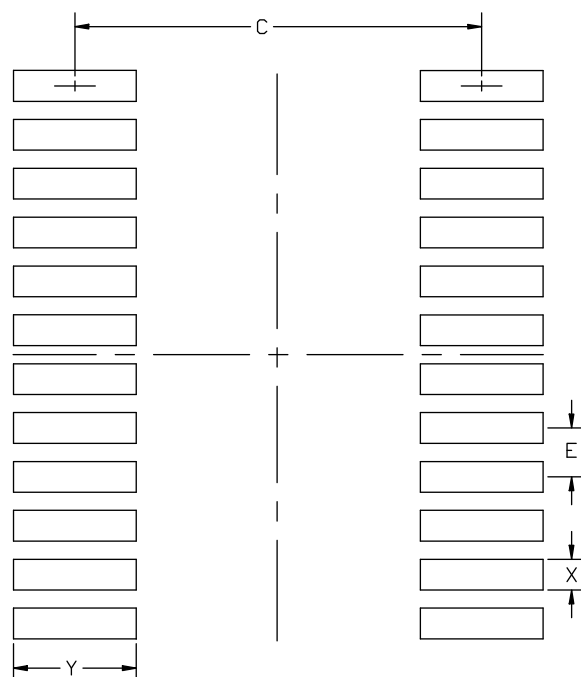


Figure 7.2. QSOP24 PCB 焊盘布局图

Table 7.2. QSOP24 PCB Land Pattern Dimensions

Dimension	Min	Max
C	5.20	5.30
E	0.635 BSC	
X	0.30	0.40
Y	1.50	1.60

**Note:**

1. All dimensions shown are in millimeters (mm) unless otherwise noted.
2. This land pattern design is based on the IPC-7351 guidelines.
3. All metal pads are to be non-solder mask defined (NSMD). Clearance between the solder mask and the metal pad is to be 60  $\mu\text{m}$  minimum, all the way around the pad.
4. A stainless steel, laser-cut and electro-polished stencil with trapezoidal walls should be used to assure good solder paste release.
5. The stencil thickness should be 0.125 mm (5 mils).
6. The ratio of stencil aperture to land pad size should be 1:1 for all perimeter pads.
7. A No-Clean, Type-3 solder paste is recommended.
8. The recommended card reflow profile is per the JEDEC/IPC J-STD-020 specification for Small Body Components.

## 7.3 QSOP24 封装标识



Figure 7.3. QSOP24 封装标识

封装标识的组成为：

- P P P P P P P P - 指定部件编号。
- T T T T T T - 跟踪或生产代码。
- Y Y - 生产年份的最后 2 位数字。
- W W - 设备生产时的 2 位工作周。
- # - 设备版本（A、B 等）。

## 8. QFN20 封装规格

### 8.1 QFN20 封装尺寸

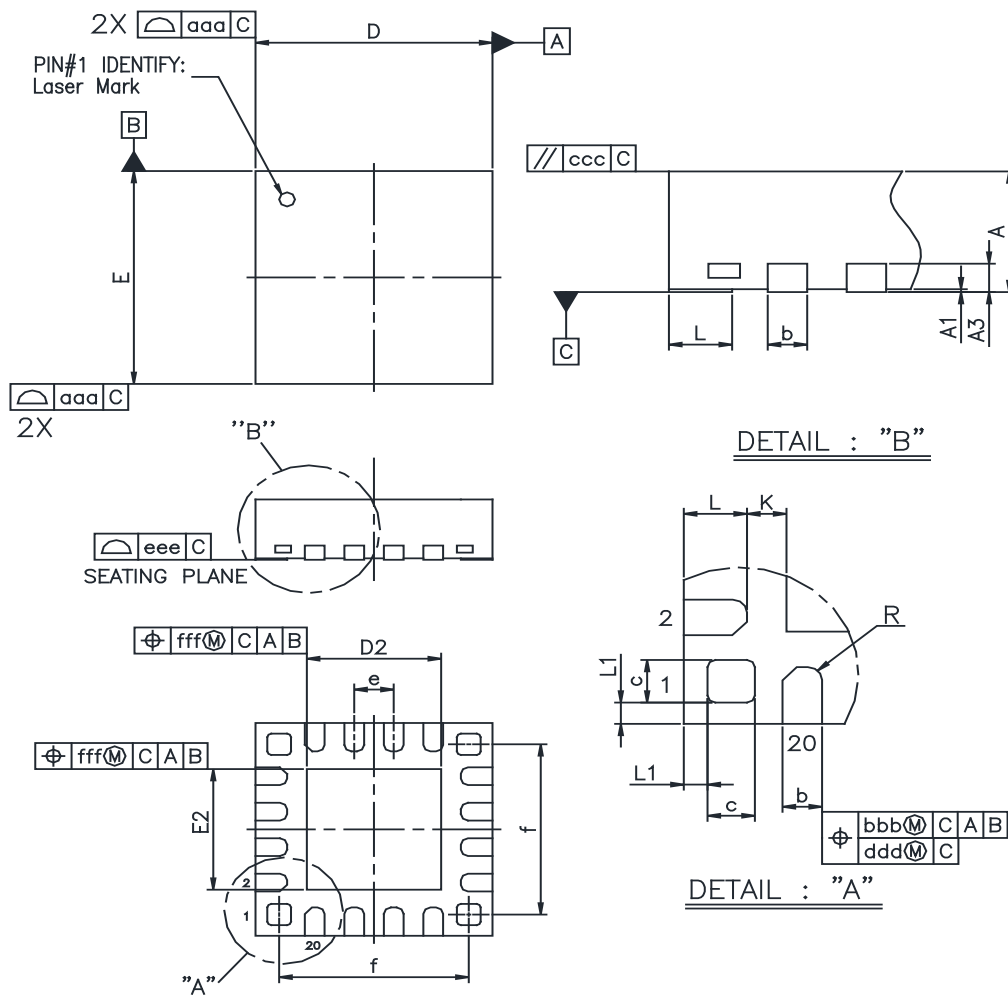


Figure 8.1. QFN20 封装图

Table 8.1. QFN20 Package Dimensions

Dimension	Min	Typ	Max
A	0.70	0.75	0.80
A1	0.00	0.02	0.05
A3		0.20 REF	
b	0.18	0.25	0.30
c	0.25	0.30	0.35
D		3.00 BSC	
D2	1.6	1.70	1.80
e		0.50 BSC	
E		3.00 BSC	

Dimension	Min	Typ	Max
E2	1.60	1.70	1.80
f	2.50 BSC		
L	0.30	0.40	0.50
K	0.25 REF		
R	0.09	0.125	0.15
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

**Note:**

1. All dimensions shown are in millimeters (mm) unless otherwise noted.
2. Dimensioning and Tolerancing per ANSI Y14.5M-1994.
3. The drawing complies with JEDEC MO-220.
4. Recommended card reflow profile is per the JEDEC/IPC J-STD-020 specification for Small Body Components.



8.2 QFN20 PCB 焊盘布局

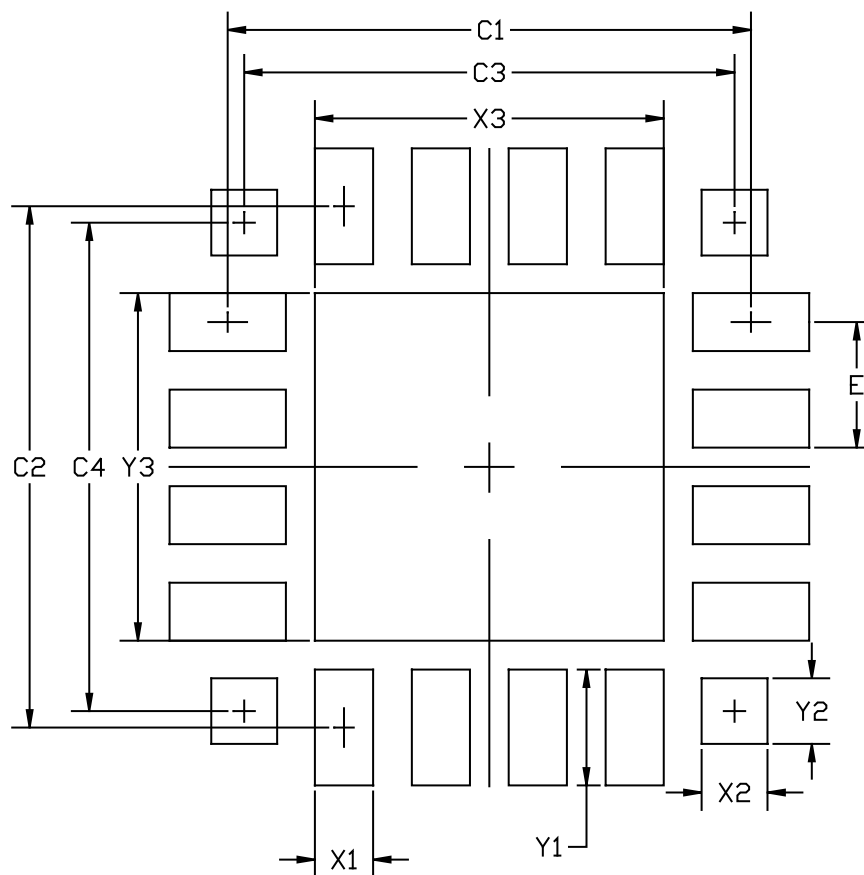


Figure 8.2. QFN20 PCB 焊盘布局图

Table 8.2. QFN20 PCB Land Pattern Dimensions

Dimension	Min	Max
C1		3.10
C2		3.10
C3		2.50
C4		2.50
E		0.50
X1		0.30
X2	0.25	0.35
X3		1.80
Y1		0.90
Y2	0.25	0.35
Y3		1.80

Dimension	Min	Max
<b>Note:</b>		
1. All dimensions shown are in millimeters (mm) unless otherwise noted.		
2. Dimensioning and Tolerancing is per the ANSI Y14.5M-1994 specification.		
3. This Land Pattern Design is based on the IPC-7351 guidelines.		
4. All metal pads are to be non-solder mask defined (NSMD). Clearance between the solder mask and the metal pad is to be 60 $\mu\text{m}$ minimum, all the way around the pad.		
5. A stainless steel, laser-cut and electro-polished stencil with trapezoidal walls should be used to assure good solder paste release.		
6. The stencil thickness should be 0.125 mm (5 mils).		
7. The ratio of stencil aperture to land pad size should be 1:1 for the perimeter pads.		
8. A 2 x 2 array of 0.75 mm openings on a 0.95 mm pitch should be used for the center pad to assure proper paste volume.		
9. A No-Clean, Type-3 solder paste is recommended.		
10. The recommended card reflow profile is per the JEDEC/IPC J-STD-020 specification for Small Body Components.		

### 8.3 QFN20 封装标识

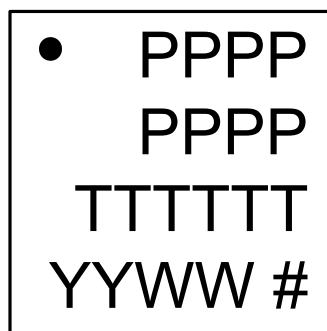


Figure 8.3. QFN20 封装标识

封装标识的组成为：

- P P P P P P P P - 指定部件编号。
- T T T T T T - 跟踪或生产代码。
- Y Y - 生产年份的最后 2 位数字。
- W W - 设备生产时的 2 位工作周。
- # - 设备版本（A、B 等）。

## 9. S0IC16 封装规格

### 9.1 S0IC16 封装尺寸

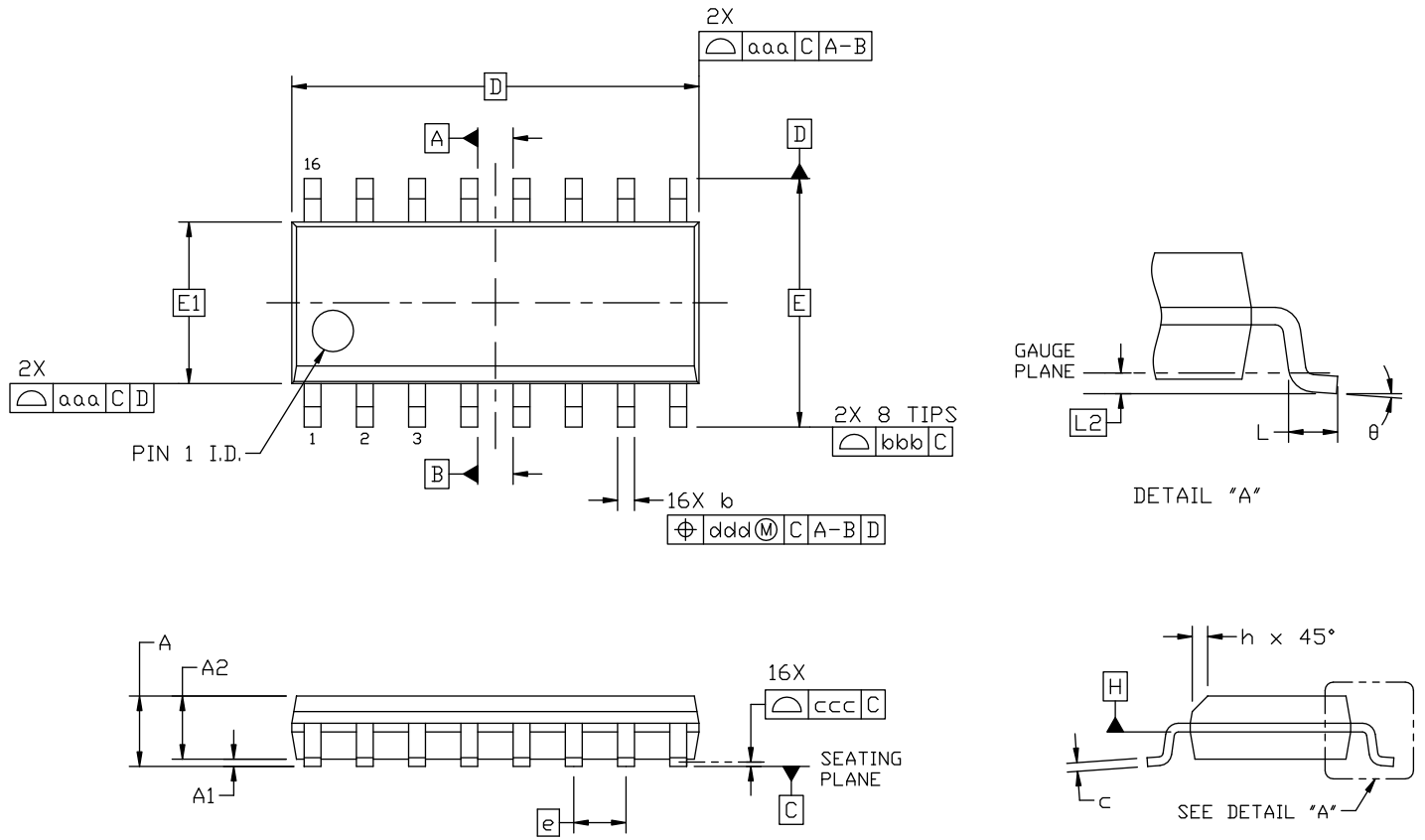


Figure 9.1. S0IC16 封装图

Table 9.1. S0IC16 Package Dimensions

Dimension	Min	Typ	Max
A	—	—	1.75
A1	0.10	—	0.25
A2	1.25	—	—
b	0.31	—	0.51
c	0.17	—	0.25
D	9.90 BSC		
E	6.00 BSC		
E1	3.90 BSC		
e	1.27 BSC		
L	0.40	—	1.27

Dimension	Min	Typ	Max
L2	0.25 BSC		
h	0.25	—	0.50
$\theta$	0°	—	8°
aaa	0.10		
bbb	0.20		
ccc	0.10		
ddd	0.25		

**Note:**

1. All dimensions shown are in millimeters (mm) unless otherwise noted.
2. Dimensioning and Tolerancing per ANSI Y14.5M-1994.
3. This drawing conforms to the JEDEC Solid State Outline MS-012, Variation AC.
4. Recommended card reflow profile is per the JEDEC/IPC J-STD-020 specification for Small Body Components.

9.2 S01C16 PCB 焊盘布局

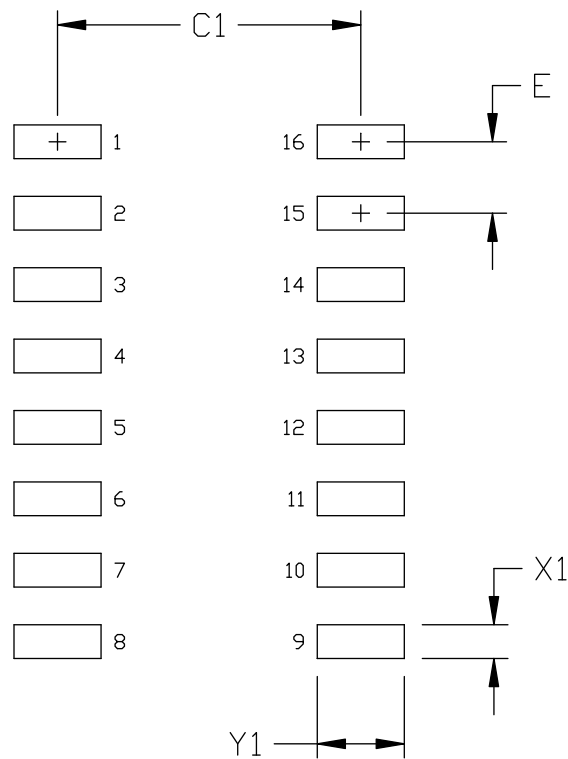


Figure 9.2. S01C16 PCB 焊盘布局图

Table 9.2. S01C16 PCB Land Pattern Dimensions

Dimension	Feature	(mm)
C1	Pad Column Spacing	5.40
E	Pad Row Pitch	1.27
X1	Pad Width	0.60
Y1	Pad Length	1.55

**Note:**

1. All dimensions shown are in millimeters (mm) unless otherwise noted.
2. This Land Pattern Design is based on IPC-7351 pattern S01C127P600X165-16N for Density Level B (Median Land Protrusion).
3. All feature sizes shown are at Maximum Material Condition (MMC) and a card fabrication tolerance of 0.05 mm is assumed.

## 9.3 S01C16 封装标识



Figure 9.3. S01C16 封装标识

封装标识的组成为：

- P P P P P P P P - 指定部件编号。
- T T T T T T - 跟踪或生产代码。
- Y Y - 生产年份的最后 2 位数字。
- W W - 设备生产时的 2 位工作周。
- # - 设备版本（A、B 等）。

## 10. Revision Hist

### 10.1 Revision 1.6

March 13th, 2017

Updated the language in [1. Feature List](#) to clarify the package offerings for each of the different temperature grades.

Corrected the application note number for *AN124: Pin Sharing Techniques for the C2 Interface* in [5.2 Debug](#).

### 10.2 Revision 1.5

October 7th, 2016

Added A-grade parts.

Added specifications for [4.1.13 SMBus](#).

Added bootloader pinout information to [3.10 Bootloader](#).

Added CRC Calculation Time to [4.1.4 Flash Memory](#).

Added Thermal Resistance (Junction to Case) for QFN20 packages to [4.2 Thermal Conditions](#).

Added a note linking to the Typical VOH and VOL Performance graphs in [4.1.12 Port I/O](#).

Added [4.1.10 1.8 V Internal LDO Voltage Regulator](#).

Added a note to [3.1 Introduction](#) referencing the Reference Manual.

### 10.3 Revision 1.4

April 22nd, 2016

Added a reference to *AN945: EFM8 Factory Bootloader User Guide* in [3.10 Bootloader](#).

Added I-grade devices.

Added a note that all GPIO values are undefined when VDD is below 1 V to [4.1.1 Recommended Operating Conditions](#).

Adjusted the Total Current Sunk into Supply Pin and Total Current Sourced out of Ground Pin specifications in [4.3 Absolute Maximum Ratings](#).

### 10.4 Revision 1.3

January 7th, 2016

Added [5.2 Debug](#).

Updated [3.10 Bootloader](#) to include information about the bootloader implementation.

### 10.5 Revision 1.2

Updated Port I/O specifications in [4.1.12 Port I/O](#) to include new  $V_{OL}$  specifications.

Added a note to [Table 4.3 Reset and Supply Monitor on page 18](#) regarding guaranteed operation.

Updated package diagram and landing diagram specifications for the QFN20 package.

### 10.6 Revision 1.1

Initial release.

Silicon Labs

# Simplicity Studio™4



## Simplicity Studio

One-click access to MCU and wireless tools, documentation, software, source code libraries & more. Available for Windows, Mac and Linux!



IoT Portfolio  
[www.silabs.com/loT](http://www.silabs.com/loT)



SW/HW  
[www.silabs.com/simplicity](http://www.silabs.com/simplicity)



Quality  
[www.silabs.com/quality](http://www.silabs.com/quality)



Support and Community  
[community.silabs.com](http://community.silabs.com)

### Disclaimer

Silicon Labs intends to provide customers with the latest, accurate, and in-depth documentation of all peripherals and modules available for system and software implementers using or intending to use the Silicon Labs products. Characterization data, available modules and peripherals, memory sizes and memory addresses refer to each specific device, and "Typical" parameters provided can and do vary in different applications. Application examples described herein are for illustrative purposes only. Silicon Labs reserves the right to make changes without further notice and limitation to product information, specifications, and descriptions herein, and does not give warranties as to the accuracy or completeness of the included information. Silicon Labs shall have no liability for the consequences of use of the information supplied herein. This document does not imply or express copyright licenses granted hereunder to design or fabricate any integrated circuits. The products are not designed or authorized to be used within any Life Support System without the specific written consent of Silicon Labs. A "Life Support System" is any product or system intended to support or sustain life and/or health, which, if it fails, can be reasonably expected to result in significant personal injury or death. Silicon Labs products are not designed or authorized for military applications. Silicon Labs products shall under no circumstances be used in weapons of mass destruction including (but not limited to) nuclear, biological or chemical weapons, or missiles capable of delivering such weapons.

### Trademark Information

Silicon Laboratories Inc.®, Silicon Laboratories®, Silicon Labs®, SiLabs® and the Silicon Labs logo®, Bluegiga®, Bluegiga Logo®, Clockbuilder®, CMEMS®, DSPLL®, EFM®, EFM32®, EFR®, Ember®, Energy Micro, Energy Micro logo and combinations thereof, "the world's most energy friendly microcontrollers", Ember®, EZLink®, EZRadio®, EZRadioPRO®, Gecko®, ISOModem®, Micrium, Precision32®, ProSLIC®, Simplicity Studio®, SiPHY®, Telegesis, the Telegesis Logo®, USBXpress®, Zentri and others are trademarks or registered trademarks of Silicon Labs. ARM, CORTEX, Cortex-M3 and THUMB are trademarks or registered trademarks of ARM Holdings. Keil is a registered trademark of ARM Limited. All other products or brand names mentioned herein are trademarks of their respective holders.



**SILICON LABS**

Silicon Laboratories Inc.  
400 West Cesar Chavez  
Austin, TX 78701  
USA

<http://www.silabs.com>