

XP3358

单级高 PF (>0.9) 恒压 (CV) 控制器

产品规格书

Rev. 1.41

1. 产品介绍

1.1. 产品概述

XP3358 是一款数字高性能单级高功率因数 ($PF > 0.9$) 恒压 (CV) 控制器芯片, 其适用于反激 (Flyback) 或升降压 (buck-boost) 开关电源拓扑。XP3358 可应用于固态照明 (SSL) 中两级驱动的 PFC 前级提供 AC 输入侧功率因数校正 (PFC) 功能和 DC 输出侧带有两倍工频纹波的恒压直流, 以驱动二次侧的恒流 DC/DC 控制器。XP3358 也可以应用于单级 SSL 恒压驱动中, 其带有两倍工频纹波的恒压直流输出可以直接驱动各种长度的 LED 灯带负载, 并可以配合斩波调光电路实现 LED 灯带的调光功能。

XP3358 的高性能 XPC™ 数字内核能够通过辅助绕组波形的实时分析, 在初次测完整的重构输出电压波形实现全电压全负载单板 $\pm 1\%$ 的原边控制 (PSR)。同时 XPC™ 内核在芯片内部对环路进行相位补偿, 在不需要外部补偿元器件的情况下可保证环路在任何输入/输出情况下稳定。

在任何工作点下, XP3358 对输入电流波形进行实时监控, 无论变压器电感量取值大小都能实现优异的 PF/THD (总谐波) 和单次谐波, 轻松满足最新 IEC61000-3-2 标准。XP3358 针对 PFC 应用中高压中轻载下 PF/THD 由于 EMI 电容相移而变差的痛点, 由 XPC™ 内核通过内部计算对 Flyback 进行反相移调整, 以降低 EMI 电容对 PF/THD 的影响。在同样应用参数下, 可以在高压 $1/3$ 和 $1/2$ 负载处提高 PF 多达 0.1。

为应对最新的美规六级能耗以及欧规 CoC 标准, XP3358 针对所有负载做了峰值电流和开关频率的优化: 中轻载采取展频工作 (frequency fold back) 以降低开关损耗; 并在 20%-100% 负载范围实现谷底开通 (QR)。在典型的应用参数下, 四点平均效率以及 10% 负载效率都可以轻松满足上述标准。针对 90W 的典型应用, XP3358 在 230V 输入下的待机功耗可以满足 150mW。

对于任何 PFC 控制器, 10Hz 左右的低环路带宽和严格的动态响应要求一直是一个矛盾。而系统成本和体积往往对单级高 PF CV 应用的输出电容容值也有很大的限制。得益于 XPC™ 内核的复杂的非线性处理, XP3358 可以最小化负载突变带来的输出电压过欠冲。与此同时, XP3358 独有的动态控制技术也最小化了动态过程中的音频噪音。不仅如此, 针对 LED 灯带负载的应用, XP3358 还有可通过 CFG 设置的专用灯带模式来优化动态过程中输出的单调性和柔和性, 以使得灯带调光的过程达到最佳的视觉效果。

XP3358 内建一套完整的保护功能以最大化系统在各种情况下的安全。XP3358 会根据不同的保护来决定自启动 (auto-restart) 的频率, 以避免过于频繁的自启动产生的过大平均功耗。XP3358 的保护包括:

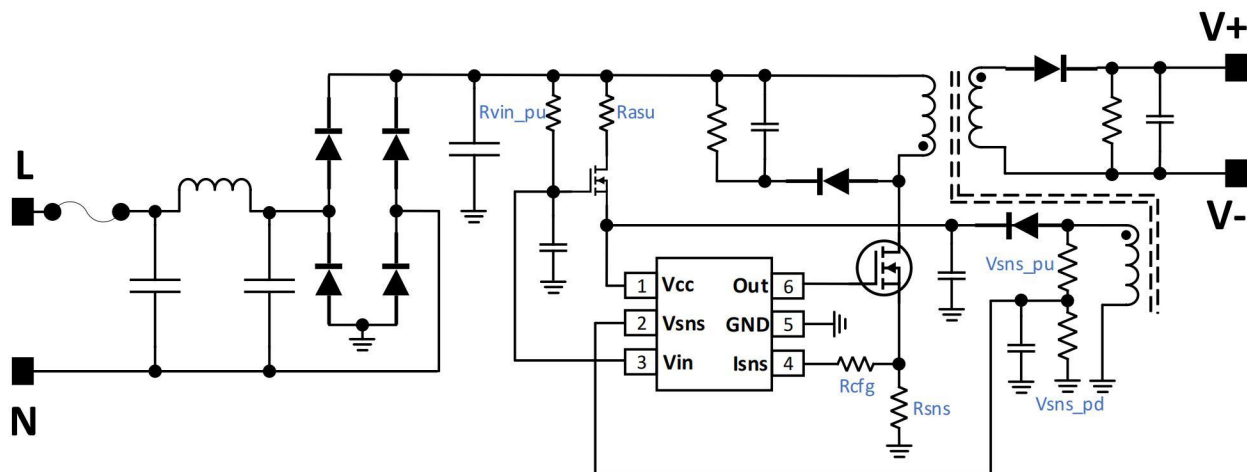
- AC 输入过压保护 (AC OVP)
- AC 输入欠压保护 (AC UVP)
- 输出过压保护 (OVP)
- 输出短路保护 (OSP)
- 输出过载保护 (OLP)
- 过温保护 (OTP)
- Rsns 电阻短路保护 (RSS)

1.2. 应用范围

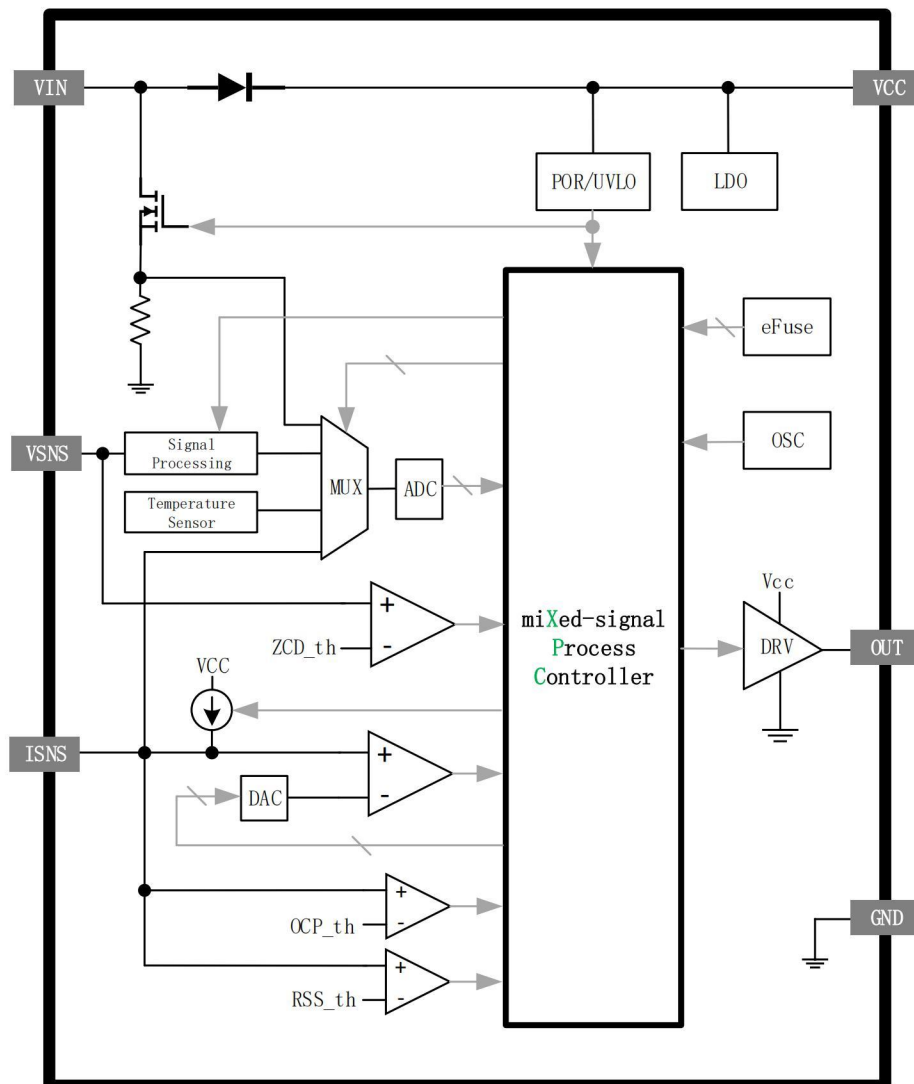
- 两级固态照明电源
- 单级高 PF 恒压固态照明电源
- 两级电源

2. 简化应用电路

2.1. XP3358 简化应用电路

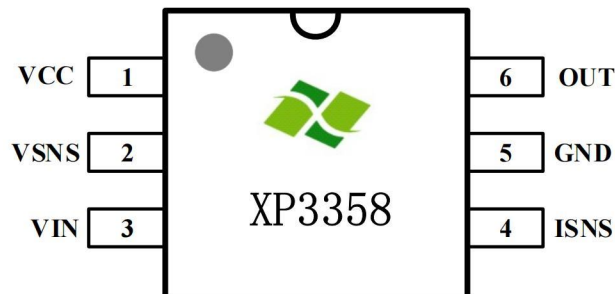


3. 芯片框图



4. 引脚定义

4.1. 引脚图



4.2. 引脚说明

引脚序号	名称	IO 类型 ⁽¹⁾	功能描述	外部连接
1	Vcc	P	芯片电源	供电
2	VSNS	AI	辅助绕组电压和退磁检测	辅助绕组电阻分压
3	Vin	AI	AC 电压检测和快速启动	电阻分压后 AC 电压以及启动电路
4	ISNS	AI	功率 MOS 峰值电流检测，CFG 配置	CFG 电阻和 RSNS 电阻
5	GND	P	芯片地	地
6	OUT	AO	功率 MOS 驱动	MOS 栅极驱动电路

(1) AI：模拟输入；AO：模拟输出；DI：数字输入；DO：数字输出；DIO：数字输入/输出；OD：开漏输出；
P：电源

5. 技术规格

5.1. 电气特性绝对最大值

参数		最小值	最大值	单位
输入电压 ⁽¹⁾ ⁽²⁾	Vin(POR 前)	-0.3	22	V
	Vin (POR 后) , ISNS	-0.3	6.5	V
	VSNS	-0.7	6.5	V
输出电压 ⁽¹⁾ ⁽²⁾	Vcc	-0.3	22	V
	OUT	-0.3	22	V
T _A 工作环境温度 ⁽³⁾		-40	105	℃
T _J 工作时结温		-40	150	℃
T _{STG} 储存温度		-60	150	℃

(1) 运行条件超过上述绝对最大值可能对器件造成永久性损坏，并影响器件的运行稳定性。上述条件仅为允许的最大值范围，非推荐的工作范围。器件运行在推荐工作范围之外可能导致部分功能不可用，并缩短器件的使用寿命。

(2) 所有电压均相对于地电位 (GND)。

(3) 自然散热。

5.2. ESD 特性

参数	条件	值	单位
V _(ESD) 静电放电电压	空气放电 (HBM 模型), ANSI/ESDA/JEDEC JS-001 标准, 所有引脚 ⁽¹⁾	±2,000	V
	接触放电 (CDM 模型), JEDEC specification JESD22-C101 标准, 所有引脚 ⁽²⁾	±500	V

(1) JEDEC 文档 JEP155 声明 500V HBM 模型可满足装配过程中的标准静电防护要求。

(2) JEDEC 文档 JEP157 声明 250V CDM 模型可满足装配过程中的标准静电防护要求。

5.3. 电气特性指标

参数	符号	条件 ⁽¹⁾	最小值	典型值	最大值	单位
Vin 脚						
Vin 最低启动电压 /-02 版本 *	Vin_st_min	POR 后 16mS 内 AC 峰值		488 / 392		mV
Vin UVPO 电压 /-02 版本 *	Vin_ulp0	AC 峰值		440 / 352		mV
Vin UVP1 电压 /-02 版本 *	Vin_ulp1	AC 峰值		128 / 104		mV
Vin 最高启动电压*	Vin_st_max	POR 后 16mS 内 AC 峰值		1880		mV
Vin OVPO 电压*	Vin_ovp0	AC 峰值		1960		mV
Vin OVPI 电压*	Vin_ovp1	AC 峰值		2020		mV
Vin 内部下拉电阻	RVin	POR 后		25.7		Kohm
AC “中压” 阈值 /-02 版本 *	Vin_ML_th	AC 峰值, 小于该值为低压		896 / 672		mV
AC “高压” 阈值 /-02 版本 *	Vin_HL_th	AC 峰值, 大于该值为高压		1224 / 932		mV
Vcc 脚						
Vcc POR 电压	Vcc_POR			17		V
Vcc UVLO 电压	Vcc_uvlo			8		V
Vcc 静态电流	I _{cc_st}	POR 后, 不计 out 驱动消耗		1.5		mA
VSNS 脚						
ZCD 电压阈值	Vsns_zcd			120		mV
OVP 电压阈值	Vsns_ovp	Vsns 平台电压		2100		mV
OSP 电压阈值*	Vsns_osp	Vsns 平台电压		288		mV
开环启动退出电压	Vsns_st	Vsns 平台电压		320		mV
原边反馈电压检测范围	Vsns_fb	Vsns 平台电压	150		2044	mV
原边反馈基准电压*	Vsns_ref	Vsns 平台电压		1600		mV
ISNS 脚						
Isns 电压范围	VIpk		20		1022	mV
RSS 阈值电压	Vrss			50		mV
OCF 阈值电压	Vocp			1.2		V
CFG 电流	Icfg			500		uA
OUT 脚						
上拉阻抗	Rds_pu	Out = GND		20		Ohm
下拉阻抗	Rds_pd	Out = Vcc		7		Ohm
最大 Ton 时间*	Max Ton	AC 输入为低压 AC 输入为中压 AC 输入为高压		16 10 7		uS
最小 Ton 时间*	Min Ton	等同于 turn on 前沿消隐		240		nS
最大 Tp 时间*	Max Tp			10		mS
最小 Toff 时间*	Min Toff	等同于 Turn off 前沿消隐		400+Isns (mV) * 1.25		nS
内部温度检测						
过温度保护阈值	Totp	启动后		150		C
最高启动温度	Tst_max	启动时		125		C

*项目为设计保证, 非实测项目

6. 工作原理及应用说明

6.1. 工作时序

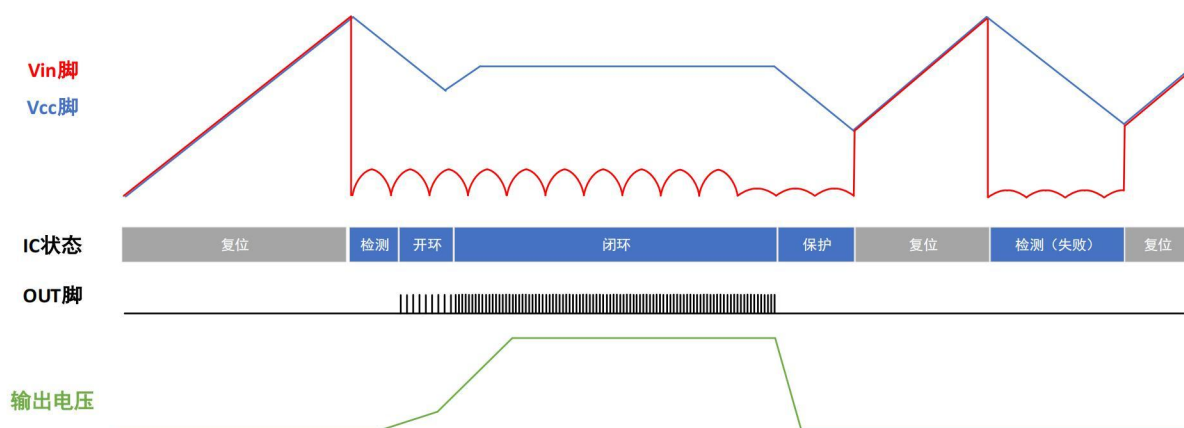
当 $V_{cc} < V_{cc_uvlo}$ 时，XP3358 处于复位状态。此时在 IC 内部 V_{in} 下拉电阻断开， V_{in} 在 IC 内部通过一个二极管连接到 V_{cc} 。在这种状态下，由于 V_{in} 脚外部上拉电阻， V_{in} 脚电压比 V_{cc} 脚电压高约 0.7V，外部启动用的耗尽型 MOSFET (D-FET) 处于打开状态。当 AC 上电后，整流后的 AC 电压通过 D-FET 的 drain 端电阻 (ASU 电阻) 充 V_{cc} 电压。当 V_{cc} 到达 V_{cc_por} 电压以后，IC 激活并接通 V_{in} 脚下拉电阻。此时， V_{in} 的外部上拉电阻和内部下拉电阻形成了分压网络，以供检测 AC 电压。而同时分压后 V_{in} 脚电压跌落到 2V 以下。由于 V_{cc} 处于 V_{cc_por} ，D-FET 的 V_{gs} 形成大约 -15V 的压差，使得 D-FET 关断并且 V_{cc} 停止充电，IC 启动完成。

IC 启动完成后，XP3358 处于检测阶段。第一步读取 CFG 电阻值以做适当的参数配置。第二步检测 IC 内部温度，如果 IC 内部温度低于 T_{st_max} 则进行下一步。第三步在大约 16ms 时间内检测 AC 峰值电压，如果 AC 峰值电压小于 $V_{in_st_max}$ 并且大于 $V_{in_st_min}$ 则通过检测。如果检测阶段如果任意一项不能通过，则 IC 不会启动且处于检测失败静默状态。由于 V_{cc} 没有能量供给， V_{cc} 会掉到 V_{cc_uvlo} ，此时 IC 回到启动前状态而 D-FET 再一次充 V_{cc} 到 V_{cc_por} 重新启动。

检测完成后，IC 会先进行开环启动。在开环启动过程中， I_{sns} 电压和开关频率 T_p 为 IC 内部预设， I_{sns} 电压将逐步增大， T_p 将逐步减小。在开环启动过程中，如果连续 8 次 pwm 周期 V_{sns} 平台电压 (minToff 后) 超过 V_{sns_st} 或连续 3 次 pwm 周期 V_{sns} 平台电压 (minToff 后) 超过 V_{sns_ref} 的一半，IC 立刻进入闭环状态。

进入闭环状态后，IC 会根据检测到的输出电压和输入 AC 电压对 I_{sns} 峰值和 T_p 进行实时调整。无论处于何种负载，IC 会把 V_{sns} 的平台电压在一个 AC 半波的平均值控制到 V_{sns_ref} 电压，实现 CV 恒压功能。同时， I_{sns} 峰值和 T_p 也会根据 AC 电压相位实时调整，使得 AC 电流拟合 AC 电压形状，实现最佳 PF 和 THD。

当工作环境不满足要求时，例如 AC 掉电或输出短路等异常情况，IC 将保护并立刻停止 pwm 动作。Pwm 停止后由于 V_{cc} 没有供给能量， V_{cc} 会慢慢掉到 V_{cc_uvlo} 并由 D-FET 充 V_{cc} 到 V_{cc_por} 重新启动并检测。

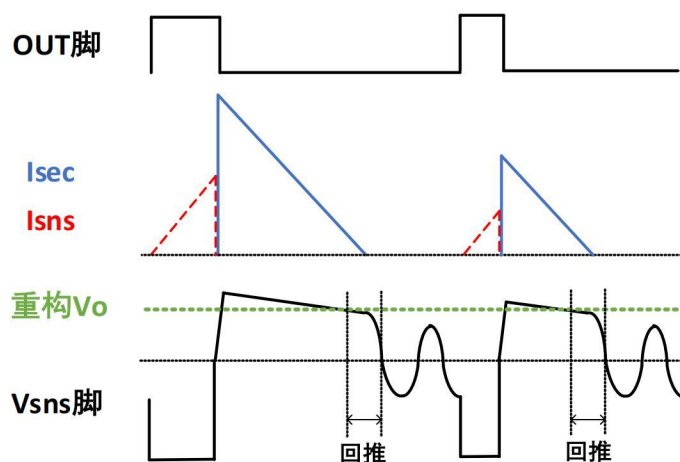


6.2. 输出电压的原边检测

XP3358 采用了原边反馈来检测输出电压，原边检测使得系统精简（无光耦）并可靠。然而精确的原边检测对控制也提出了高的要求。根据 flyback 拓扑的原理，Vsns 平台电压和输出电压有以下关系：

$$Vsns = Na/Ns * (Vo + Vf(Isec) + Vpar(Isec)) * Vsns_pd / (Vsns_pd + Vsns_pu)$$

其中 Na 是辅助绕组圈数，Ns 是输出绕组圈数，乘以 Vsns 电阻分压网路系数 $Vsns_pd / (Vsns_pd + Vsns_pu)$ ，对于既定的应用是固定值。Vf 是输出二极管的正向导通压降，它是一个和副边电流 Isec 有关的函数；而 Vpar 是寄生电阻（绕组电阻，PCB 电阻等）压降，也是一个和副边电流 Isec 有关的函数。可以看出无论何种负载，只要在同一 Isec 点对 Vsns 平台进行采样，就能一致性很高的采到输出电压。



得益于 XPC™ 数字内核，XP3358 的原边检测既能精确检测输出电压，又能在输入输出动态或异常的情况下避免误检测。XPC™ 数字内核通过 Isns 峰值，Vsns 过零点，以及内部能量信号，推算出 pwm 周期的退磁时间（Tr）并在此基础上回推一个预设时间对 Vsns 进行采样，以重构输出电压波形。当 AC 过零 Vsns 不可靠或 Tr 跳变时，XPC™ 数字内核也会进行一些特殊处理避免误判输出电压。

6.3. MOS 峰值电流和频率控制

对于 PFC 控制芯片，其首要任务是将输入电流的形状和输入电压的形状进行拟合，实现高 PF 和 THD。针对理想市电，输入 AC 为正弦波，则输入电流也应该为正弦波。在 Flyback 拓扑内，输入电流公式是：

$$I_{in} = 1/2 * T_{on}/T_p * I_{pk}$$

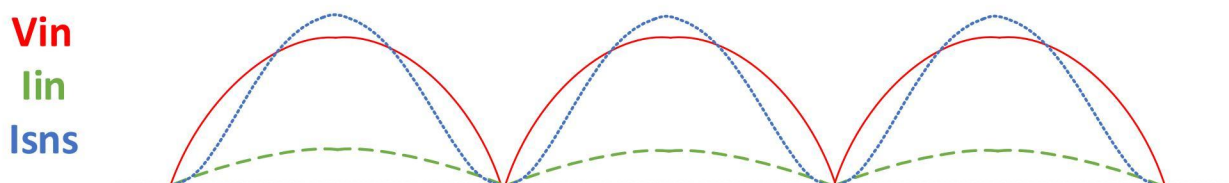
其中 Ton 是 MOS 开通时间，Tp 是 pwm 周期，Ipk 是 MOS 的峰值电流，即 Isns 电压除以 Rsns 电阻。如果要做到输入电流和输入电压拟合，Ipk 可以改写为：

$$I_{pk} = 2 * I_{in} * T_p / T_{on} = 2 * (K * V_{in}) * T_p / T_{on}$$

其中 K 是一个和负载有关的实时变化的系数。当系统工作在边界模式（CRM）时，此公式可以大致等效为：

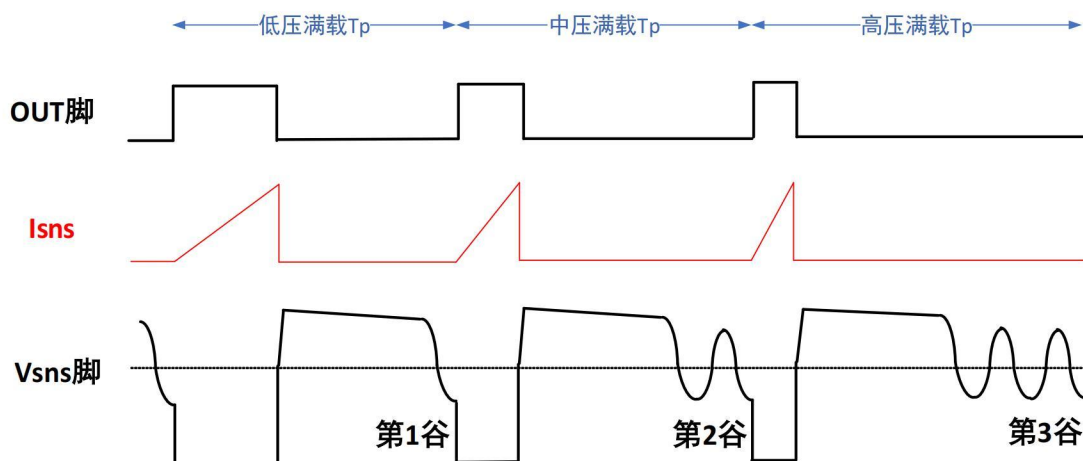
$$I_{pk} = 2 * (K * V_{in}) * (V_{in} + nV_o) / nV_o$$

其中 nV_o 是原副边圈比乘以输出电压的积，对既定应用 nV_o 是固定值。因此可以看出 I_{pk} 和 V_{in} 是一个两次函数，而非直观感觉的正比函数。当系统处于中轻载的断续模式（DCM）下，公式则更加复杂，此处不赘述。得益于 XPC™ 数字内核，XP3358 可以实现各负载和 AC 电压下复杂的 I_{pk} 控制，使得系统无论工作在 CRM 还是 DCM 都能给出最佳的 I_{in} 拟合 V_{in} ，实现最好的 PF/THD。同时对变压器参数选择也十分的宽容。

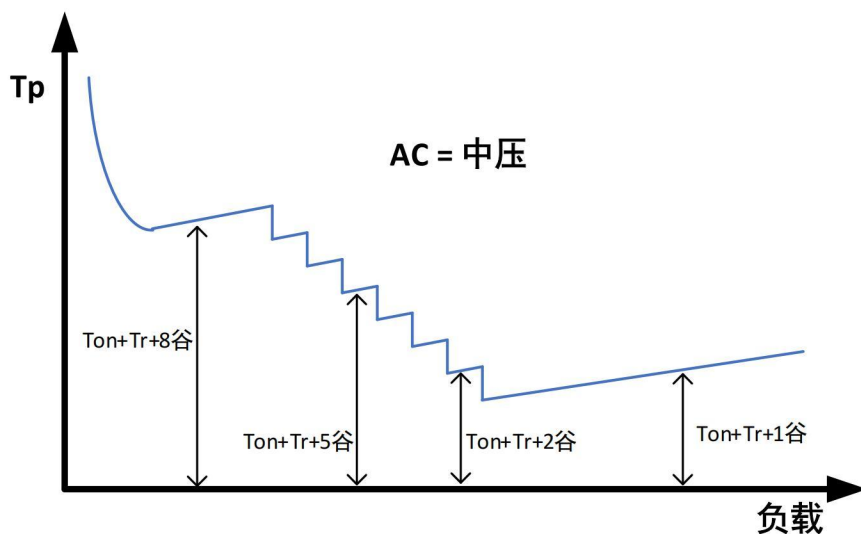


针对日益严格的能效要求，周期 T_p 控制的策略对效率也同样重要。在常规的谷底开通策略的基础上，XP3358 通过两个方式优化了不同 AC 输入电压下中轻载效率。

第一，根据输入 AC 的 RMS 电压高低，将谷数在低中高压分开处理（芯格诺专利技术）。在 Flyback 拓扑中，当 I_{pk} 一定时， T_{on} 时间和 V_{in} 成反比。高压的 T_{on} 要远小于低压，而 T_r 近乎一致。为了避免同样负载下高压的频率高于低压的频率，使得开关损耗进一步恶化（高压的一次开关损耗比低压高），XP3358 在高压时满载工作在第三谷的 DCM，中压工作在第二谷 DCM，而低压工作在 CRM。这样即有效的利用了变压器，又降低了高压的开关频率。-03 option 不分高低电压，重载都运行于 CRM。



第二，当负载变轻后，根据负载的情况在满载谷数的基础上，再加上 n 个谷以进一步降低频率。其中 n 和负载有关，负载越轻 n 越多。这样就能实现中轻载逐渐展频。在降低输出能量的基础上同时降低开关损耗提高中载效率，而非一直压低 I_{pk} 实现降低输出能量。下图为中压输入时频率控制策略。

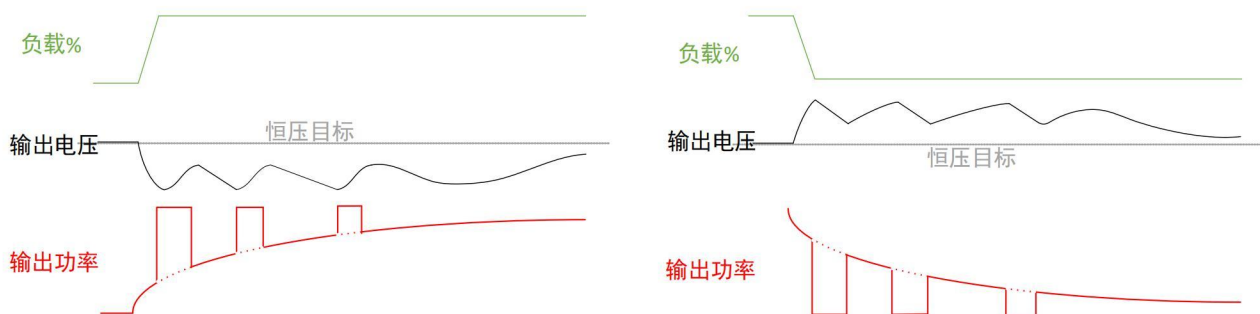


6.4. 动态响应

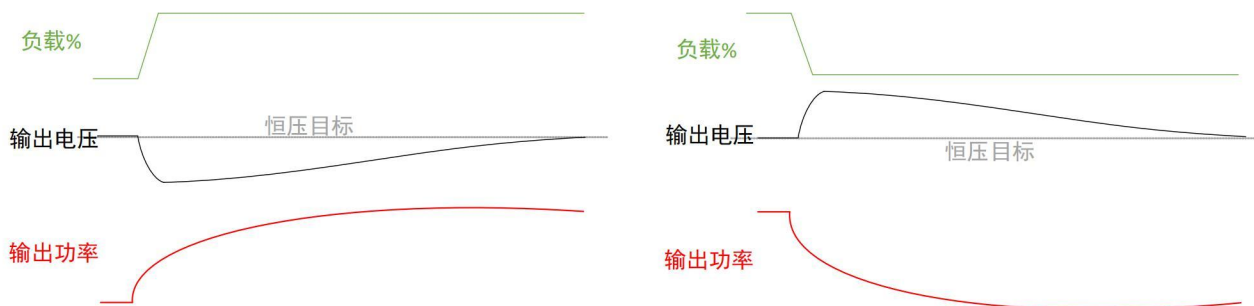
为了避免工频纹波对稳态工作的影响，PFC 的环路带宽一定需要设置在 10Hz 左右。这就使得 PFC 控制器的动态响应性能很差。即使有些控制器做了动态时环路的加速处理，其效果依然有限。而在这个方面，XPC™ 数字内核充分发挥其优势，对负载动态进行特殊的非线性处理，大大提高了动态响应速度。

当负载忽然变大时，由于环路来不及响应，输出电压跌落。当输出电压跌落到 V_{sns_ref} 的 91%（-00）或 86.5%（-10），XP3358 会给出最大输出的 1.25 倍并在过零点加强处理，避免输出电压进一步下落。当输出电压被拉回 V_{sns_ref} 的 100% 时，XP3358 又将输出能量交给环路决定。在这个过程中，输出电压始终能保持在 V_{sns_ref} 的 91%（-10 为 86.5%）到 V_{sns_ref} 的 100% 的区间而没有过度跌落。此过程周而复始几次，环路逐渐收敛到重载并最终稳定在新的稳态，并且实现最小化噪音。

当负载忽然变小时，由于环路来不及响应，输出电压过冲。当输出电压过冲到 V_{sns_ref} 的 109%（-00）或 115%（-10），IC 会给出最小输出，避免输出进一步过冲。当输出拉回 V_{sns_ref} 的 107%（-10 为 114%）时，IC 又将输出交给环路决定。在这个过程中，输出电压始终能保持在 V_{sns_ref} 的 109%（-10 为 114%）以内而没有过度上冲。周而复始几次，环路逐渐收敛到轻载最终稳定在新的稳态。



针对 LED 灯带负载，XP3358 对动态进行了专门的优化来确保输出在动态过程中的单调性和平滑度。为此，这种周而复始的动态控制在“灯带模式”中不再使用，而是靠加快环路响应来单调的调整输出电压。这样做虽然会有一定程度的牺牲过欠冲，但灯带在调光过程中的平滑度得到了保证。下图为灯带模式下动态波形，灯带模式可以通过 CFG 来设定，具体参考章节 6.7.5。



6.5. PF/THD 主动补偿

PFC 拓扑的输入电流由两部分组成，第一部分是开关电源的电流，第二部分是所有输入 EMI 电容的电流。其中第一部分和负载有关，在 XP3358 系统里面可以认为是一个理想正弦波，负载越大幅度越大。第二部分则和 AC 电流和 EMI 电容容值有关，其形状为正弦的导数余弦。总输入电流公式为：

$$I_{total} = I_{flyback} + V_{in_rms} * C_{emi} * \cos(t)$$

其中 AC 电压越高，或者 EMI 容值 C_{emi} 越大，电流越大。可以看出高压轻载时，第二项比重较大，总输入电流偏离正弦较大，PF/THD 也较差。为了克服这个问题，可以对 $I_{flyback}$ 进行调整：特意减去 EMI 电容的余弦电流，使得总电流矫正回正弦波。XP3358 实时检测输入电压和输出负载进行动态补偿，矫正总输入电流接近正弦，大幅度提高了高压中轻载下的 PF 和 THD。

6.6. 保护机制

6.6.1. AC 过压 (VIN OVP) 保护

当输入 AC 峰值超过 V_{in_OVP0} 并持续约 80ms 时, 或 AC 峰值超过 V_{in_ovp1} 并持续约 1ms, AC 过压保护触发。触发后 pwm 立刻停止。Vcc 由于没有能量补给将会跌落到 V_{cc_uvlo} 。跌落后 D-FET 打开重新将 Vcc 充到 V_{cc_por} 重新启动。如果此时 AC 依然维持高位, 将无法通过检测阶段对 AC 峰值的限制。此后 Vcc 将不停的 U_{vlo} 和 por 直到 AC 满足条件。-03 option 无此保护。

6.6.2. AC 欠压 (VIN UVP) 保护

当输入 AC 峰值低于 V_{in_uvp0} 并持续约 80ms 时, 或 AC 峰值低于 V_{in_uvp1} 并持续大约 10ms, AC 欠压保护触发。触发后 pwm 立刻停止。Vcc 由于没有能量补给将会跌落到 V_{cc_uvlo} 。跌落后 D-FET 打开重新将 Vcc 充到 V_{cc_por} 重新启动。如果此时 AC 依然维持低位, 将无法通过检测阶段对 AC 峰值的限制。此后 Vcc 将不停的 U_{vlo} 和 por 直到 AC 满足条件

6.6.3. 输出过压 (OVP) 保护

当 Vsns 平台电压 (minToff 之后) 高于 V_{sns_OVP} 并持续 8 个 pwm 开关周期后, OVP 触发。触发后 pwm 立刻停止。Vcc 由于没有能量补给将会跌落到 V_{cc_uvlo} 。跌落后 D-FET 打开重新将 Vcc 充到 V_{cc_por} 重新启动。保护后的前三次重新启动检测无条件直接判定为失败, 等待 V_{cc_uvlo} 并重新 por 。直到第四次启动后走正常的启动检测流程。这样做的目的是当输出过压情况持续时, 避免过于频繁的重新启动, 降低保护功耗。

6.6.4. 输出短路 (OSP) 保护

当 Vsns 平台电压 (minToff 之后) 低于 V_{sns_osp} 并持续 8 个 pwm 开关周期后, 或在大约 200ms 时间后依然无法退出开环启动 (minToff 后的 Vsns 平台到不了 V_{sns_st} 电压), OSP 触发。触发后 pwm 立刻停止。Vcc 由于没有能量补给将会跌落到 V_{cc_uvlo} 。跌落后 D-FET 打开重新将 Vcc 充到 V_{cc_por} 重新启动。保护后的前三次重新启动检测无条件直接判定为失败, 等待 V_{cc_uvlo} 并重新 por 。直到第四次启动后走正常的启动检测流程。这样做的目的是当输出短路情况持续时, 避免过于频繁的重新启动, 降低保护功耗。。

6.6.5. 输出过载 (OLP) 保护

当输出电流达到由 Rsns 电阻设定的 OLP 电流并持续 500ms 后, OLP 触发。触发后 pwm 立刻停止。Vcc 由于没有能量补给将会跌落到 V_{cc_uvlo} 。跌落后 D-FET 打开重新将 Vcc 充到 V_{cc_por} 重新启动。保护后的前三次重新启动检测无条件直接判定为失败, 等待 V_{cc_uvlo} 并重新 por 。直到第四次启动后走正常的启动检测流程。这样做的目的是当输出过载情况持续时, 避免过于频繁的重新启动, 降低保护功耗。

6.6.6. 过温 (OTP) 保护

当 IC 内部超过 OTP 温度后，OTP 触发。触发后 pwm 立刻停止。Vcc 由于没有能量补给将会跌落到 Vcc_uvlo。跌落后 D-FET 打开重新将 Vcc 充到 Vcc_por 重新启动。保护后的前三次重新启动检测无条件直接判定为失败，等待 Vcc uvlo 并重新 por。直到第四次启动后走正常的启动检测流程。这样做的目的是当过温情况持续时，避免过于频繁的重新启动，降低保护功耗。

6.6.7. ISNS 检测电阻故障（RSS）保护

当 Vin 脚电压大于 380mV (-02 版本 304mV) 且 MOS 导通时，如果 Isns 电压在 1/4 到 1/2 maxTon 的时间内没有一次超过 Rss 电压，IC 将会在 Ton=1/2 MaxTon 的时间点关断 MOS，并记录 Rsns 电阻短路一次。如果持续八次记录到 Rsns 电阻短路，RSS 保护触发。触发后 pwm 立刻停止。Vcc 由于没有能量补给将会跌落到 Vcc_uvlo。跌落后 D-FET 打开重新将 Vcc 充到 Vcc_por 重新启动。保护后的前三次重新启动检测无条件直接判定为失败，等待 Vcc uvlo 并重新 por。直到第四次启动后走正常的启动检测流程。这样做的目的是当 Rsns 短路情况持续时，避免过于频繁的重新启动，降低保护功耗。-03 option 无此保护。

6.6.8. 过流限制（OCP）

在任何时候，当 Ton 超过 120nS 以后如果 Isns 电压超过 OCP，则 IC 会立刻关断 Pwm 来进行过流限制。过流限制不触发保护，IC 将继续工作。

6.6.9. 保护指示

当发生保护以后，在保护时最后一个 pwm 周期的 minToff 以后，Isns 脚会给出一个高度为 Icfg 乘以 CFG 电阻的脉冲。该脉冲的宽度将提示何种类型的保护触发以供诊断。下表给出了保护类型对应的 Isns 脉冲宽度。

保护类型	脉冲宽度
Vin OVP	1uS
Vin Brown out	2uS
RSS	3uS
OSP	4uS
OVP	5uS
OTP	6uS
OLP	7uS



6.7. 应用设计指南

6.7.1. VCC 脚

Vcc 脚是芯片的供电脚。Vcc 应接 33uF~68uF 的电容到地。在靠近 IC 的位置，放一个 100nF 的贴片退耦电容来进行高频滤波。

6.7.2. OUT 脚

Out 脚是功率 MOS 的驱动脚。Out 应通过电阻接功率 MOS 的 gate。一般功率在 40W 以下的应用，推荐采用电阻开通，二极管关断的驱动电路。针对 40W 以上的应用，推荐采用电阻开通，PNP 三极管关断电路。

6.7.3. VIN 脚

Vin 脚用来检测 AC 电压幅度和形状，以实现 PFC 功能和保护功能。Vin 脚应接 6M ohm 上拉电阻 Rvin_pu 到整流后的 AC 电压。并 Vin 脚应接 1nF 到 3.3nF 的电容到地进行高频滤波。Vin 同时应接到启动 D-FET 的 gate 上，启动 D-FET 的 drain 接启动电阻 Rasu 到整流后的 AC 电压，Rasu 推荐 20k 到 30k 左右。

6.7.4. VSNS 脚

Vsns 脚用来检测输出电压和变压器退磁以及谷底。Vsns 下拉电阻 Rvsns_pd 建议 1k 到 3k 之间。Vsns 上拉电阻可由以下公式决定：

$$Rvsns_pu = (Vo_target * (Na / Ns) / Vsns_ref - 1) * Rvsns_pd$$

其中 Vo_target 是目标恒压点电压，Ns 是副边圈数，Na 是辅助绕组圈数。另外 Vsns 脚需要接一个 10pF 到 68pF 的电容到地进行高频率滤波。

6.7.5. ISNS 脚

Isns 脚用来检测 MOS 峰值电流。检测电阻 Rsns 大致遵循以下公式，需要上电后根据实际 OLP 电流调整：

$$Ioip = 0.112V / Rsns * (Np / Ns) * 0.95$$

其中 Ioip 是目标 OLP 电流，Np 是原边圈数，Ns 是副边圈数。Isns 脚同时用于 CFG 功能，CFG 电阻决定配置。下表是除-03 option 外的配置表：

CFG 电阻	功能
750R	限制 Isns 到 710mV, 适用于 nVo=50 ~ 70, 优化动态响应适用于 DC/DC 负载
1.5k	限制 Isns 到 860mV, 适用于 nVo=80 ~ 100, 优化动态响应适用于 DC/DC 负载
2.5k	限制 Isns 到 710mV, 适用于 nVo=50 ~ 70, 优化动态平滑适用于灯带负载
3.6k	限制 Isns 到 860mV, 适用于 nVo=80 ~ 100, 优化动态平滑适用于灯带负载

下表是-03 option 的配置表:

CFG 电阻	功能
750R	限制 Isns 到 710mV, 适用于 nVo=50 ~ 70
1.5k	限制 Isns 到 780mV, 适用于 nVo=70 ~ 85
2.5k	限制 Isns 到 860mV, 适用于 nVo=85 ~ 105
3.6k	限制 Isns 到 1000mV, 适用于 nVo=105 ~ 135

6.7.6. 变压器设计

第一步确定原副边圈比 N: 推荐的圈比 $n = 60$ 或 $100 / V_{o_target}$ 。如果 V_{o_target} 较高用 100。

第二步选取变压器电感量 L_m : 根据 OLP 电流和圈比 n 可得到 R_{sns} 电阻值。推荐的 $L_m = 800\mu * R_{sns} \sim 1800\mu * R_{sns}$ 。电感量越大频率越低, 一般来说效率越高, 但变压器体积越大。

第三步根据功率大小选取合适的磁芯类型, 并确定原边圈数 N_p 。根据所选的磁芯的规格书得到最大磁通密度 B_{max} 和有效截面积 A_e 。有了 L_m , B_{max} , A_e , 计算 $N_p = I_{pk} * L_m / (A_e * B_{max})$ 。 I_{pk} 可以从 CFG 表里面的 I_{sns} / R_{sns} 得到。

第四步根据预设的圈比 N 得到副边圈数 N_s 。并根据辅助绕组圈数 $N_a = N_s * 12 / V_{o_target}$ 得到 N_a 。

6.7.7. 输入/输出电容选取

输入电容推荐值: 如果是高电压 (高压 180~265V) 设计, 推荐总共 EMI 电容之和为 4nF/W 到 10nF/W。如果是全电压设计 (90~305V), 推荐的总共 EMI 电容之和为 9nF/W 到 18nF/W。

输出电容选取如下: 针对 (-00) 芯片, 归一化输出电容范围为 28mS~50mS。具体输出电容 $C_{out} = \text{归一化值} * I_{olp} / V_{o_target}$ 。例如 24V/2A 根据 28mS 可得 $C_{out} = 0.028 * 2 / 24 = 2333\mu F$ 。针对 (-10) 芯片, 归一化输出电容范围为 19mS~36mS。

6.7.8. MOS 管, 整流二极管选取

MOS 管的耐压可以根据以下公式得到:

$$V_d = (V_{in(max)} + nV_o) * 125\%$$

其中 $V_{in(max)}$ 是最高 V_{in} 峰值电压，如果 300Vac 就是 424V。125% 作为留给漏感尖峰余量，需要用 RCD snubber 来保证。整流二极管的耐压可以根据以下公式得到：

$$V_s = (V_{in(max)}/N_{ps} + V_o) * 125\%$$

同理 $V_{in(max)}$ 是最高 V_{in} 峰值电压，如果 300Vac 就是 424V。125% 作为开通震荡尖峰余量。MOS 和整流二极管的额定电流可以根据 RMS 电流作为参考。针对 DCM flyback，RMS 电流可以根据以下计算：

$$I_{mos_rms} = I_{pk} * \sqrt{T_{on}/T_p} / \sqrt{3}$$

$$I_{diode_rms} = I_{pk} * N_{ps} * \sqrt{T_r/T_p} / \sqrt{3}$$

由于最大电流发生在最低压，并运行在 CRM。 T_{on}/T_p 可以简单等于 $nV_o/(V_{in(min)}+nV_o)$ ，而 T_r/T_p 可以简单等于 $V_{in(min)}/(V_{in(min)}+nV_o)$ 。其中 $V_{in(min)}$ 是最低 AC 输入的峰值，比如 90Vac 的话 $V_{in(min)}=127V$ 。

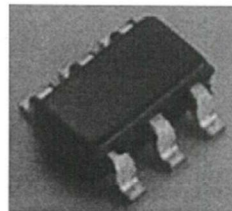
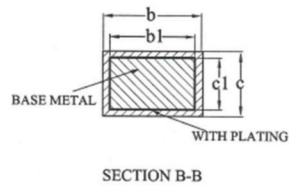
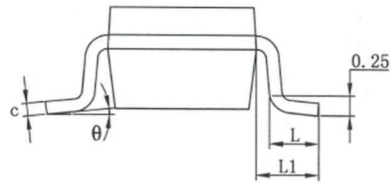
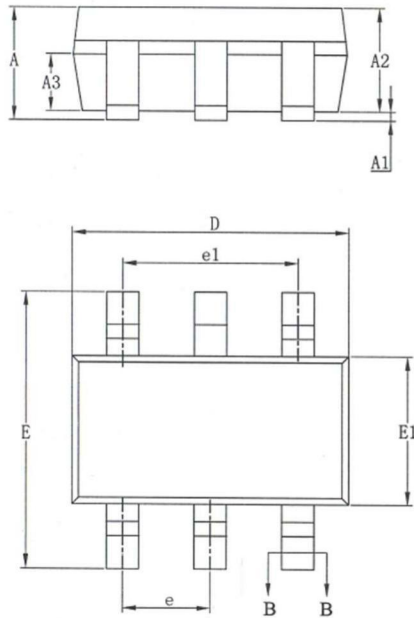
6.7.9. PCB LAYOUT 建议

在 PCB layout 时，因尽量遵循三点原则：

- 最小化 MOS 驱动回路：out 脚 → 驱动电路 → MOS gate → MOS source → 功率地 → IC 地
- 最小化高速开关回路：薄膜电容+ → 原边绕组 → MOS drain → MOS source → 薄膜电容-（功率地）
- 其他电路和功率回路单点接地在 flyback 输入金属薄膜电容地（功率地）

7. 封装和包装信息

7.1. SOT23-6 封装尺寸图



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.25
A1	0.04	—	0.10
A2	1.00	1.10	1.20
A3	0.60	0.65	0.70
b	0.33	—	0.41
b1	0.32	0.35	0.38
c	0.15	—	0.19
c1	0.14	0.15	0.16
D	2.82	2.92	3.02
E	2.60	2.80	3.00
E1	1.50	1.60	1.70
e	0.95BSC		
e1	1.90BSC		
L	0.30	—	0.60
L1	0.60REF		
θ	0	—	8°

NOTE:

1. 以上封装外形未严格按比例绘制;
2. 所有标注数据的单位均为毫米;

8. 订购信息

表 8-1 订购信息

订购号	说明	封装	编带
XP3358-00	支持普通输出电容容值（28mS）	SOT23-6	4Kpcs/编带
XP3358-10	支持较小输出电容容值（18mS）	SOT23-6	4Kpcs/编带
XP3358-02	-00 基础上，支持 AC 宽压，380V	SOT23-6	4Kpcs/编带
XP3358-03	支持 10nF Vin 电容，优化超高 Lm 应用	SOT23-6	4Kpcs/编带
XP3358-13	支持 10nF Vin 电容，优化超高 Lm 应用，支持小输出电容	SOT23-6	4Kpcs/编带
XP3358-04	-03 基础上，优化一般 Lm 应用	SOT23-6	4Kpcs/编带

9. 重要声明和免责声明

芯格诺微电子所提供的产品规格书、参考设计、应用建议等技术资料，不保证其中不含任何瑕疵，且不做任何包括但不限于对适销性、适合某特定用途或不侵犯任何第三方知识产权的明示或暗示的担保。给出的典型应用仅供设计参考，非芯格诺微电子产品的一部分，芯格诺微电子不保证参考设计的完整性和精确性。设计人员应自行根据应用要求选择合适的器件，并对设计方案进行充分的验证和测试。

所述资源供专业开发人员应用芯格诺微电子产品进行设计使用，如有变更，恕不另行通知。

联系地址：北京市海淀区知春路 1 号学院国际大厦 1707

邮政编码：100191

邮箱：13691661579@163.com

Copyright © 2021 北京芯格诺微电子有限公司