

# MP5705

## 底板

## 用户手册

## 文档版本

版本	修改记录
REV 1.0	创建文档

## 目录

一、开发板简介 .....	4
1.1 产品简介 .....	4
1.2 接口列表 .....	4
1.3 产品外观 .....	5
1.4 产品结构尺寸图 .....	5
二、主要接口介绍 .....	5
2.1 SFP 接口 .....	5
2.2 千兆网接口 .....	7
2.3 PCIE 接口 .....	9
2.4 SATA 接口 .....	11
2.5 40 针扩展口 .....	12
2.5 JTAG 接口 .....	13
三、底板电源 .....	13
3.1 供电接口 .....	13
3.2 电源电路 .....	14

## 一、开发板简介

### 1.1 产品简介

MP5705 开发板底板适配本公司相关核心板，型号为 MP5650（详见 MP5650 用户手册）。通过核心板+底板的模式来设计组成完整的开发。底板与核心板采用 4 个 120pin 高速板间连接器对插，型号为 PANASONIC 公司的 AXK5A2137YG 和 AXK6A2337YG。底板按照全高半长 PCIE 板卡设计，可以直接安装在电脑机箱中使用。

MP5705 底板为方便用户进行二次开发，扩展了一系列外围接口。其中包括 2 路 SFP 光纤接口、2 路千兆以太网接口、4 路 SATA 接口、PCIE x8 接口、4 路 SMA 接口、2 组 40 针扩展接口（其中一组全部为差分信号）、板载下载器以及若干按键、LED、板载 GTX 时钟等。

MP5705 底板硬件框图如图 1.1 所示：

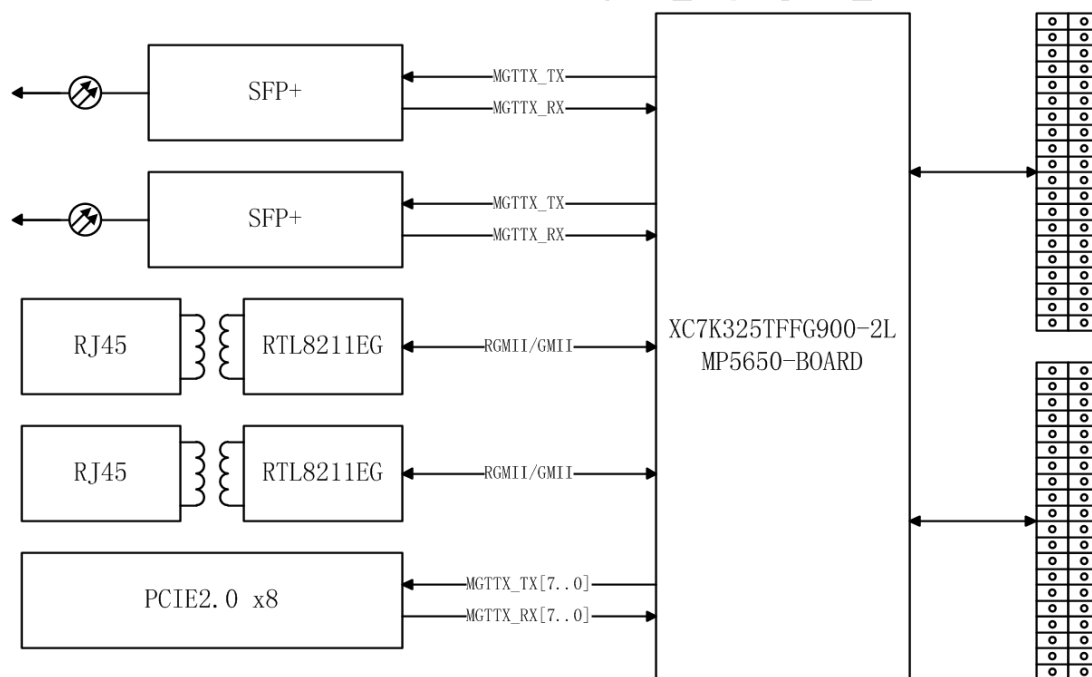


图 1.1 MP5705 底板硬件框图

### 1.2 接口列表

名称	说明	数量
SFP/SFP+	≧10.3125G	2
Gigabit Ethernet	10/100/1000Mbps	2
PCIE x8	GEN 3.0	1

名称	说明	数量
SATA	VER3.0	4
40PIN EXT IO	28 个普通 IO、18 组差分 IO	2
SMA	连接至 MRCC	4
JTAG	MicroUSB 接口	1
BUTTON	—	3
LED	—	8

### 1.3 产品外观

产品外观如图 1.2 所示：

图 1.2 产品外观

### 1.4 产品结构尺寸图

产品结构尺寸如图 1.3 所示：

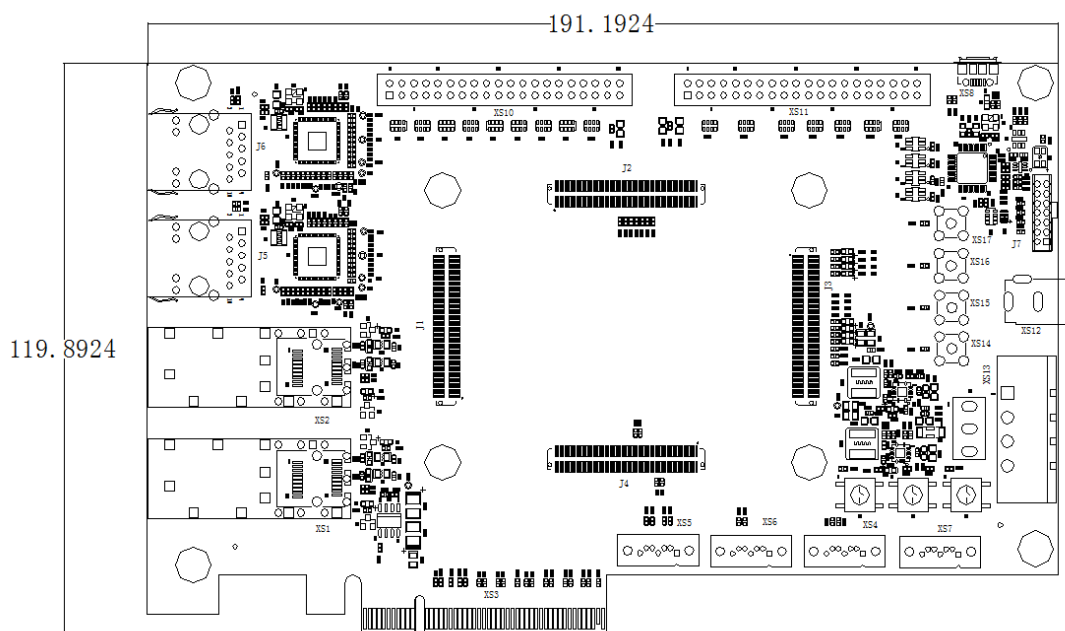


图 1.3 产品结构尺寸图

## 二、主要接口介绍

### 2.1 SFP 接口

板上共 2 个光模块的发送和接收与 J4 相连，实现 2 路高速的光纤通信接口。每一路光模

块的电路原理图如图 2.1 所示：

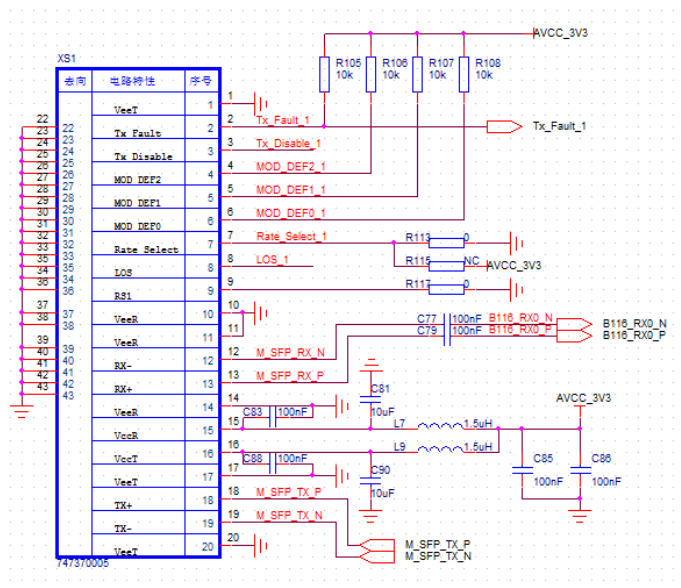


图 2.1 单路光模块电路原理图

每路的光纤数据通信接收和发送的速度高达 10.3125Gb/s。用户可以将 SFP/SFP+光模块插入到这 2 个光纤接口中进行光纤数据通信。2 路光纤接口与 J4 连接器相连接。J4 连接器与 MP5650 核心板上 FPGA 的 GTX 相连接。SFP/SFP+接口的引脚配置如表 2.1 所示：

表 2.1 SFP/SFP+接口的引脚配置

信号名称	连接器管脚	对应 FPGA 管脚名称 (MP5650)
M_SFP_TX_P	J4_32	B116_TX0_P
M_SFP_TX_N	J4_34	B116_TX0_N
M_SFP_RX_P	J4_31	B116_RX0_P
M_SFP_RX_N	J4_33	B116_RX0_N
Tx_Fault_1	J2_61	B15_L10_P
Tx_Disable_1	J2_65	B15_L11_P
LOS_1	J2_63	B15_L10_N
S_SFP_TX_P	J4_49	B116_TX1_P
S_SFP_TX_N	J4_51	B116_TX1_N
S_SFP_RX_P	J4_37	B116_RX1_P
S_SFP_RX_N	J4_39	B116_RX1_N
Tx_Fault_2	J2_67	B15_L11_N
Tx_Disable_2	J2_73	B15_L2_N
LOS_2	J2_71	B15_L2_P

## 2.2 千兆网接口

板上共设计了 2 路千兆网接口，使用了 Realtek 公司的 RTL8211EG 芯片。该芯片是符合 10Base-T，100Base-TX 和 1000Base-T IEEE802.3 标准的高集成度的以太网收发器。芯片与 MAC 之间支持 RGMII 接口和 GMII 接口。在 MP5705 的设计中默认支持 RGMII。千兆网接口部分电路原理如图 2.2 所示：

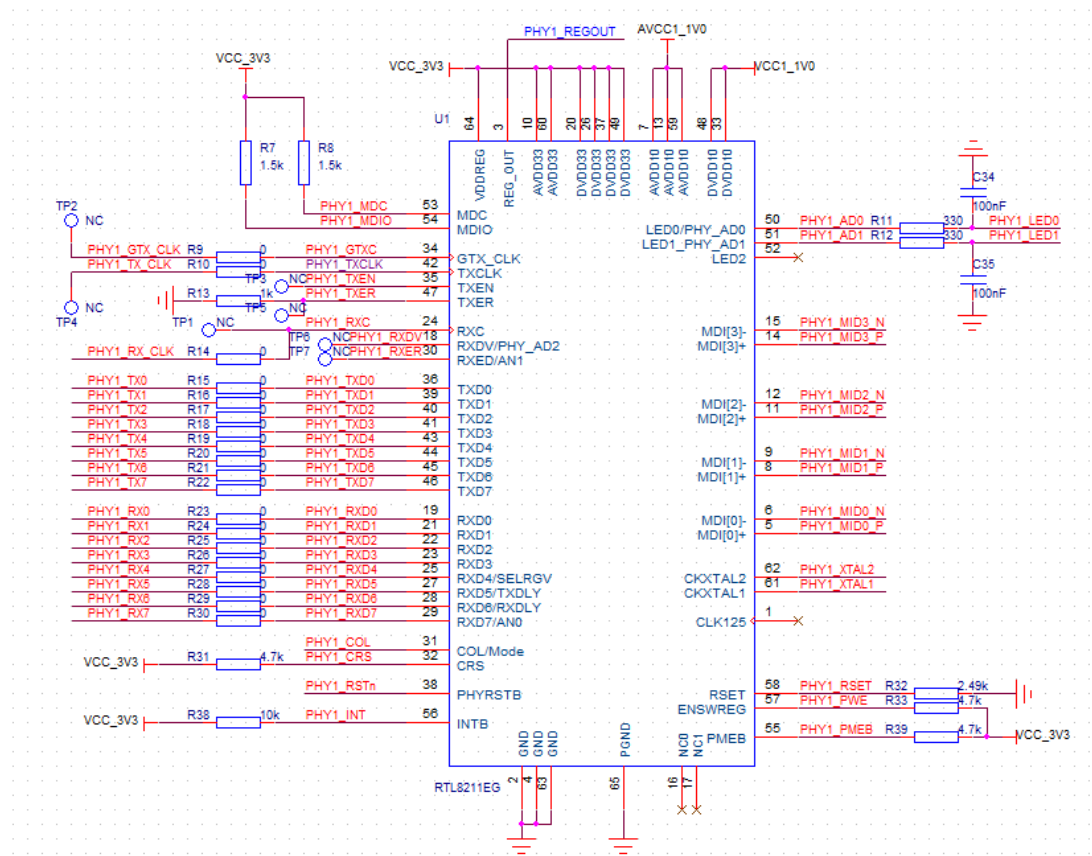


图 2.2 千兆网部分原理图

两路 RTL8211EG 芯片与核心板之间通过 J1 相连，千兆网接口的引脚配置表如表 2.2 所示：

表 2.2 千兆网接口引脚配置表

信号名称	连接器管脚	对应 FPGA 管脚名称 (MP5650)
PHY1_TX0	J1_22	B18_L19_P
PHY1_TX1	J1_24	B18_L19_N
PHY1_TX2	J1_26	B18_L15_P
PHY1_TX3	J1_28	B18_L15_N
PHY1_TX4	J1_42	B18_L24_P
PHY1_TX5	J1_44	B18_L24_N
PHY1_TX6	J1_46	B18_L5_P

信号名称	连接器管脚	对应 FPGA 管脚名称 (MP5650)
PHY1_TX7	J1_48	B18_L5_N
PHY1_RX0	J1_21	B18_L2_P
PHY1_RX1	J1_23	B18_L2_N
PHY1_RX2	J1_25	B18_L8_P
PHY1_RX3	J1_27	B18_L8_N
PHY1_RX4	J1_31	B18_L22_P
PHY1_RX5	J1_33	B18_L22_N
PHY1_RX6	J1_35	B18_L14_P
PHY1_RX7	J1_37	B18_L14_N
PHY1_TX_CLK	J1_32	B18_L11_P
PHY1_RX_CLK	J1_15	B18_L13_P
PHY1_GTX_CLK	J1_41	B18_L3_P
PHY1_RXDV	J1_43	B18_L3_N
PHY1_TXEN	J1_45	B18_L1_P
PHY1_RSTn	J1_47	B18_L1_N
PHY1_INT	J1_51	B18_L21_P
PHY1_MDIO	J1_53	B18_L21_N
PHY1_MDC	J1_55	B18_L9_P
PHY1_TXER	J1_57	B18_L9_N
PHY1_RXER	J1_54	B18_L20_N
PHY1_COL	J1_56	B18_L23_P
PHY1_CRS	J1_58	B18_L23_N
PHY2_TX0	J1_92	B17_L4_P
PHY2_TX1	J1_94	B17_L4_N
PHY2_TX2	J1_96	B17_L2_P
PHY2_TX3	J1_98	B17_L2_N
PHY2_TX4	J1_104	B17_L11_N
PHY2_TX5	J1_106	B17_L21_P
PHY2_TX6	J1_108	B17_L21_N
PHY2_TX7	J1_117	B17_L9_N
PHY2_RX0	J1_67	B17_L3_N
PHY2_RX1	J1_71	B17_L15_P
PHY2_RX2	J1_73	B17_L15_N
PHY2_RX3	J1_75	B17_L5_P
PHY2_RX4	J1_87	B17_L14_N
PHY2_RX5	J1_83	B17_L1_N
PHY2_RX6	J1_81	B17_L1_P
PHY2_RX7	J1_77	B17_L5_N



信号名称	连接器管脚	对应 FPGA 管脚名称 (MP5650)
PHY2_TX_CLK	J1_102	B17_L11_P
PHY2_RX_CLK	J1_85	B17_L14_P
PHY2_GTX_CLK	J1_86	B17_L13_P
PHY2_RXDV	J1_105	B17_L7_P
PHY2_TXEN	J1_103	B17_L8_N
PHY2_RSTn	J1_101	B17_L8_P
PHY2_INT	J1_91	B17_L17_P
PHY2_MDIO	J1_93	B17_L17_N
PHY2_MDC	J1_95	B17_L6_P
PHY2_TXER	J1_97	B17_L6_N
PHY2_RXER	J1_115	B17_L9_P
PHY2_COL	J1_113	B17_L10_N
PHY2_CRIS	J1_107	B17_L7_N

## 2.3 PCIE 接口

MP5705 底板配备了一个 PCIE x8 GEN3.0 的 PCIE 接口，为 FPGA 与处理器通信提供了强大的接口。PCie 具备如下优点：

- 1) 带宽高，目前 FPGA 有 PCIe Gen3 x16，或者 PCIe Gen4 x8，链路速度可以达到 128Gbps;
- 2) FPGA 直连，不需要外部 PHY;
- 3) 协议保证数据无误传输，两级 CRC，重传机制，保证数据无误;
- 4) 软件生态丰富，各种系统原生支持，通过简单的驱动就可以完成数据交互;
- 5) 在 PCIe 之上的协议逐渐增多，例如 NVMe 是基于 PCIe 的上层协议;

Xilinx 从 15 年前，V4 系列开始，一直在 PCIe 的解决方案上深耕，提供众多的应用方案级的解决方案，方便用户专注于自己的应用。早期，Xilinx 提供的有 Application Notes，例如 XAPP859，XAPP1052 等，构建了基本的双向数据传输。当时一些第三方公司，类似于 PLDA，NwLogic 也出针对 Xilinx FPGA 的 PCIe 传输方案。

后来，Xilinx 团队 2017 年附近推出 XDMA 解决方案，并持续增加功能、修正 Bug，到目前为止，XDMA 已经成为一个功能强大、成熟稳定的 Xilinx FPGA 解决方案。功能上涵盖了 SG 功能，AXI-Lite 功能，多通道分离，AXI-MM 和 AXI-Stream 支持等。稳定性上，经过 4 年的逐步完善，目前已经有众多的客户基于这套方案实现产品，涵盖医疗、电力、通讯、数据中心等各种应用。

MP5705 底板 PCIE 接口引脚配置表如表 2.3 所示：

表 2.3 PCIE 接口引脚配置表

信号名称	连接器管脚	对应 FPGA 管脚名称 (MP5650)
PCIE_TX0_P	J2_67	B117_RX0_P
PCIE_TX0_N	J2_69	B117_RX0_N
PCIE_TX1_P	J2_79	B117_RX1_P
PCIE_TX1_N	J2_81	B117_RX1_N
PCIE_TX2_P	J2_74	B117_RX2_P
PCIE_TX2_N	J2_76	B117_RX2_N
PCIE_TX3_P	J2_85	B117_RX3_P
PCIE_TX3_N	J2_87	B117_RX3_N
PCIE_TX4_P	J2_115	B118_RX0_P
PCIE_TX4_N	J2_117	B118_RX0_N
PCIE_TX5_P	J2_98	B118_RX1_P
PCIE_TX5_N	J2_100	B118_RX1_N
PCIE_TX6_P	J2_110	B118_RX2_P
PCIE_TX6_N	J2_112	B118_RX2_N
PCIE_TX7_P	J2_116	B118_RX3_P
PCIE_TX7_N	J2_118	B118_RX3_N
PCIE_RX0_P	J2_68	B117_TX0_P
PCIE_RX0_N	J2_70	B117_TX0_N
PCIE_RX1_P	J2_62	B117_TX1_P
PCIE_RX1_N	J2_64	B117_TX1_N
PCIE_RX2_P	J2_80	B117_TX2_P
PCIE_RX2_N	J2_82	B117_TX2_N
PCIE_RX3_P	J2_86	B117_TX3_P
PCIE_RX3_N	J2_88	B117_TX3_N
PCIE_RX4_P	J2_103	B118_TX0_P
PCIE_RX4_N	J2_105	B118_TX0_N
PCIE_RX5_P	J2_109	B118_TX1_P
PCIE_RX5_N	J2_111	B118_TX1_N
PCIE_RX6_P	J2_91	B118_TX2_P
PCIE_RX6_N	J2_93	B118_TX2_N
PCIE_RX7_P	J2_97	B118_TX3_P
PCIE_RX7_N	J2_99	B118_TX3_N
PCIE_CLK_P	J2_104	B118_CLK0_P
PCIE_CLK_N	J2_106	B118_CLK0_N
PCIE_PERST	J2_75	B15_L18_P

## 2.4 SATA 接口

MP5705 板载 4 个 SATA 接口，配合 MP5650 核心板可实现 SATA3.0 的全部功能。电路原理图如图 2.4 所示：

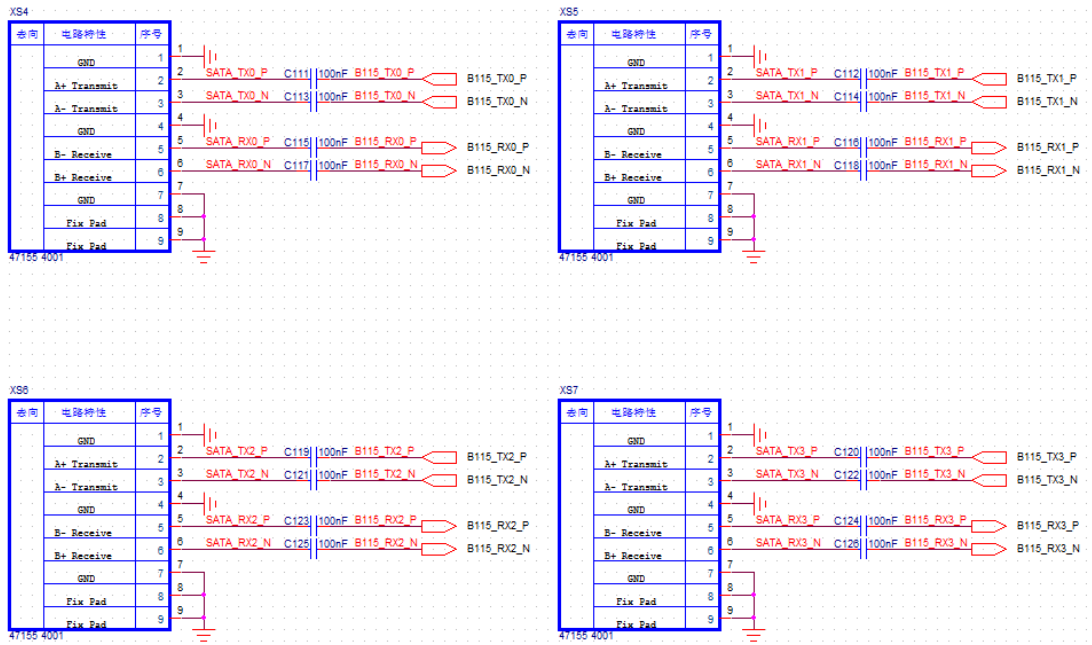


图 2.4 SATA 接口电路原理图

SATA 是一种基于行业标准的串行硬件驱动器接口，以连续串行的方式传输数据，支持热插拔，主要用于 SATA 主机与大容量存储设备之间的数据传输。目前，SATA 一共发展了三代，分别是 SATA1、SATA2、SATA3，向后兼容，每一代 SATA 具有相应的传输功能定义，并且他们的传输速率也不尽相同。SATA1.0 的传输速率只有 150MB/s，SATA2.0 扩展为 300MB/s，SATA3.0 将端口的传输速率提升至 6Gbit/s。

MP5705 底板 SATA 接口引脚配置表如表 2.4 所示：

表 2.4 SATA 接口引脚配置表

信号名称	连接器管脚	对应 FPGA 管脚名称 (MP5650)
SATA_TX0_P	J4_8	B115_TX0_P
SATA_TX0_N	J4_10	B115_TX0_N
SATA_RX0_P	J4_2	B115_RX0_P
SATA_RX0_N	J4_4	B115_RX0_N
SATA_TX1_P	J4_20	B115_TX1_P
SATA_TX1_N	J4_22	B115_TX1_N
SATA_RX1_P	J4_26	B115_RX1_P

信号名称	连接器管脚	对应 FPGA 管脚名称 (MP5650)
SATA_RX1_N	J4_28	B115_RX1_N
SATA_TX2_P	J4_13	B115_TX2_P
SATA_TX2_N	J4_15	B115_TX2_N
SATA_RX2_P	J4_14	B115_RX2_P
SATA_RX2_N	J4_16	B115_RX2_N
SATA_TX3_P	J4_19	B115_TX3_P
SATA_TX3_N	J4_21	B115_TX3_N
SATA_RX3_P	J4_7	B115_RX3_P
SATA_RX3_N	J4_9	B115_RX3_N

## 2.5 40 针扩展口

底板预留了 2 个 2.54mm 标准间距的 40 针的扩展口 XS10 和 XS11，用于连接本公司设计的各个模块或者用户自己设计的模块功能电路，其中 XS10 上的 18 组差分信号在 PCB 布局上全部严格按照差分线布局，用户可以根据自己的需要选择。XS10 和 XS11 的电路原理图如图 2.5 和 2.6 所示：

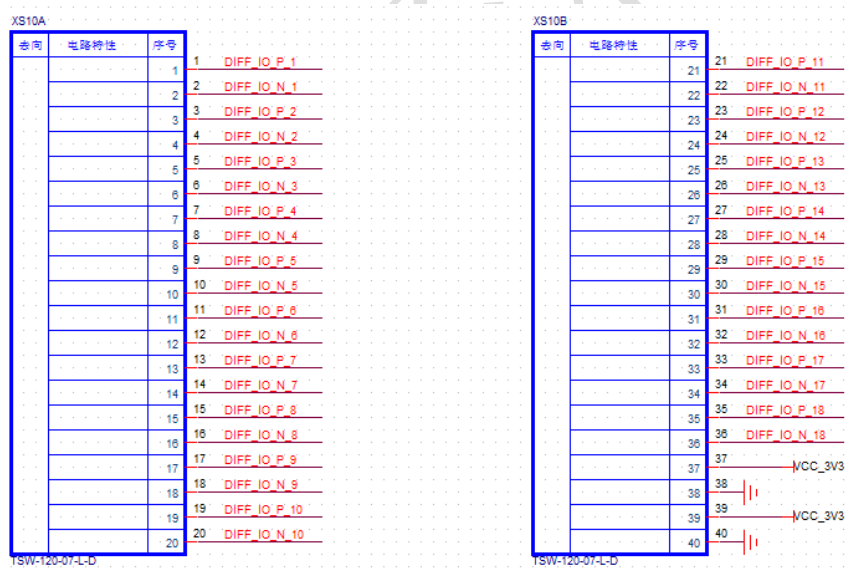


图 2.5 XS10 电路原理图

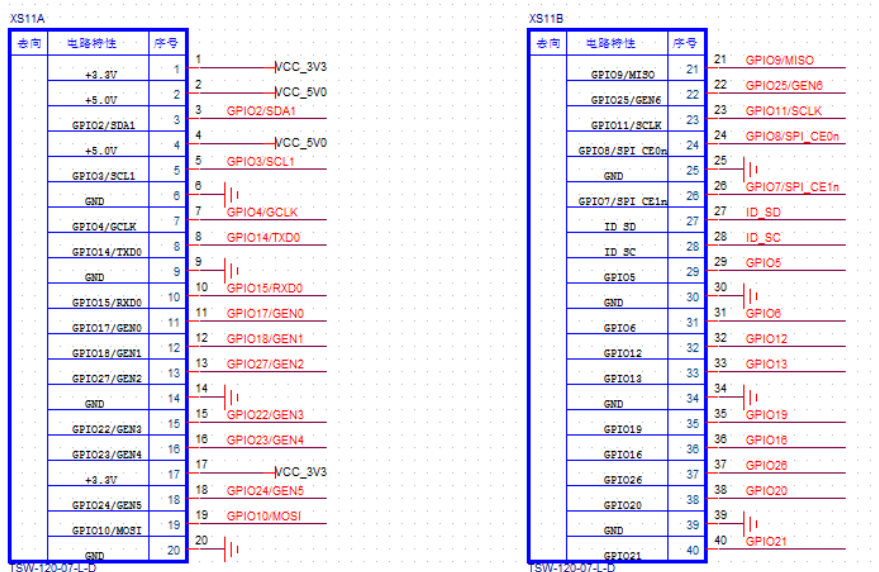


图 2.6 XS11 电路原理图

40 针扩展口引脚定义表：略。

## 2.5 JTAG 接口

MP5705 底板配备了一个板载 JTAG 电路。用户可以直接用一根 MicroUSB 线连接到底板即可实现 FPGA 在线升级和固化。由于该部分电路是直接焊接在底板上，因此不必担心热插拔造成 FPGA 芯片损坏。此外，MP5705 底板还预留了标准 2mm 间距的 14 针 JTAG 接口，用户在购买的时候可以选择是否需要板载 JTAG 电路。

## 三、底板电源

### 3.1 供电接口

底板集成电源管理，支持+6V~+17V 宽压输入。电源输入支持两种方式连接。一种为普通的 DC-005(2.0)插座，如图 3.1 所示。一般用于简单的板级调试，可以直接使用 12V 的电源适配器，具有很强的灵活性。

图 3.1 DC-005(2.0)实物照片

另一种方式采用凤凰座进行连接，型号为 TE 公司的 796866-4。实物图如图 3.2 所示。该连接器耐压高，接触电阻小，抗震性优异，能承受-40℃~+105℃高温。插头与插座之间由锁紧

螺丝固定，适合在工业级设备上使用。可直接用于工程样机开发。

图 3.2 796866-4 实物照片

### 3.2 电源电路

底板共有三种电源，分别是数字 5.0V，数字 3.3V 和模拟 3.3V。其中数字 5.0V 和数字 3.3V 通过 TI 公司的电源芯片 TPS54620 产生。电路如图 3.3 所示：

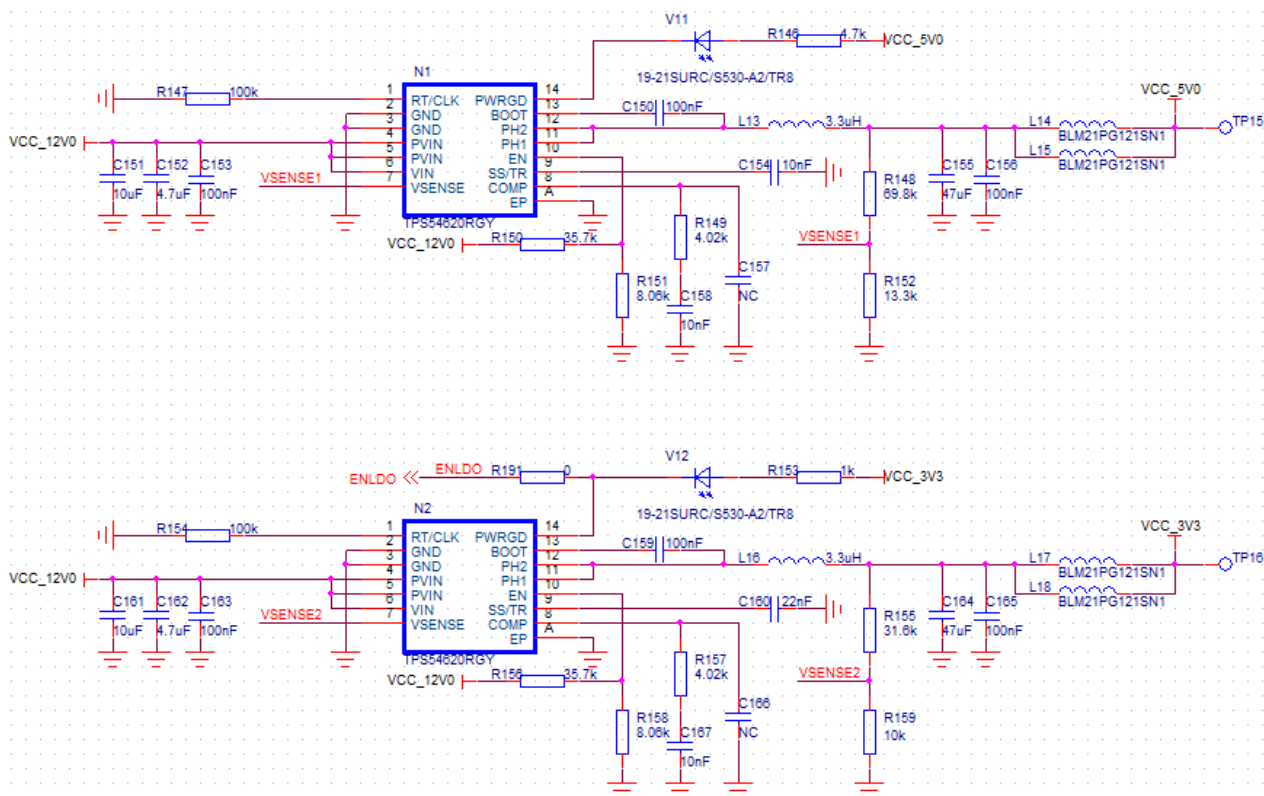
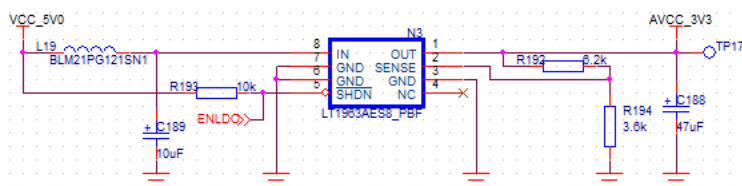


图 3.3 MP5705 数字部分电源原理图

模拟 3.3V 主要为两路光模块供电，通过 ADI 公司的 LT1963AES8\_PBF 产生。电路如图 3.4 所示：



模拟 3.3V 供电

图 3.4 MP5705 模拟部分电源原理图