

## 产品特性

- 低功耗:800mW@125MSPS
- 电源供电: 1.8V
- 输出电平: 1.8V CMOS 或 LVDS
- 信噪比(SNR)=78dBFS  
( $F_{in}=70\text{MHz}/F_s=125\text{MSPS}$ )
- 无杂散动态范围(SFDR)=88dBc  
( $F_{in}=70\text{MHz}/F_s=125\text{MSPS}$ )
- 中频采样率达到 300MHz
- 内置 1 至 8 整数输入时钟分频器
- 小信号输入噪声:  $-153\text{dBm}/\text{Hz}$  ( $200\Omega$ 输入阻抗/ $F_{in}=70\text{MHz}/F_s=125\text{MSPS}$ )
- 可编程内部基准电压源
- 差分模拟输入范围最大可达 2Vp-p
- 差分模拟输入带宽: 650MHz
- 内置时钟占空比稳定器
- 95dB 通道隔离/串扰
- 串行端口(SPI)控制
- 用户可配置的内置测试(BIST)功能
- 节能的掉电模式

## 产品应用

- 雷达系统
- 分集无线电系统
- 多模式数字接收机 (3G)
- GSM/EDGE/W-CDMA/LTE/CDMA2000  
WiMAX/TD-SCDMA
- I/O 解调系统
- 智能天线系统
- 通用软件无线电
- 宽带数据应用
- 超声设备

## 产品优势

- 片内扰动选项可改善模拟输入信号的无杂散动态范围 (SFDR)。
- 差分输入在最高 300MHz 的输入频率下仍有很好的信噪比(SNR)。
- 采用 1.8V 单电源供电, 数字输出驱动器则采用独立电源供电, 支持 1.8V CMOS 或 LVDS 输出。
- 标准串行接口 (SPI) 可配置产品的各种功能, 例如: 多种数据编码形式 (偏移二进制、二进制补码或格雷码)、时钟 DCS 使能、节电模式、测试模式以及多种基准电压。
- 与 AD9258/AD9268 引脚兼容, 16 位产品可轻松转换至 14 位产品。

## 产品描述

CBM16AD125 是双通道、16 位、125MSPS 模数转换器(ADC), 支持需要高性能、低成本、小尺寸的多功能通信应用。这款双通道的 ADC 内核采用多级差分流水线架构, 每个 ADC 均集成高带宽的差分采样保持电路, 支持用户可选的各种输入范围。芯片内部集成了基准电压源, 便于简化外部设计。占空比稳定器可用来补偿 ADC 时钟占空比的变化, 使转换器保持出色的性能。ADC 输出数据可以直接送至两个外部 16 位输出端口, 支持 1.8VCMOS 和 LVDS 两种模式。灵活的掉电选项可明显降低功耗。三线式 SPI 兼容型串行接口可配置产品的各种功能。CBM16AD125 采用 64 引脚 QFN 封装, 额定温度范围为  $-40^{\circ}\text{C}$  至  $+85^{\circ}\text{C}$  工业温度范围。

## 目 录

产品特性.....	1
产品应用.....	1
产品优势.....	1
产品描述.....	1
目录.....	2
修订日志.....	3
功能框图.....	4
技术规格.....	5
ADC 直流规格.....	5
ADC 交流规格.....	7
数字规格.....	8
开关规格.....	10
时序规格.....	11
时序图.....	12
引脚配置与功能描述.....	13
典型性能.....	19
应用说明.....	20
输入共模.....	20
差分输入配置.....	20
基准电压连接.....	21
时钟输入.....	22
寄存器列表.....	23
封装外形尺寸.....	25
包装/订购信息.....	26

## 修订日志

版本	修订日期	变更内容	变更原因	制作	审核	备注
V1.0	2024.8.20	更新产品封装尺寸图, 厚度参数错误	错误更新	WW	LYL	

**功能框图**

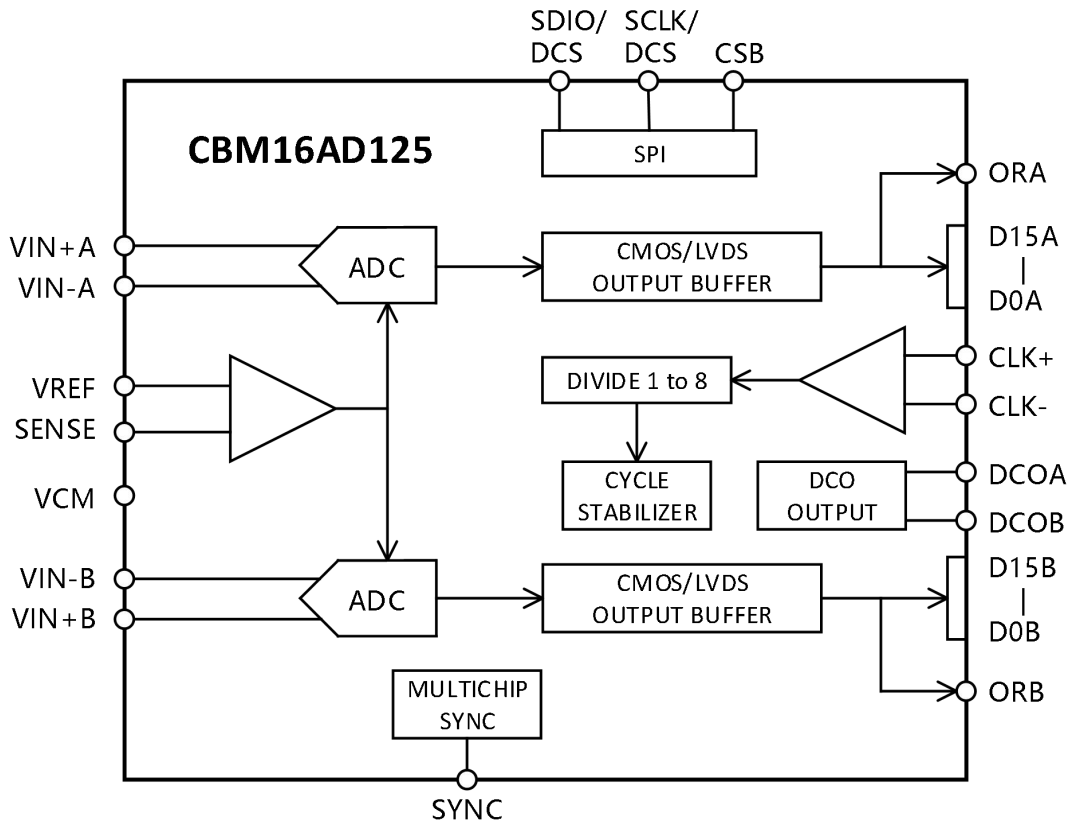


图 1. 功能框图

## 技术规格

### ADC 直流规格

除非另有说明，AVDD=1.8V、DRVDD=1.8V、采样速率=125MSPS、VIN=-1.0dBFS 差分输入、1.0V 内部基准电压、DCS 使能。

表 1.

参数	温度	最小值	典型值	最大值	单位
分辨率	全	16			位
精度					
无失码	全	保证			
失调误差	全		±0.4	±0.7	% FSR
增益误差	全		±0.8	±2.5	% FSR
微分非线性(DNL) <sup>1</sup>	全	-1.2		+1.4	LSB
	25°C		±0.7		LSB
积分非线性(INL) <sup>1</sup>	全			±6.0	LSB
	25°C		±3.5		LSB
<b>匹配特性</b>					
失调误差	全		±0.2	±0.5	% FSR
增益误差	全		±0.3	±1.3	% FSR
<b>内部基准电压</b>					
输出电压误差(1V 模式)	全		±5	±12	mV
负载导致电压误差(1.0mA)	全		5		mV
输入端参考噪声VREF=1.0V	25°C		2.34		LSB rms
<b>模拟输入</b>					
输入范围,VREF = 1.0 V	全		2		V p-p
输入电容 <sup>2</sup>	全		8		pF
输入共模电压	全		0.9		V
基准电压输入阻抗	全		7		kΩ
<b>电源</b>					
电源电压					
AVDD	全	1.7	1.8	1.9	V
DRVDD	全	1.7	1.8	1.9	V

电源电流					
IAVDD <sup>1</sup>	全		370		mA
IDRVDD <sup>1</sup> (1.8 V CMOS)	全		52		mA
IDRVDD <sup>1</sup> (1.8 V LVDS)	全		98		mA
功耗					
直流输入	全		745	780	mW
正弦波输入 1 (1.8 V CMOS)	全		795		mW
正弦波输入 1 (1.8 V LVDS)	全		875		mW
待机功耗 3	全		49		mW
掉电功耗	全	0.5	2.7		mW

1. 测量条件为：低输入频率、满量程正弦波、每个输出位的负载约为 5pF。
2. 输入电容指一个差分输入引脚与 AGND 之间的有效电容。
3. 待机功耗的测量条件为：直流输入、CLK 引脚无动作(设为 AVDD 或 AGND)。

**ADC 交流规格**

除非另有说明，AVDD=1.8V、DRVDD=1.8V、采样速率=125MSPS、VIN=-1.0dBFS 差分输入、1.0V 内部基准电压、DCS 使能。

表 2.

参数	温度	最小值	典型值	最大值	单位
<b>信噪比(SNR)</b>					
$f_{IN} = 30 \text{ MHz}$	25°C		77.9		dBFS
$f_{IN} = 70 \text{ MHz}$	25°C		77.0		dBFS
	Full	74.7			dBc
$f_{IN} = 140 \text{ MHz}$	25°C		75.6		dBFS
$f_{IN} = 200 \text{ MHz}$	25°C		73.1		dBFS
<b>信纳比(SINAD)</b>					
$f_{IN} = 30 \text{ MHz}$	25°C		77.7		dBFS
$f_{IN} = 70 \text{ MHz}$	25°C		76.3		dBFS
$f_{IN} = 140 \text{ MHz}$	25°C		73.8		dBFS
$f_{IN} = 200 \text{ MHz}$	25°C		72.5		dBFS
<b>有效位数(ENOB)</b>					
$f_{IN} = 30 \text{ MHz}$	25°C		12.6		位
$f_{IN} = 70 \text{ MHz}$	25°C		12.4		位
$f_{IN} = 140 \text{ MHz}$	25°C		12.0		位
$f_{IN} = 200 \text{ MHz}$	25°C		11.8		位
<b>最差二次/三次谐波</b>					
$f_{IN} = 30 \text{ MHz}$	25°C		-86.5		dBc
$f_{IN} = 70 \text{ MHz}$	25°C		-85.2		dBc
	Full	80.0			dBc
$f_{IN} = 140 \text{ MHz}$	25°C		-80.1		dBc
$f_{IN} = 200 \text{ MHz}$	25°C		-78.9		dBc
<b>无杂散动态范围(SFDR)</b>					
$f_{IN} = 30 \text{ MHz}$	25°C		86.5		dBc
$f_{IN} = 70 \text{ MHz}$	25°C		85.2		dBc
	Full	80.0			dBc
$f_{IN} = 140 \text{ MHz}$	25°C		80.1		dBc

$f_{IN} = 200 \text{ MHz}$	25°C		78.9		dBc
<b>无杂散动态范围(SFDR)</b>					
Dither 关闭 (AIN@-23dBFS)					
$f_{IN} = 30 \text{ MHz}$	25°C		92		dBFS
$f_{IN} = 70 \text{ MHz}$	25°C		88		dBFS
$f_{IN} = 140 \text{ MHz}$	25°C		96		dBFS
$f_{IN} = 200 \text{ MHz}$	25°C		97		dBFS
Dither 开启 (AIN@-23dBFS)					
$f_{IN} = 30 \text{ MHz}$	25°C		104		dBFS
$f_{IN} = 70 \text{ MHz}$	25°C		103		dBFS
$f_{IN} = 140 \text{ MHz}$	25°C		105		dBFS
$f_{IN} = 200 \text{ MHz}$	25°C		102		dBFS
串扰(Crosstalk)	25°C		-95		dBc
模拟输入带宽	25°C		650		MHz

串扰测量条件：一个通道输入-1dBFS 100MHz 信号，另一通道无信号。

### 数字规格

除非另有说明，AVDD=1.8V、DRVDD=1.8V、采样速率=125MSPS、VIN=-1.0dBFS 差分输入、1.0V 内部基准电压、DCS 使能。

表 3.

参数	温度	最小值	典型值	最大值	单位
<b>差分时钟输入 (CLK+、CLK-)</b>					
逻辑兼容	全		CMOS/LVDS/LVPECL		
内部共模偏置	全		0.9		V
差分输入电压	全	0.3		3.6	V p-p
输入电压范围	全	AGND		AVDD	V
输入共模范围	全	0.9		1.3	V
高电平输入电流	全	-100		+100	μA
低电平输入电流	全	-120		+120	μA
输入电容	全		6.5		pF
输入电阻	全	8	10	12	kΩ
<b>同步输入</b>					
逻辑兼容	全		CMOS		



内部偏置	全		0.9		V
输入电压范围	全	AGND		AVDD	V
高电平输入电压	全	1.2		AVDD	V
低电平输入电压	全	AGND		0.6	V
高电平输入电流	全	-100		+100	$\mu\text{A}$
低电平输入电流	全	-120		+120	$\mu\text{A}$
输入电容	全		2		pF
输入电阻	全	12	16	20	k $\Omega$
<b>逻辑输入 (CSB) <sup>1</sup></b>					
高电平输入电压	全	1.2		2.1	V
低电平输入电压	全	0		0.6	V
高电平输入电流	全	-10		10	$\mu\text{A}$
低电平输入电流	全	10		100	$\mu\text{A}$
输入电阻	全		20		k $\Omega$
输入电容	全		2		pF
<b>逻辑输入 (SCLK/DFS) <sup>2</sup></b>					
高电平输入电压	全	1.2		2.1	V
低电平输入电压	全	0		0.6	V
高电平输入电流(VIN=1.8V)	全	-10		-100	$\mu\text{A}$
低电平输入电流	全	-10		10	$\mu\text{A}$
输入电阻	全		25		k $\Omega$
输入电容	全		5		pF
<b>数字输出</b>					
CMOS模式 (DRVDD=1.8V)					
高电平输出电压					
$I_{OH}=50\mu\text{A}$	全	1.79			V
$I_{OH}=0.5\text{mA}$	全	1.75			V
低电平输出电压					
$I_{OL}=1.6\text{mA}$	全			0.2	V
$I_{OL}=50\mu\text{A}$	全			0.05	V
LVDS 模式 (DRVDD=1.8V)					
差分输出电压( $V_{OD}$ ), ANSI 模式	全	280	330	380	mV

输出偏移电压( $V_{OS}$ ), ANSI 模式	全	1.15	1.25	1.35	V
差分输出电压( $V_{OD}$ ), 小摆幅模式	全	160	200	230	mV
输出偏移电压( $V_{OS}$ ), 小摆幅模式	全	1.15	1.25	1.35	V

1. 上拉。 2. 下拉。

### 开关规格

除非另有说明,  $AVDD=1.8V$ 、 $DRVDD=1.8V$ 、采样速率=125MSPS、 $VIN=-1.0dBFS$  差分输入、1.0V 内部基准电压、DCS 使能。

表 4.

参数	温度	最小值	典型值	最大值	单位
<b>时钟输入参数</b>					
时钟输入速率	全			625	MHz
转换速率 <sup>1</sup>					
DCS 使能	全	20		125	MSPS
DCS 禁用	全	10		125	MSPS
时钟周期-分频模式( $t_{CLK}$ )		8			ns
时钟脉宽高电平( $t_{CH}$ )					
一分频模式, DCS 使能	全	2.5	4.3	5.7	ns
一分频模式, DCS 禁用	全	3.7	4.2	4.3	ns
二分频至八分频模式		0.85			ns
孔径延时( $t_A$ )	全	1.0			ns
孔径不确定(抖动, $t_j$ )	全	0.07			ps rms
<b>数据输出参数</b>					
CMOS 模式					
数据传播延时( $t_{PD}$ )	全	2.9	3.7	4.4	ns
DCO 传播延时( $t_{DCO}$ ) <sup>2</sup>	全		3.3		ns
DCO 至数据偏斜( $t_{SKEW}$ )	全	-0.63	-0.45	0	ns
LVDS 模式					
数据传播延时( $t_{PD}$ )	全	2.9			ns
DCO 传播延时( $t_{DCO}$ ) <sup>2</sup>	全		4.1		ns
DCO 至数据偏斜( $t_{SKEW}$ )	全	-0.3	+0.4	+0.7	ns
CMOS 模式流水线延时	全		13		周期
LVDS 模式流水线延时	全		13/13.5		周期

唤醒时间 <sup>3</sup>	全	500	μs
超范围恢复时间	全	2	周期

1. 转换速率指分频之后的时钟速率。
2. 通过 SPI 向寄存器 0x17 的低 4 位配置相应值可以增加额外的 DCO 延迟时间。
3. 唤醒时间指从掉电模式返回正常工作模式所需的时间。

### 时序规格

表 5.

参数	条件	限值
<b>同步时序要求</b>		
$t_{SSYNC}$	SYNC 至CLK+建立时间的上升沿	0.33 ns,典型值
$t_{HSYNC}$	SYNC 至CLK+建立时间的上升沿	0.42 ns,典型值
<b>SPI 时序要求</b>		
$t_{DS}$	数据与 SCLK 上升沿之间的建立时间	2.2 ns,最小值
$t_{DH}$	数据与 SCLK 上升沿之间的保持时间	2.2 ns,最小值
$t_{CLK}$	SCLK 周期 CSB	40.3 ns,最小值
$t_S$	CSB 与 SCLK 之间的建立时间 CSB	2.2 ns,最小值
$t_H$	CSB 与 SCLK 之间的保持时间	2.2 ns,最小值
$t_{HIGH}$	SCLK 高电平脉冲宽度	10.2 ns,最小值
$t_{LOW}$	SCLK 低电平脉冲宽度	10.2 ns,最小值
$t_{EN\_SDIO}$	相对于 SCLK 下降沿, SDIO 引脚从输入状态切换到输出状态所需的时间	10.2 ns,最小值
$t_{DIS\_SDIO}$	相对于 SCLK 上升沿, SDIO 引脚从输出状态切换到输入状态所需的时间	10.2 ns,最小值

**时序图**

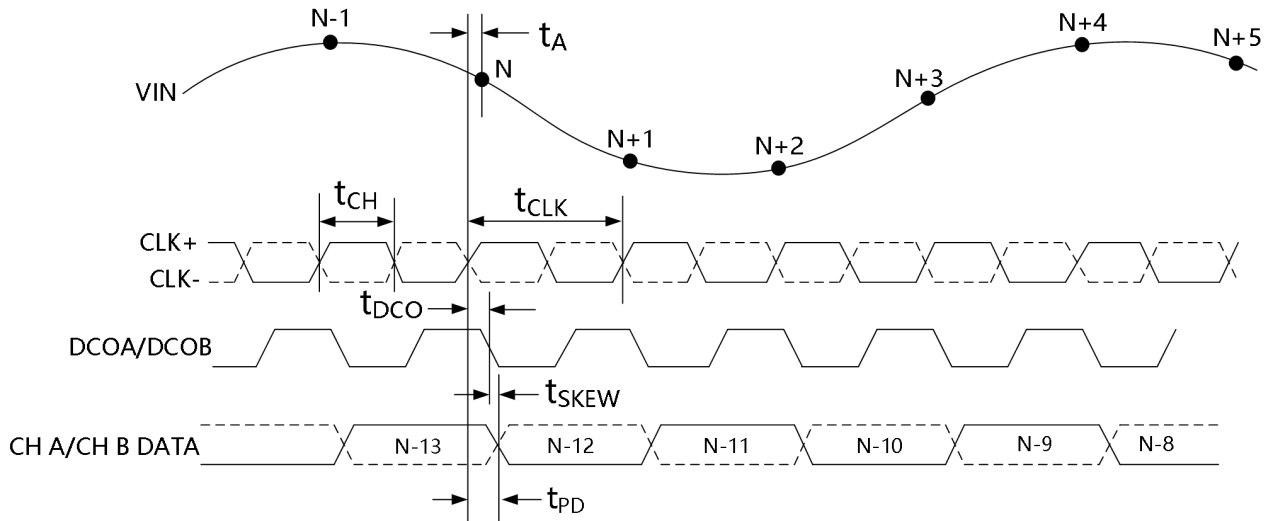


图 2. CMOS 默认输出模式数据输出时序

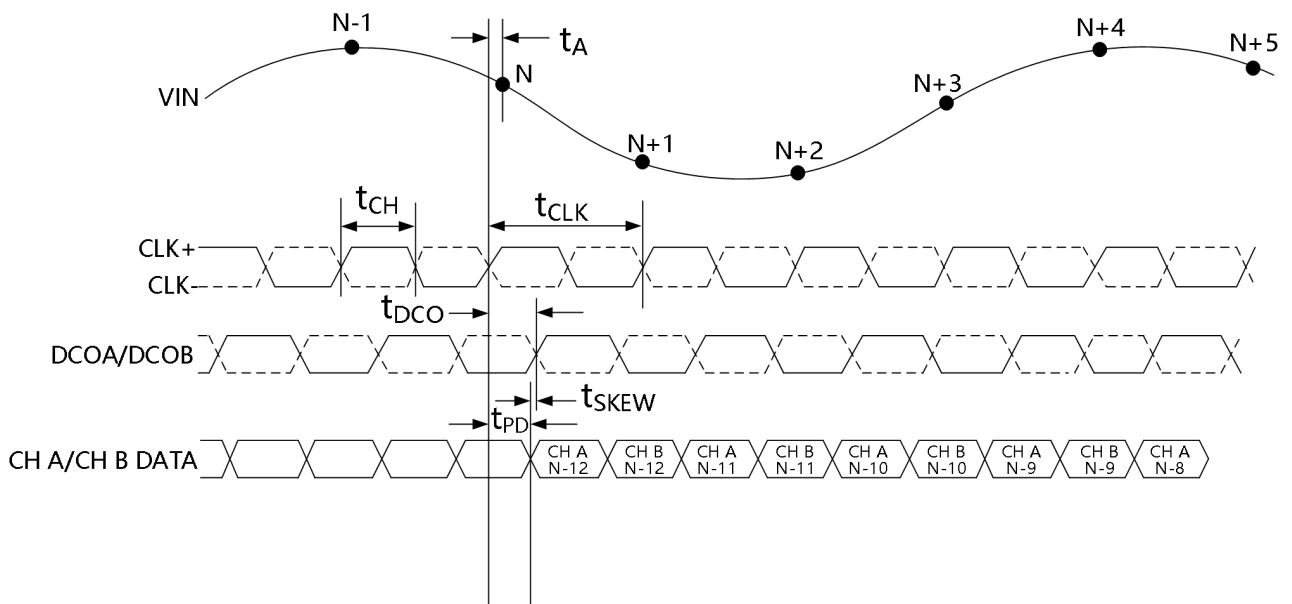


图 3. LVDS 模式数据输出时序

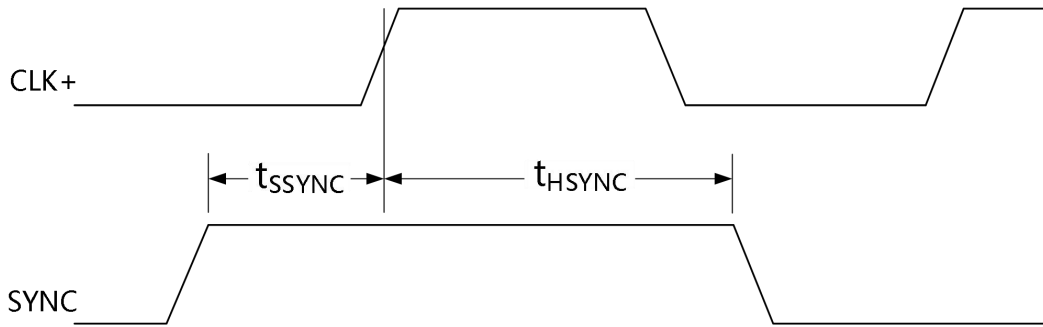
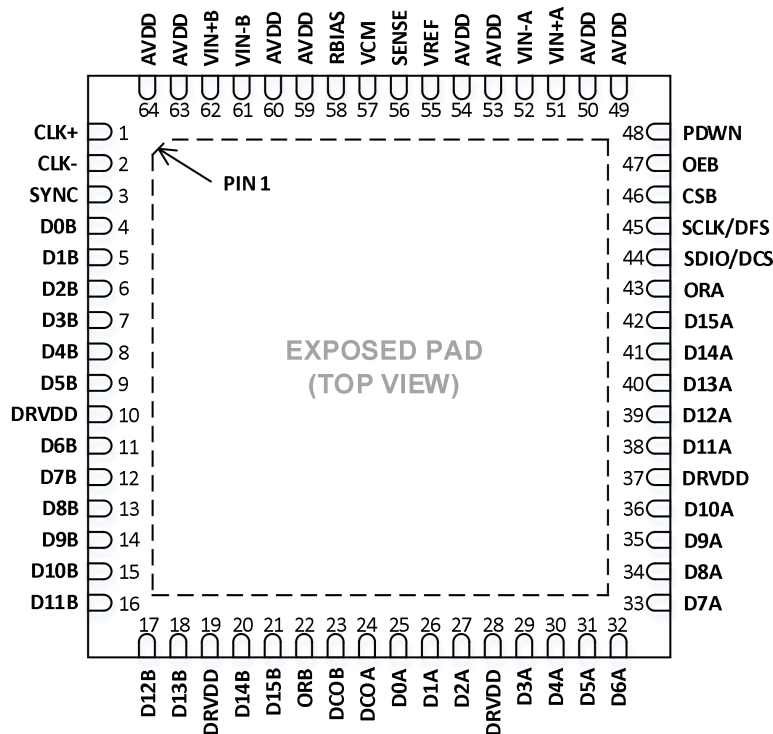


图 4. SYNC 输入时序要求

## 引脚配置与功能描述



标注：封装底部的裸露热焊盘为器件提供模拟地。该焊盘必须与地相连，才能正常工作。

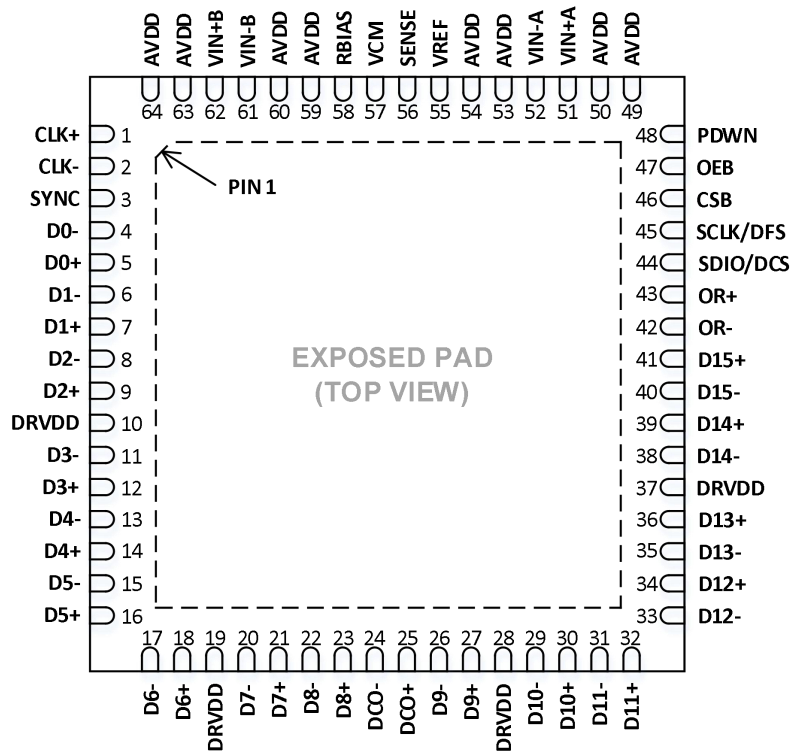
图 5. 并行 CMOS 引脚配置 (顶视图)

表 6. 引脚功能描述 (并行 CMOS 模式)

引脚编号	引脚名称	类型	描述
<b>ADC 电源</b>			
10,19,28,37	DRVDD	电源	数字输出驱动器电源 (标称值 1.8 V)
49,50,53,54,59,60,63,64	AVDD	电源	模拟电源 (标称值 1.8 V)

0	AGND, 裸露焊盘	地	封装底部的裸露热焊盘为器件提供模拟地。该焊盘必须与地相连。
<b>ADC模拟</b>			
51	VIN+A	输入	通道 A 的差分模拟输入引脚(+)
52	VIN-A	输入	通道 A 的差分模拟输入引脚(-)
62	VIN+B	输入	通道 B 的差分模拟输入引脚(+)
61	VIN-B	输入	通道 B 的差分模拟输入引脚(-)
55	VREF	输入/输出	基准电压输入/输出
56	SENSE	输入	基准电压模式选择
58	RBIAS	输入/输出	外部基准偏置电阻
57	VCM	输出	模拟输入的共模电平偏置输出
1	CLK+	输入	ADC 时钟输入(+)
2	CLK-	输入	ADC 时钟输入(-)
<b>数字输入</b>			
3	SYNC	输入	数字同步引脚, 仅用于从机模式
<b>数字输出</b>			
25	D0A (LSB)	输出	通道 A CMOS 输出数据
26	D1A	输出	通道 A CMOS 输出数据
27	D2A	输出	通道 A CMOS 输出数据
29	D3A	输出	通道 A CMOS 输出数据
30	D4A	输出	通道 A CMOS 输出数据
31	D5A	输出	通道 A CMOS 输出数据
32	D6A	输出	通道 A CMOS 输出数据
33	D7A	输出	通道 A CMOS 输出数据
34	D8A	输出	通道 A CMOS 输出数据
35	D9A	输出	通道 A CMOS 输出数据
36	D10A	输出	通道 A CMOS 输出数据
38	D11A	输出	通道 A CMOS 输出数据
39	D12A	输出	通道 A CMOS 输出数据
40	D13A	输出	通道 A CMOS 输出数据
41	D14A	输出	通道 A CMOS 输出数据
42	D15A (MSB)	输出	通道 A CMOS 输出数据
43	ORA	输出	通道 A 超量程输出

4	D0B (LSB)	输出	通道 B CMOS 输出数据
5	D1B	输出	通道 B CMOS 输出数据
6	D2B	输出	通道 B CMOS 输出数据
7	D3B	输出	通道 B CMOS 输出数据
8	D4B	输出	通道 B CMOS 输出数据
9	D5B	输出	通道 B CMOS 输出数据
11	D6B	输出	通道 B CMOS 输出数据
12	D7B	输出	通道 B CMOS 输出数据
13	D8B	输出	通道 B CMOS 输出数据
14	D9B	输出	通道 B CMOS 输出数据
15	D10B	输出	通道 B CMOS 输出数据
16	D11B	输出	通道 B CMOS 输出数据
17	D12B	输出	通道 B CMOS 输出数据
18	D13B	输出	通道 B CMOS 输出数据
20	D14B	输出	通道 B CMOS 输出数据
21	D15B (MSB)	输出	通道 B CMOS 输出数据
22	ORB	输出	通道 B 超量程输出
24	DCOA	输出	通道 A 数据时钟输出
23	DCOB	输出	通道 B 数据时钟输出
<b>SPI 控制</b>			
45	SCLK/DFS	输入	在外部引脚模式下, SPI 串行时钟/数据格式选择引脚
44	SDIO/DCS	输入/输出	在外部引脚模式下, SPI 串行数据输入/输出/占空比稳定器引脚
46	CSB	输入	SPI 片选(低电平有效)
<b>ADC 配置</b>			
47	OEB	输入	在外部引脚模式下, 输出使能输入(低电平有效)引脚
48	PDWN	输入	在外部引脚模式下, 掉电输入引脚。在 SPI 模式下, 可以配置为掉电或待机引脚



标注：封装底部的裸露热焊盘为器件提供模拟地。该焊盘必须与地相连，才能正常工作。

图 6. 交错并行 LVDS 引脚配置 (顶视图)



表 7. 引脚功能描述 (交错并行 LVDS 模式)

引脚编号	引脚名称	类型	描述
<b>ADC 电源</b>			
10,19,28,37	DRVDD	电源	数字输出驱动器电源 (标称值 1.8 V)
49,50,53,54,59,60,63,64	AVDD	电源	模拟电源 (标称值 1.8 V)
0	AGND, 裸露焊盘	地	封装底部的裸露热焊盘为器件提供模拟地。该焊盘必须与地相连。
<b>ADC模拟</b>			
51	VIN+A	输入	通道 A 的差分模拟输入引脚(+)
52	VIN-A	输入	通道 A 的差分模拟输入引脚(-)
62	VIN+B	输入	通道 B 的差分模拟输入引脚(+)
61	VIN-B	输入	通道 B 的差分模拟输入引脚(-)
55	VREF	输入/输出	基准电压输入/输出
56	SENSE	输入	基准电压模式选择
58	RBIAS	输入/输出	外部基准偏置电阻
57	VCM	输出	模拟输入的共模电平偏置输出
1	CLK+	输入	ADC 时钟输入(+)
2	CLK-	输入	ADC 时钟输入(-)
<b>数字输入</b>			
3	SYNC	输入	数字同步引脚, 仅用于从机模式
<b>数字输出</b>			
5	D0+ (LSB)	输出	通道 A/通道 B LVDS 输出数据 0(+)
4	D0- (LSB)	输出	通道 A/通道 B LVDS 输出数据 0(-)
7	D1+	输出	通道 A/通道 B LVDS 输出数据 1(+)
6	D1-	输出	通道 A/通道 B LVDS 输出数据 1(-)
9	D2+	输出	通道 A/通道 B LVDS 输出数据 2(+)
8	D2-	输出	通道 A/通道 B LVDS 输出数据 2(-)
12	D3+	输出	通道 A/通道 B LVDS 输出数据 3(+)
11	D3-	输出	通道 A/通道 B LVDS 输出数据 3(-)
14	D4+	输出	通道 A/通道 B LVDS 输出数据 4(+)
13	D4-	输出	通道 A/通道 B LVDS 输出数据 4(-)
16	D5+	输出	通道 A/通道 B LVDS 输出数据 5(+)
15	D5-	输出	通道 A/通道 B LVDS 输出数据 5(-)

18	D6+	输出	通道 A/通道 B LVDS 输出数据 6(+)
17	D6-	输出	通道 A/通道 B LVDS 输出数据 6(-)
21	D7+	输出	通道 A/通道 B LVDS 输出数据 7(+)
20	D7-	输出	通道 A/通道 B LVDS 输出数据 7(-)
23	D8+	输出	通道 A/通道 B LVDS 输出数据 8(+)
22	D8-	输出	通道 A/通道 B LVDS 输出数据 8(-)
27	D9+	输出	通道 A/通道 B LVDS 输出数据 9(+)
26	D9-	输出	通道 A/通道 B LVDS 输出数据 9(-)
30	D10+	输出	通道 A/通道 B LVDS 输出数据 10(+)
29	D10-	输出	通道 A/通道 B LVDS 输出数据 10(-)
32	D11+	输出	通道 A/通道 B LVDS 输出数据 11(+)
31	D11-	输出	通道 A/通道 B LVDS 输出数据 11(-)
34	D12+	输出	通道 A/通道 B LVDS 输出数据 12(+)
33	D12-	输出	通道 A/通道 B LVDS 输出数据 12(-)
36	D13+	输出	通道 A/通道 B LVDS 输出数据 13(+)
35	D13-	输出	通道 A/通道 B LVDS 输出数据 13(-)
39	D14+	输出	通道 A/通道 B LVDS 输出数据 14(+)
38	D14-	输出	通道 A/通道 B LVDS 输出数据 14(-)
41	D15+ (MSB)	输出	通道 A/通道 B LVDS 输出数据 15(+)
40	D15- (MSB)	输出	通道 A/通道 B LVDS 输出数据 15(-)
43	OR+	输出	通道 A/通道 B LVDS 超量程输出 16(+)
42	OR-	输出	通道 A/通道 B LVDS 超量程输出 16(-)
25	DCO+	输出	通道 A/通道 B LVDS 数据时钟输出
24	DCO-	输出	通道 A/通道 B LVDS 数据时钟输出
<b>SPI 控制</b>			
45	SCLK/DFS	输入	在外部引脚模式下, SPI 串行时钟/数据格式选择引脚
44	SDIO/DCS	输入/输出	在外部引脚模式下, SPI 串行数据输入/输出/占空比稳定器引脚
46	CSB	输入	SPI 片选(低电平有效)
<b>ADC 配置</b>			
47	OEB	输入	在外部引脚模式下, 输出使能输入(低电平有效)引脚
48	PDWN	输入	在外部引脚模式下, 掉电输入引脚。在 SPI 模式下, 可以配置为掉电或待机引脚

## 典型性能

如无特别说明,测试条件如下: AVDD=1.8V,DRVDD=1.8V,SVDD=1.8V, 采样率 125MSPS, 2Vp-p 的差分输入, VIN=-1dBfs, TA=25°C。

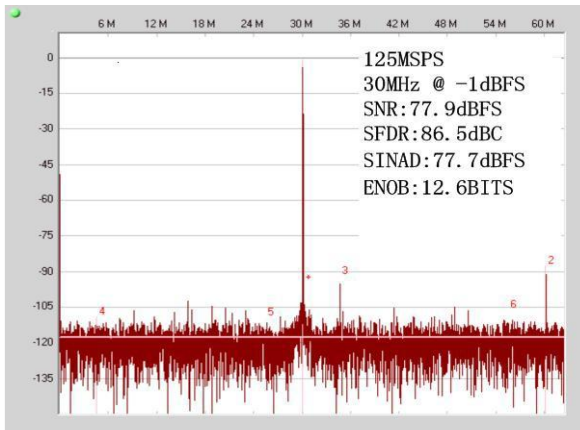


图 7. fin=30MHz 的单音 FFT

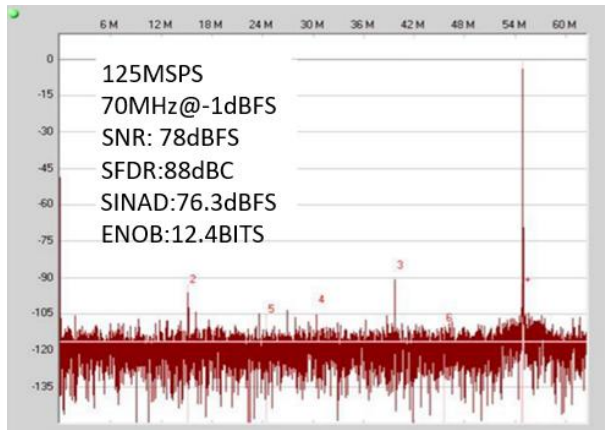


图 8. fin=70MHz 的单音 FFT

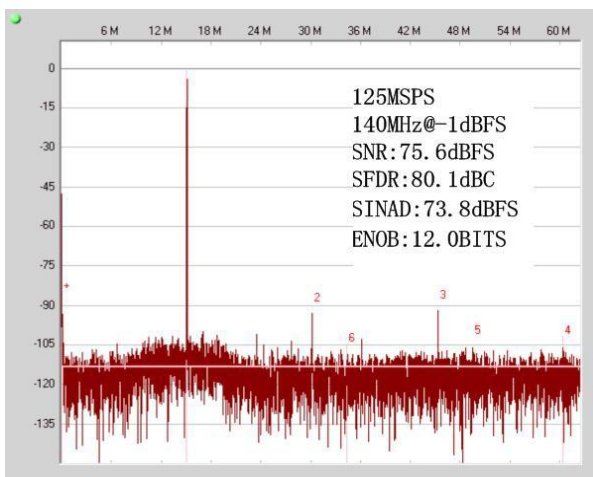


图 9. fin=140MHz 的单音 FFT

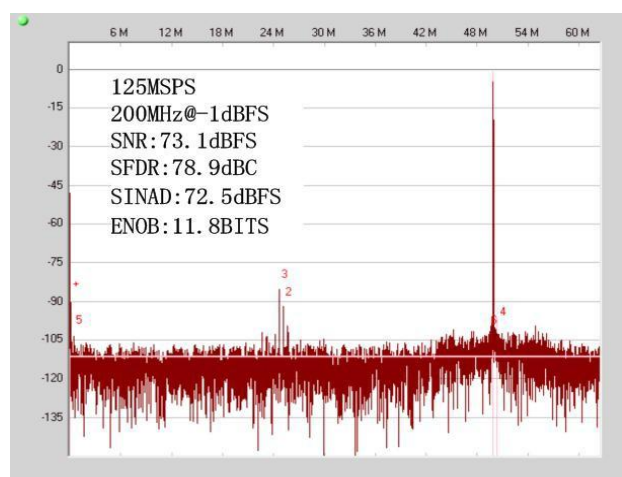


图 10. fin=200MHz 的单音 FFT

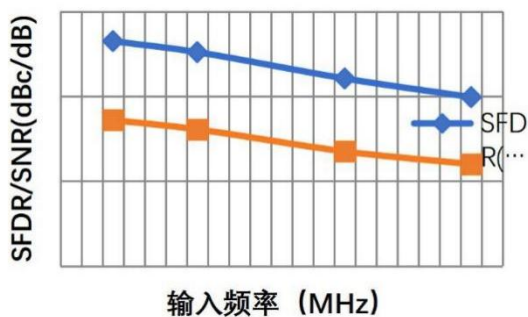


图 11. SFDR、SNR 与输入频率的关系

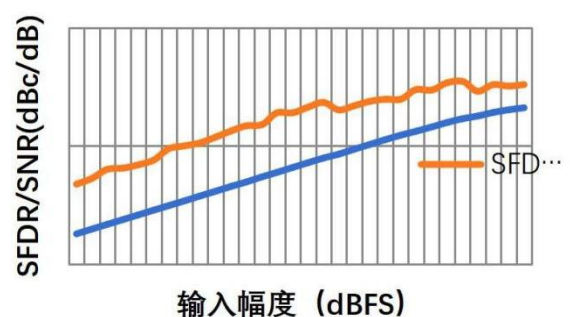


图 12. SFDR、SNR 与输入信号幅度的关系 (fin=70MHz, Dither Off)

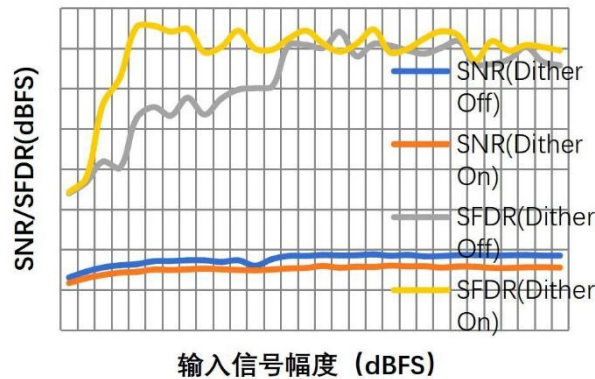


图 13. SFDR、SNR 与输入幅度的关系( $f_{in}=30.1\text{MHz}$ )

## 应用说明

### ● 输入共模

ADC 模拟输入端无内部直流偏置，在交流耦合应用中用户需提供外部偏置。偏置电压可以来自芯片自身的 VCM 引脚，也可以自主设置，只要满足  $V_{CM}=0.5 \times AV_{DD}$  (或  $0.9\text{V}$ )。通过 VCM 引脚提供模拟输入共模电压 (典型值为  $0.5 \times AV_{DD}$ ) 时，必须和一个  $0.1\mu\text{F}$  的到地电容连接 (图 13、图 14)，该电容同时起到稳定芯片内部电路和去耦的作用。如果是自主设置，也建议作同样处理。

### ● 差分输入配置

有两种输入配置：1. 使用的输入配置是差分变压器耦合，如图 13 的示例。为实现模拟输入偏置，须将 VCM 电压连接到至变压器次级绕组的中心抽头处。2. 使用的输入配置是差分双巴伦耦合，见图 14。在这种配置中，输入交流耦合，共模电平通过一个  $33\Omega$  电阻提供给各输入。这些电阻补偿输入巴伦的损耗，向驱动器提供  $50\Omega$  阻抗。表 8 列出了设置 RC 网络的建议值。

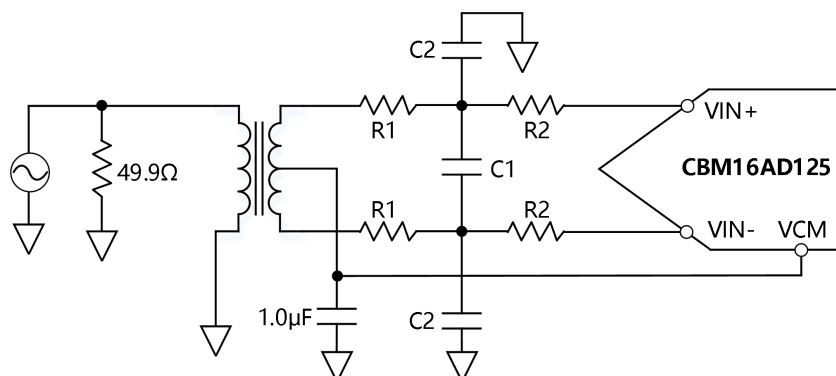


图 14. 差分变压器耦合输入配置

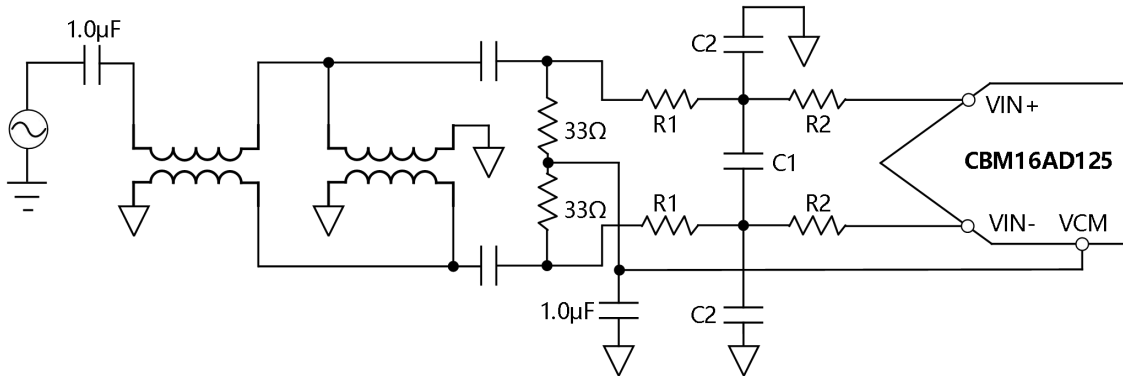


图 15. 差分双巴伦耦合输入配置

表 8. RC 网络示例

频率范围 (MHz)	串联电阻R1 (Ω)	差分电容C1 (pF)	串联电阻 R2 (Ω)	并联电容C2 (pF)
0 到 100	10~33	5	15	15
100 到 300	10	5	10	10

### ● 基准电压连接

CBM16AD125 基准电压的有多种配置模式(见表 10)。第一种模式：SENSE 引脚接地(图 15)，此时 VREF 为 1.0V(相当于 2.0Vp-p 满量程输入)。该条件下还可以通过 SPI 端口调整满量程值，如表 9 所示。第二种模式：芯片与一个外部电阻分压器相连如图 16，此时  $VREF=0.5*(1+R2/R1)$ 。通过调节 R2 和 R1 的比值可以改变 VREF，R2/R1 比值范围为 0.5~1。无论使用以上何种模式，ADC 的电压输入范围始终是基准电压引脚(VREF)电压的两倍。

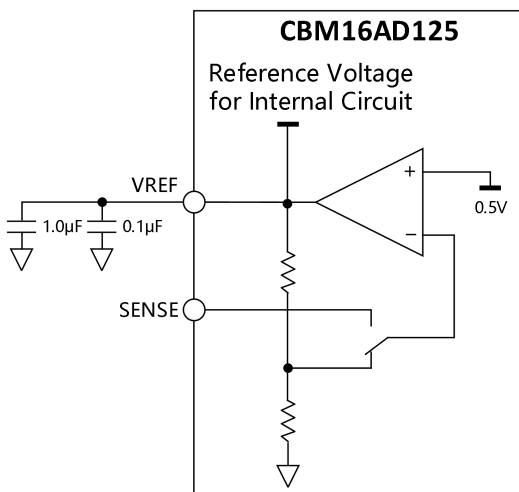


图 15. SENSE 引脚接地模式 (VREF 内部配置模式)

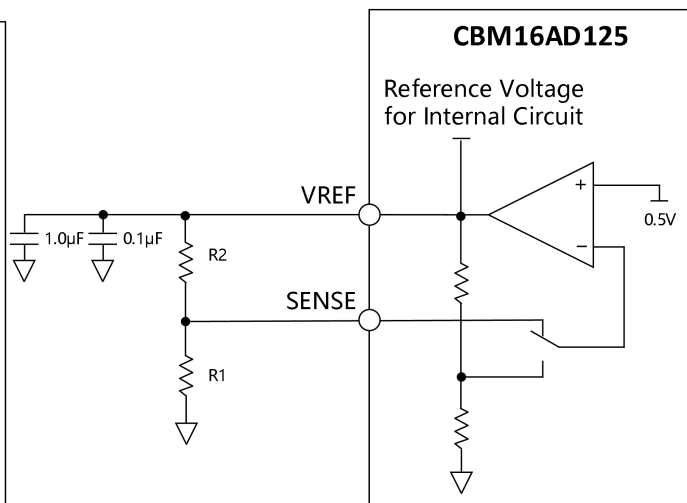


图 16. 外接电阻串模式 (VREF 外部配置模式)

表 9. VREF 寄存器配置

寄存器地址	寄存器名	Bit7	Bit6	Bit5~Bit0	默认值 (16进制)
0x18	VREF 选择	00 禁用, 01=1.5V p-p 10=1.75Vp-p, 11=2V p-p (默认)		禁用	0XC0

表 10. 基准电压配置总汇

所选模式	SENSE 电压	相应的 VREF (V)	相应的差分(Vp-p)范围
外部基准电压	AVDD	N/A	2*外部基准电压
可编程基准电压	0.2 到 VREF	$0.5 \cdot (1 + R2/R1)$	2*VREF
内部固定基准电压	AGND 到 0.2V	1.0	2.0

### ● 时钟输入

CMOS、LVDS、LVPECL 或正弦波信号均可作为 CBM16AD125 时钟输入信号。CLK+和 CLK-引脚有内部偏置, 无需外部偏置。图 17 和图 18 显示两种为 CBM16AD125 提供时钟信号的首选方案(时钟速率可达 625MHz)。利用射频巴伦或射频变压器, 可将低抖动时钟源的单端信号转换成差分信号。对于 625MHz 的时钟频率, 采用射频巴伦配置; 对于 10MHz 至 200MHz 的时钟频率, 采用射频变压器配置。跨接在变压器/巴伦次级上的背对背肖特基二极管可以将输入到 CBM16AD125 中的时钟信号限制为约差分 0.8V 峰峰值。

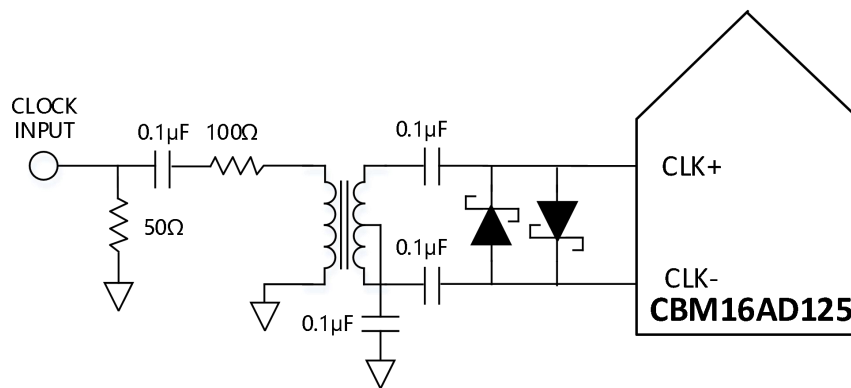


图 17. 变压器配置的时钟输入

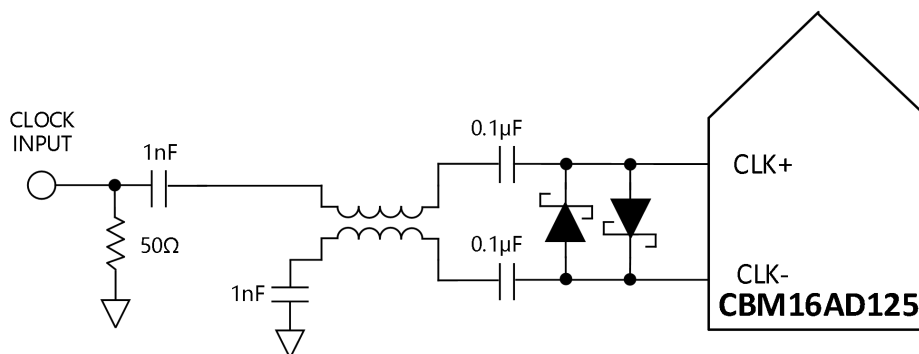


图 18. 巴伦配置的时钟

● 寄存器列表

地址	寄存器名称	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	默认值 (16进制)	读写属性
0x00	spi配置(全局)	0	LSB优先	禁用	1	1	禁用	LSB优先	0	0x18	R/W
0x01	芯片ID(全局)	8位芯片ID [7:0]								0x32	R
0x02	速度等级(全局)	禁用	禁用	速度等级 01-125MSPS 10-105MSPS 11-80MSPS	禁用	禁用	禁用	禁用	禁用	0x10	R
0x05	通道选择	禁用	禁用	禁用	禁用	禁用	禁用	通道B	通道A	0x03	R/W
0xFF	传输寄存器	禁用	禁用	禁用	禁用	禁用	禁用	禁用	1-传输开始	0x00	W
0x08	功耗模式 (局部)	1	禁用	设置芯片 PWD N 引脚功能: 0=掉电 1=待机	禁用	禁用	禁用	内部设置功耗模式: 00=正常工作 01=完全掉电 10=待机 11=正常工作		0x80	R/W
0x09	全局时钟 (全局)	禁用	禁用	禁用	禁用	禁用	禁用	禁用	时钟占空比稳定使能: 1=开 0=关	0x01	R/W
0x0B	时钟分频 (全局)	禁用	禁用	禁用	禁用	禁用	时钟分频比: 000=不分频 001=2分频 010=3分频 011=4分频 100=5分频 101=6分频 110=7分频 111=8分频			0x00	R/W
0x0D	测试模式 (局部)	禁用	禁用	复位 PN长序列	复位 PN短序列	禁用	输出测试模式设置: 000=关 001 = 中间电平短路 010=正向满幅信号输入 011=负向满幅信号输入 100 = 交替棋盘形式 101=P\长序列 110=P\短序列 111=0/1交替信号			0x00	R/W
0x0E	BIST使能 (全局)	禁用	禁用	禁用	禁用	禁用	复位BIST序列	禁用	BIST使能: 1=开 0=关	0x04	R/W
0x0F	ADC输入(全局)	禁用	禁用	禁用	禁用	禁用	禁用	禁用	共模伺服使能	0x00	R/W
0x10	失调调整(局部)	失调校准范围+127到-128LSB (二进制补码形式)								0x00	R/W

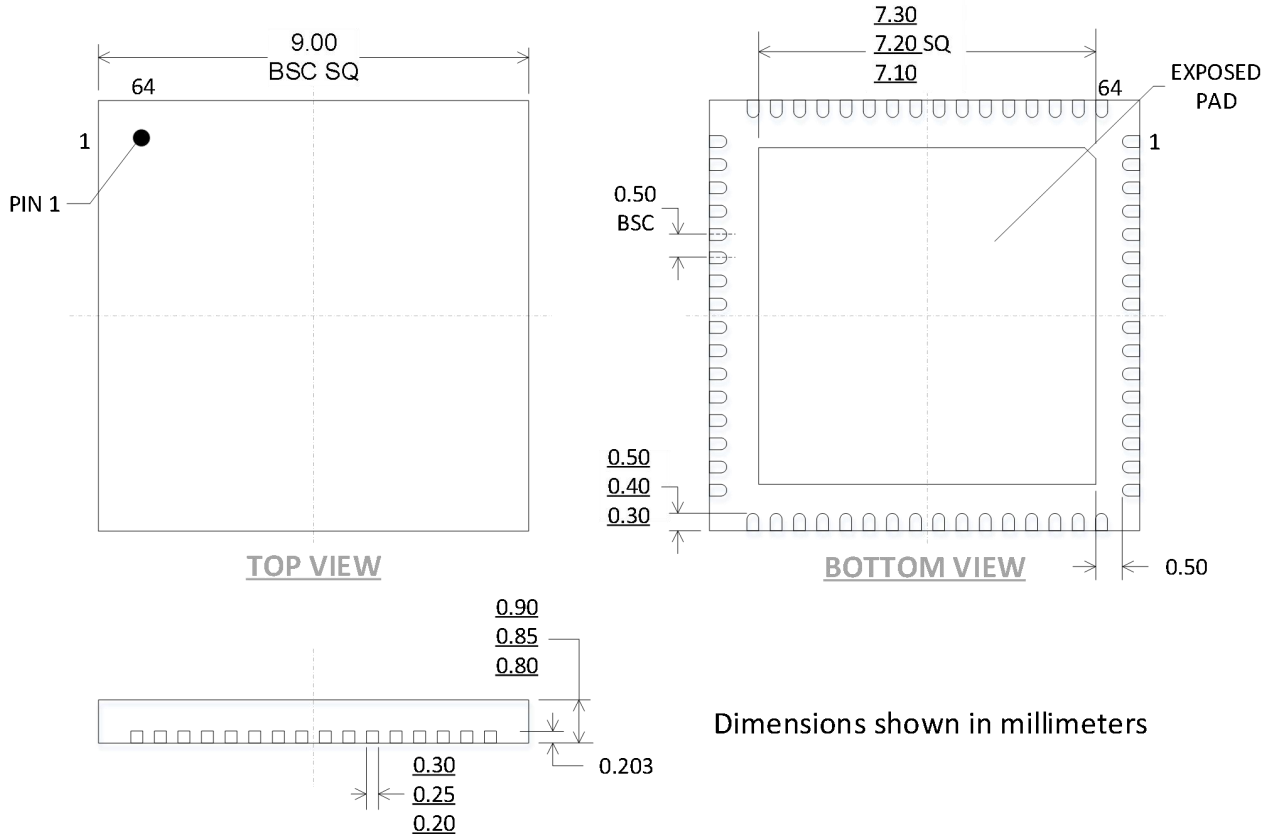


0x14	输出模式	驱动能力(全局): 1=ANSI LVDS 0=LVDS减小摆幅	输出类型(全局): 0=CMOS 1=LVDS	CMOS输出交错(全局)	输出使能(局部): 1=开 0=关	禁用	输出反向(局部): 1=开 0=关	输出比特格式(局部): 00=二进制 01=补码 10=格雷码 11= 偏移二进制(局部)	0x00	R/W	
0x16	时钟相位控制(全局)	DCO输入时钟反向: 1=开 0=关	禁用	禁用	禁用	禁用	时钟分频器相应调整参数: 000=无延时 001=1时钟周期 010=2时钟周期 011=3时钟周期 100=4时钟周期 101=5时钟周期 110=6时钟周期 111=7时钟周期	0x00	R/W		
0x17	DCO输出延时(全局)	禁用	禁用	禁用	DCO延时设置: 延时=2500ps*寄存器值/31 00000=0pS 00001=81pS 00010=161pS . . . 11111=2500pS				0x00	R/W	
0x18	VREF选择(全局)	参考电压设置 00=1.25Vpp 01=1.5Vpp 10=1.75Vpp 11=2.0Vpp		禁用	禁用	禁用	禁用	禁用	禁用	0xC0	R/W
0x24	BIST签名LSB(局部)	BIST签名[7:0]								0x00	R
0x25	BIST签名MSB(局部)	BIST签名[15:8]								0x00	R
0x30	Dither使能(局部)	禁用	禁用	禁用	Dither使能: 1=开 0=关	禁用	禁用	禁用	禁用	0x00	R/W
0x100	同步控制(全局)	禁用	禁用	禁用	禁用	禁用	单次/多次同步选择: 1=单次同步 0=连续同步	时钟分频器同步使能: 1=开 0=关	同步模块使能: 1=同步开 0=同步关	0x00	R/W
0xF5 <sup>1</sup>	修调										

<sup>1</sup>修调寄存器0xF5需要主动设置一次0x00



## 封装外形尺寸



## 包装/订购信息

产品名称	订单编码	温度范围	产品封装	运输及包装数量	包装标记
CBM16AD80Q		-40°C~85°C	QFN-64	Tray, 260	
CBM16AD105Q		-40°C~85°C	QFN-64	Tray, 260	
CBM16AD125Q		-40°C~85°C	QFN-64	Tray, 260	