

CLB2305: 3.3V 1分5零延迟时钟缓冲器

特性

- 10 MHz to 200 MHz 工作频率
- 0 延迟
- 1 输入 5 输出
- 3 ps 典型抖动 @120MHz
- 30 ps 典型 cycle-to-cycle 抖动 (15 pF, 66 MHz)
- 4 个低偏斜输出 (< 100 ps)
- 小型封装: 8-pin, 150 Mil SOIC 封装
- 3.3V 工作电压
- 低功耗: < 50 mA @ 120MHz
- -40°C to 110°C 工作温度

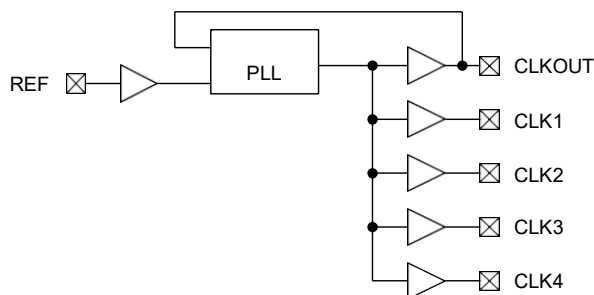
- 无输入则自动进入 power-down 模式以降低功耗

功能描述

CLB2305 是一个 3.3V 工作电压的 0 延迟时钟缓冲器。该缓冲器使用 8-pin 的超小型 SOIC 封装, 可以分配高达 200MHz 的时钟。该器件接受 1 个时钟输入参考, 输出 5 个低偏斜时钟。该器件拥有一个片上 PLL 可以锁定输入 PIN 脚 REF 传入的参考时钟, 该 PLL 使用片上反馈, 该反馈可以从输出脚 CLKOUT 获得。

当 REF PIN 脚检测不到上升沿时, CLB2305 自动进入 power-down 模式以降低功耗。在 power-down 模式下, 输出 pin 脚为三态 (three-stated), 并且片上 PLL 闭关。

CLB2305 功能示意图



目录

CLB2305: 3.3V 1分5零延迟时钟缓冲器.....	1
特性.....	1
功能描述.....	1
CLB2305 功能示意图.....	1
版本历史.....	3
管脚定义.....	4
零延迟和偏斜控制.....	4
绝对电气条件.....	4
工作环境	5
电气特性	5
开关特性	5
测试电路	6
封装描述	6
采购信息.....	7

版本历史

版本	时间	作者	更新描述
1.0	2020/12/19	胡康桥	初始化文档
1.1	2020/12/20	胡康桥 胡剑飞	更新封装信息 更新开关和电气特性
1.1	2020/12/27	胡康桥	中文文档初始化

管脚定义

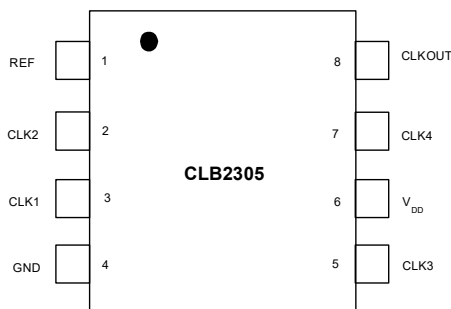


Figure 1 Pin Diagram – 8 Pin SOIC

Table 1 管脚描述 – 8 Pin SOIC

Pin	Signal	Description
1	REF	输入参考
2	CLK2	输出时钟
3	CLK1	输出时钟
4	GND	地
5	CLK3	输出时钟
6	VDD	3.3V 电源
7	CLK4	输出时钟
8	CLKOUT	输出时钟, 内部反馈通路

零延迟和偏斜控制

为了保证输入和输出之间的零延迟，所有输出 PIN 脚的负载必须一致。因为 CLKOUT 脚是内部反馈通路，所以该脚相对的负载可以用于调节输入和输出之间的延迟。

对于那些零延迟的应用，包括 CLKOUT 在内的所有输出 PIN 脚必须使用同样的负载。即使 CLKOUT 并不实际使用，该 PIN 脚也必须外接与其他输出 PIN 脚相同的容性负载以获取输出和输出之间的 0 延迟。

为了保证输出 PIN 脚之间的 0 偏斜，所有的输出 PIN 脚的负载必须一致。

绝对电气条件

Supply voltage to ground potential: -0.5V to 4.0V

贮存温度: -65°C to 150°C

DC input voltage (Except REF): -0.5V to V_{DD} + 0.5V

Junction 温度: 150°C

DC input voltage REF: -0.5V to V_{DD} + 0.5V

HBM ESD: > 2KV

工作环境

Table 2 工作环境

参数	描述	最小	最大	单位
V_{DD}	工作电压	3.0	3.6	V
T_A	工作温度(环境温度)	-40	110	°C
C_L	负载电容, <100 MHz		30	pF
C_L	负载电容, 100 MHz ~ 200 MHz		10	pF
C_{IN}	输入电容		7	pF
T_{PU}	启动时间	0.05	50	ms

电气特性

Table 3 电气特性

参数	描述	测试条件	最小	最大	单位
V_{IL}	输入低电压		-	0.8	V
V_{IH}	输入高电压		2.0	-	V
I_{IL}	输入低电流	$V_{IN} = 0\text{ V}$	-	50	μA
I_{IH}	输入高电流	$V_{IN} = V_{DD}$	-	100	μA
V_{OL}	输出低电压	$I_{OL} = 8\text{ mA} (-1)$ $I_{OH} = 12\text{ mA} (-1H)$	-	0.4	V
V_{OH}	输出高电压	$I_{OH} = -8\text{ mA} (-1)$ $I_{OL} = -12\text{ mA} (-1H)$	2.4	-	V
$I_{DD}(\text{PD mode})$	Power-down模式电流	REF = 0 MHz	-	10	μA
I_{DD}	工作电流	无负载输出@66.67 MHz, SEL inputs at VDD	-	25	mA

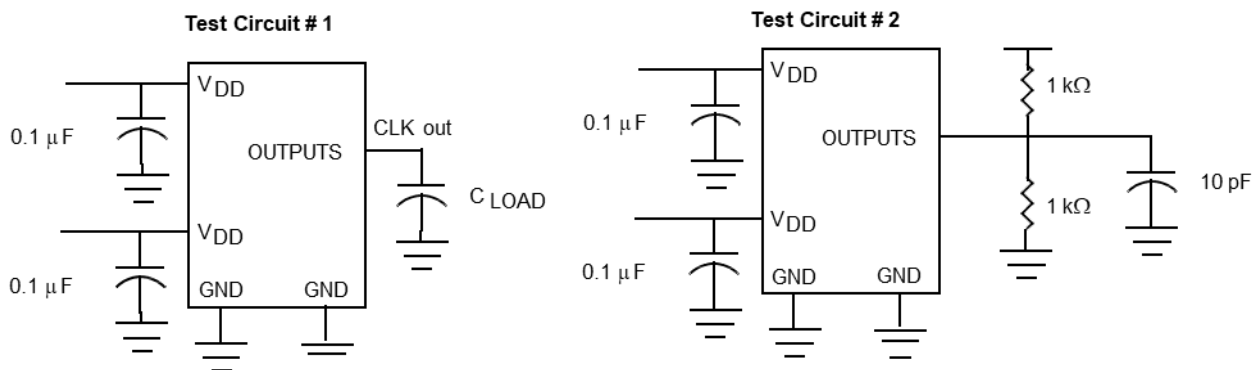
开关特性

Table 4 开关特性

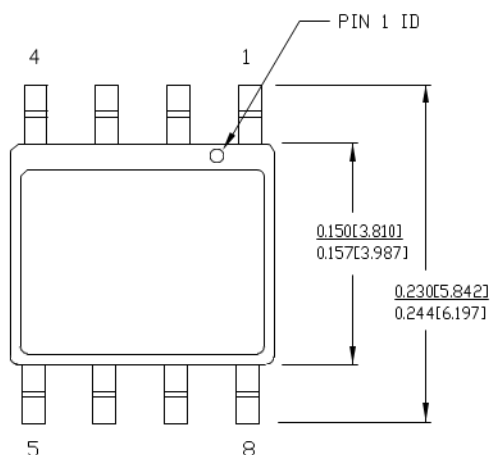
参数	描述	测试条件	最小	典型	最大	单位
t_1	输出频率	30 pF load 10 pF load	10 10	-	100 200	MHz MHz
t_{DC}	输出duty cycle ^[11] = $t_2 \div t_1$	Measured at vdd/2 V, $F_{out} > 50\text{ MHz}$ Measured at vdd/2 V, $F_{out} \leq 50\text{ MHz}$	40 45	50 50	60 55	% %
t_3	上升时间Rise time ^[11]	Measured between 0.8 V and 2.0 V	-	-	2.25	ns
t_4	下降时间Fall time ^[11]	Measured between 0.8 V and 2.0 V	-	-	2.25	ns
t_5	输出之间的偏斜Output-to-output skew ^[11]	All outputs equally loaded	-	-	200	ps
t_{6A}	延迟, 从REF上升沿到CLKOUT上升沿 ^[11]	Measured at $V_{DD}/2$	-	0	± 350	ps
t_{6B}	Delay, REF rising edge to CLKOUT rising edge ^[11]	Measured at $V_{DD}/2$. Measured in PLL Bypass mode, CY2309C device only.	1	5	8.7	ns
t_7	Device-to-device skew ^[11]	Measured at $V_{DD}/2$ on the CLKOUT pins	-	0	700	ps

t_j	Cycle-to-cycle jitter, peak ^[1]	Measured at 66.67 MHz, loaded outputs	-	30	100	ps
t_{Lock}	PLL 锁定时间。PLL lock time ^[1]	Stable power supply, valid clock presented on REF pin	-	-	1.0	ms

测试电路

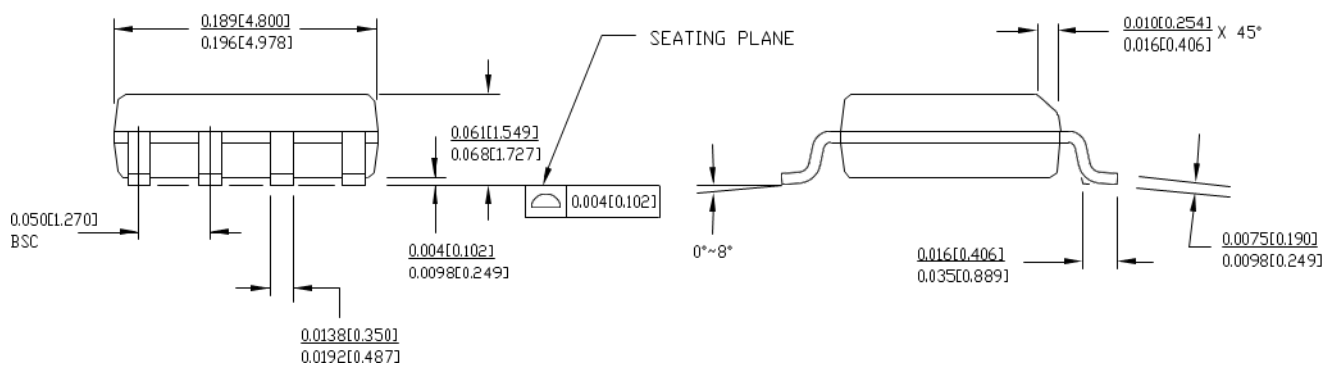


封装描述



1. DIMENSIONS IN INCHES[MM] MIN. MAX.
2. PIN 1 ID IS OPTIONAL, ROUND ON SINGLE LEADFRAME RECTANGULAR ON MATRIX LEADFRAME
3. REFERENCE JEDEC MS-012
4. PACKAGE WEIGHT 0.07gms

PART #	
S08.15	STANDARD PKG.
SZ08.15	LEAD FREE PKG.



采购信息

采购代码	封装形式	质量等级
CLB2305	8-pin 150 Mil SOIC – Tape and Reel	工业级