



复旦微电子

FMK50 系列SRAM 型 现场可编程门阵列

技术手册

2024. 08



资料、不得外传

本资料是为了让用户根据用途选择合适的上海复旦微电子集团股份有限公司（以下简称复旦微电子）的产品而提供的参考资料，不转让属于复旦微电子或者第三者所有的知识产权以及其他权利的许可。

在使用本资料所记载的信息最终做出有关信息和产品是否适用的判断前，请您务必将所有信息作为一个整体系统来进行评价。

采购方对于选择与使用本文描述的复旦微电子的产品和服务全权负责，复旦微电子不承担采购方选择与使用本文描述的产品和服务的责任。除非以书面形式明确地认可，复旦微电子的产品不推荐、不授权、不担保用于包括军事、航空、航天、救生及生命维持系统在内的，由于失效或故障可能导致人身伤亡、严重的财产或环境损失的产品或系统中。

未经复旦微电子的许可，不得翻印或者复制全部或部分本资料的内容。

今后日常的产品更新会在适当的时候发布，恕不另行通知。在购买本资料所记载的产品时，请预先向复旦微电子在当地的销售办事处确认最新信息，并请您通过各种方式关注复旦微电子公布的信息，包括复旦微电子的网站(<http://www.fmsh.com/>)。

如果您需要了解有关本资料所记载的信息或产品的详情，请与上海复旦微电子集团股份有限公司在当地的销售办事处联系。

商标

上海复旦微电子集团股份有限公司的公司名称、徽标以及“复旦”徽标均为上海复旦微电子集团股份有限公司及其分公司在中国的商标或注册商标。

上海复旦微电子集团股份有限公司在中国发布，版权所有。

章节列表

1	产品概述及应用范围	3
2	产品特点	3
2.1	产品功能	3
2.2	产品结构特点	5
2.3	质量等级	6
2.4	抗静电 ESD 能力	6
2.5	MSL 等级	7
2.6	器件重量	7
3	外形尺寸图	8
3.1	FMK50T4 外形及尺寸	8
3.2	FMK50T2 外形及尺寸	10
3.3	FMK50 外形及尺寸	12
4	引出端信息	14
4.1	引出端功能定义	14
4.2	引脚信息	16
4.2.1	FMK50T4 引脚信息	16
4.2.2	FMK50T2 引脚信息	25
4.2.3	FMK50 引脚信息	31
5	性能指标	38
5.1	器件工作条件	38
5.2	电参数	38
5.2.1	电特性参数	38
5.2.2	IO 电特性参数	39
5.2.3	UHST 电特性	44
5.2.4	PIN To PIN 开关参数	44
5.2.5	SYS_MON 性能参数	47
5.2.6	配置开关参数	48
5.2.7	UHST 开关特性	49
5.2.8	网络应用接口性能参数	54
5.2.9	存储接口性能参数	54
5.2.10	IOU PAD 输入/输出三态开关特性	54
5.2.11	输入输出逻辑开关特性	60
5.2.12	可配置逻辑模块(LB)特性	64
5.2.13	块 RAM(HRAM)与 FIFO 开关特性	66
5.2.14	CU 开关特性	68
5.2.15	时钟网络特性	70
5.2.16	时钟特性	74
5.3	器件特性曲线	74
5.3.1	负载电流与输出电压特性曲线	74
5.3.2	静态电流随温度变化特性曲线	76
5.3.3	动态功耗与温度、频率的特性曲线测试	78
5.3.4	AC 参数与温度的特性曲线测试	80
6	环境极限	85
7	应用要求和典型应用	86



7.1	应用要求.....	86
7.1.1	配置专用 IO PCB 信号设计推荐.....	86
7.1.2	高速收发器 UHST PCB 设计注意事项.....	90
7.1.3	DDR 控制器 PCB 设计注意事项.....	93
7.1.4	SYS_MON PCB 设计注意事项.....	97
7.1.5	未使用 IO BANK 接法推荐.....	99
7.1.6	其他注意事项.....	100
7.2	典型应用.....	102
8	包装、贮存和运输要求.....	102
8.1	包装.....	102
8.2	贮存要求.....	103
8.3	运输要求.....	104
9	推荐板级安装说明.....	105
10	常规故障及处理方法.....	105
11	注意事项.....	106
12	特殊说明.....	106
13	产品信息.....	106
13.1	产品鉴定信息.....	106
13.2	产品命名规则及标识.....	106
	版本信息.....	108
	上海复旦微电子集团股份有限公司销售及服务中心.....	109

1 产品概述及应用范围

FMK50 系列 FPGA 是复旦微电子在 28nm 工艺平台开发的高性能低功耗 FPGA 产品。FMK50 系列产品提供了可编程逻辑单元、数字信号处理单元、存储器单元、高速收发器以及强大的安全防护方案。面向 5G 通信、视频图像处理、工业控制、各类消费电子市场的需求，支持以下特征：

- LUT5 结构，支持进位链逻辑
- 可配置存储器
- 可配置 25 x 18 bit 乘法器，48bit 加法器
- 输入输出端口支持多种电平标准（1.2V、1.5V、1.8V、2.5V、3.3V），支持差分 LVDS
- 支持高速 DDR3 接口，可达 800Mbps
- 支持高速收发器 UHST，速率范围 0.5~12.5Gbps，支持 PCIE Gen1/Gen2
- 可靠的安全防护方案，可选择 SM4 和 AES 加密方式
- 支持片上电压和温度实时监测
- 支持不同封装形式的三款产品（FCFBGA484、FCFBGA324、FCFBGA236）

表 1 产品信息表

Device	Package	Size	Pitch	UHST channels	User IOs	BGA
FMK50T4	FCFBGA484	19mm x 19mm	0.8mm	4	250	SAC302
FMK50T2	FCFBGA236	10mm x 10mm	0.5mm	2	106	SACN305
FMK50	FCFBGA324	15mm x 15mm	0.8mm	-	210	SAC302

2 产品特点

2.1 产品功能

配置（CONFIG）

FMK50 系列产品支持 7 种外部及 1 种内部配置模式，分别为 Master Serial、Slave Serial、Master Parallel、Slave Parallel、Master SPI、Master BPI、JTAG 和 UAC 配置模式。外部配置模式通过模式选择引脚 CFG_T[2:0]来选择相应的配置模式，配置模式及引脚见表 2；内部配置模式通过 UAC 原

语来实现位流配置。

- ◆ JTAG 模式：支持 JTAG IEEE1149.1，并且拥有最高优先级；
- ◆ Master Parallel 模式：支持数据位宽 8bit 和 16bit；
- ◆ Slave Parallel 模式：支持数据位宽 8bit、16bit 和 32bit；
- ◆ Master SPI 模式：支持数据位宽 1bit、2bit 和 4bit；
- ◆ Master BPI 模式：支持数据位宽 8bit 和 16bit；
- ◆ UAC 模式：支持数据位宽 32bit；

此外，FMK50 系列产品还提供以下功能：

- ◆ 支持位流压缩配置；
- ◆ 可靠的安全方案，支持 AES/SM4 加密；
- ◆ 支持 fallback multiboot 功能，在配置失败后，FPGA 主动读取存储器件（FLASH/PROM）中其他区块存储的备份位流，或者由用户控制读取存储器件中任意位置存储的位流；
- ◆ 支持串行/并行菊花链配置。
- ◆ 支持 ECC 刷新或定时刷新的抗软错误机制

配置引脚分为专用配置管脚和可复用配置管脚两类，其中可复用配置管脚在配置过程中为配置引脚，配置完成后可复用为用户 IO。

表 2 引脚定义

配置引脚	类型	配置模式				
		Serial	Parallel	JTAG	SPI	BPI
CFG_V	专用	CFG_V	CFG_V	CFG_V	CFG_V	CFG_V
CFG_T[2:0]	专用	3'b000-master 3'b111-slave	3'b100-master 3'b110-slave	3'b101	3'b001	3'b010
TCK	专用	TCK	TCK	TCK	TCK	TCK
TMS	专用	TMS	TMS	TMS	TMSHIJ	TMS
TDI	专用	TDI	TDI	TDI	TDI	TDI
TDO	专用	TDO	TDO	TDO	TDO	TDO
CFG_ENB	专用	CFG_ENB	CFG_ENB	CFG_ENB	CFG_ENB	CFG_ENB
CFG_STA_B	专用	CFG_STA_B	CFG_STA_B	CFG_STA_B	CFG_STA_B	CFG_STA_B
CFG_DONE	专用	CFG_DONE	CFG_DONE	CFG_DONE	CFG_DONE	CFG_DONE
CFG_CLK	专用	CFG_CLK	CFG_CLK	CFG_CLK	CFG_CLK	CFG_CLK
PUDC_B	复用	PUDC_B	PUDC_B	PUDC_B	PUDC_B	PUDC_B
ECLK	复用	ECLK	ECLK	ECLK	ECLK	ECLK
CSIN_B	复用		CSIN_B			
CFGDO_CSON_B	复用	CFGDO	CSON_B		CFGDO (x1)	CSON_B
RDWR_B	复用		RDWR_B			
CS_B	复用				CS_B	CS_B

D00_MOSI	复用		D00		MOSI	D00
D01_DIN	复用	DIN	D01		DIN(x1)/D01(x2x4)	D01
D02	复用		D02		D02	D02
D03	复用		D03		D03(x4)	D03
D[7:4]	复用		D[7:4](x8)			D[7:4](x8)
D[15:8]	复用		D[15:8](x16)			D[15:8](x16)
A[15:0]_D[31:16]	复用		D[31:16](x32)			A[15:0]
A[28:16]	复用					A[28:16]
OE_B	复用					OE_B
WE_B	复用					WE_B
ADV_B	复用					ADV_B
RS0	复用	RS0	RS0	RS0		RS0
RS1	复用	RS1	RS1	RS1		RS1

FMK50 资源具体数量如下表所示。

表 3 FMK50 资源

资源	FMK50	FMK50T2	FMK50T4
逻辑单元, LB(Logic Block)	52K	52K	52K
计算单元, CU	120	120	120
高性能 RAM 模块, 36Kbit HRAM 数	2700Kb	2700Kb	2700Kb
时钟管理单元, CCMU	5	5	5
通用高速收发器, UHST	-	2	4
UHST Max Speed	-	12.5Gb/s	12.5Gb/s
DDR3	800 Mb/s	800 Mb/s	800 Mb/s
PCIe 2.1 硬核	-	1	1
User I/O	210	106	250
SYS_MON	1	1	1
工作温度范围℃	-40~100	-40~105	-40~100
I/O Voltage	1.2V 1.5 1.8V 2.5V 3.3V		
安全	支持 SM4 国密算法加密		

2.2 产品结构特点

器件采用 28nm、HighK metal gate CMOS 工艺设计。芯片凸点使用 solder bump 工艺。器件采用倒装焊，非气密性的封装工艺。器件潮湿敏感等级为 MSL3。芯片和基板间采用助焊剂进行倒装焊接。封装引脚材料参考表 1 里的焊球材料说明。

FMK50T4 封装结构主要包括散热片、芯片、填充胶、封装基板以及焊球，芯片背面和散热板

(铜镀镍) 间采用导热胶粘接固化, 器件侧视结构如图 1 所示。

FMK50T2、FMK50 装结构主要包括塑封料、芯片、填充胶、封装基板以及焊球, 器件侧视结构如图 2 所示

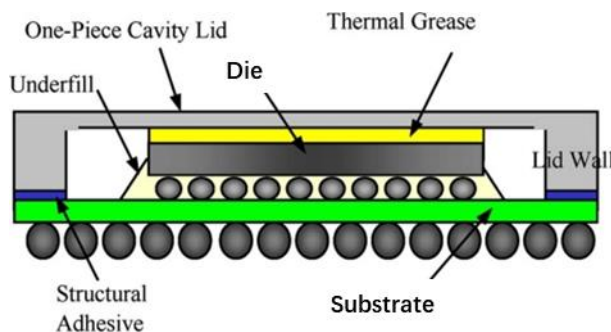


图 1 FMK50T4 器件侧视结构示意图

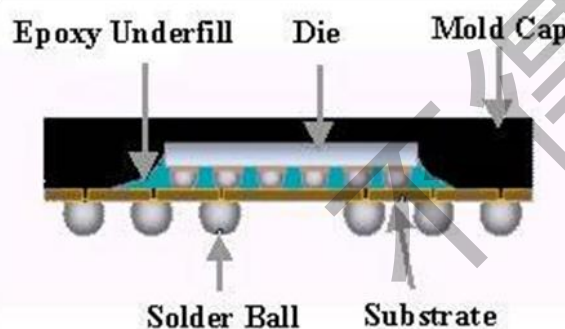


图 2 FMK50T2、FMK50 器件侧视结构示意图

2.3 质量等级

表 4 质量等级表

Device	质量等级	规范号	规范名称
FMK50T4	工业级	Q/YXSU 2002-2020	FMK50T4 型 SRAM 型现场可编程门阵列企业标准
FMK50T2	工业级	Q/YXSU 2028-2023	FMK50T2 型 SRAM 型现场可编程门阵列企业标准
FMK50	工业级	Q/YXSU 2003-2020	FMK50 型 SRAM 型现场可编程门阵列企业标准

2.4 抗静电 ESD 能力

ESD 等级为 1 级, HBM 不小于 1000V。

2.5 MSL 等级

根据 J-STD-020D 潮湿敏感器件分级标准要求，本产品湿度敏感等级为 3 级。

表 5 MSL 等级

MSL 等级	客户端车间寿命(Floor Life)	
	时间	环境
MSL3	168 小时	$\leq 30^{\circ}\text{C}/60\%\text{RH}$

1. MBB 袋打开以后，必须在规定的客户端车间寿命内进行回流焊接，返工，重新用 MBB 袋包装或放入干燥箱内，如果客户端车间寿命或环境超出规定，则需进行烘干处理。

2. 在干燥包装条件下，可贮存在常温常湿的环境中，在存贮环境为 $<40^{\circ}\text{C}/90\%\text{RH}$ 状态下，储存有效期为 12 个月。储存时间 12 个月均从包装之日算起，包装日期及储存期限标注于 MSL 警示标签上。

3. 湿敏器件干燥包装检验开袋后重置干燥包装；或者干燥包装存储超期；或者 MBB 袋破损，须根据 J-STD-020D 的相关规定进行处理。

特别注意：用户在使用产品过程中也要做好防潮措施。

2.6 器件重量

表 6 器件重量

Device	重量(g)
FMK50T4	2.3 ± 0.4
FMK50T2	0.22 ± 0.05
FMK50	0.8 ± 0.2

3 外形尺寸图

3.1 FMK50T4 外形及尺寸

FMK50T4 采用 484 引脚 Flip-Chip BGA（封装形式命名为 FCFBGA484）封装，外形尺寸见图 3。

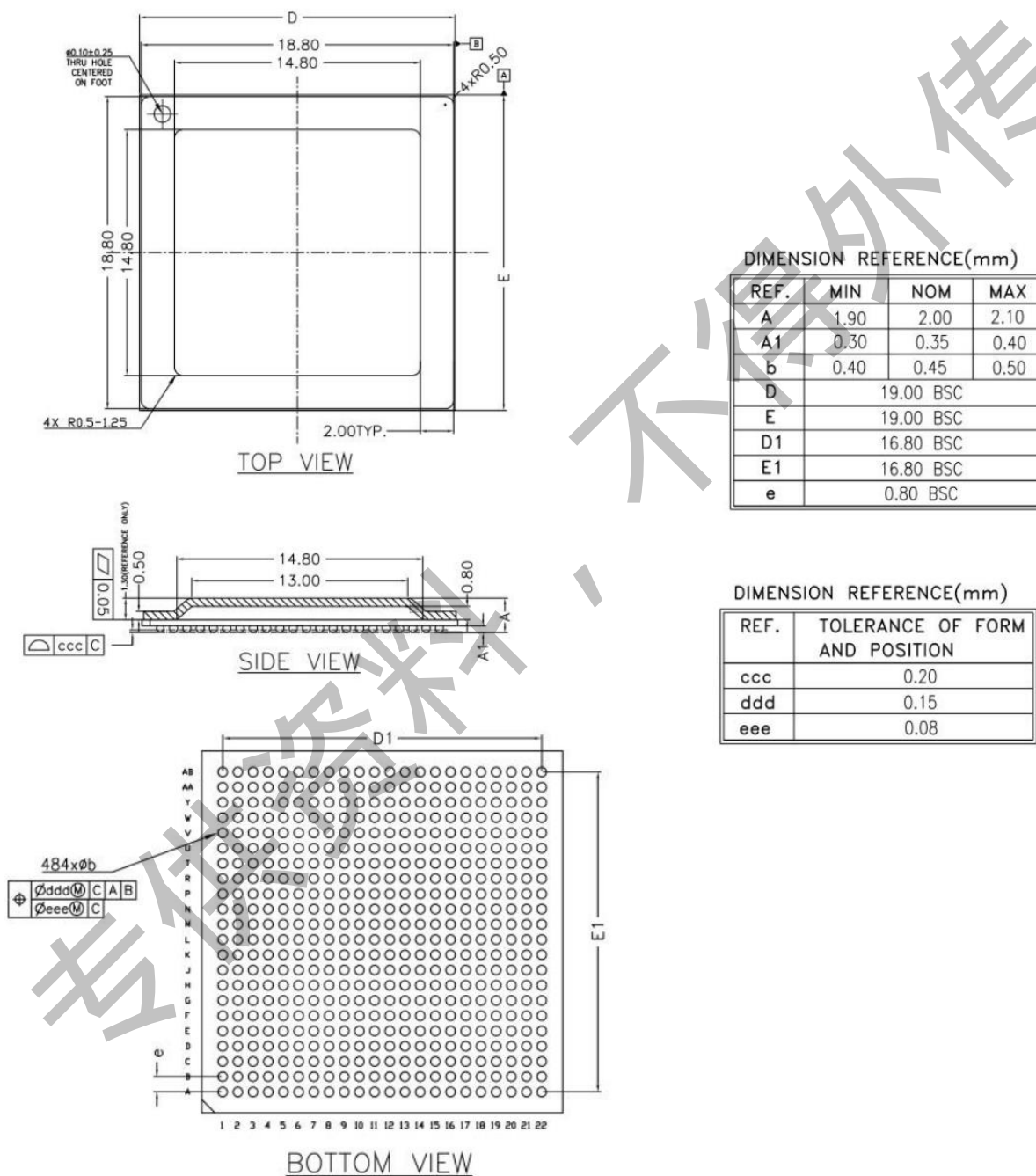


图 3 外形尺寸

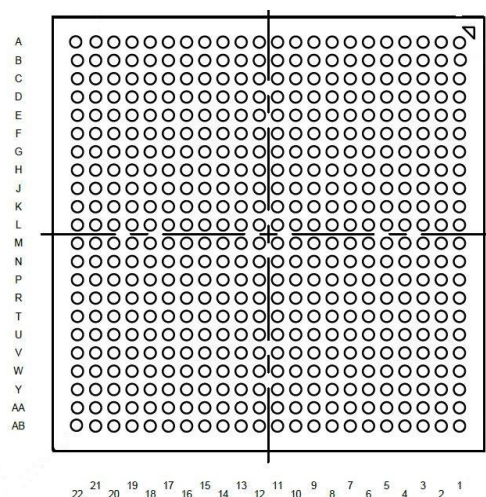


图 4 底视图

3.2 FMK50T2 外形及尺寸

FMK50T2 采用 238 引脚 Flip-Chip BGA（封装形式命名为 FCFBGA236）封装，外形尺寸见图 5。

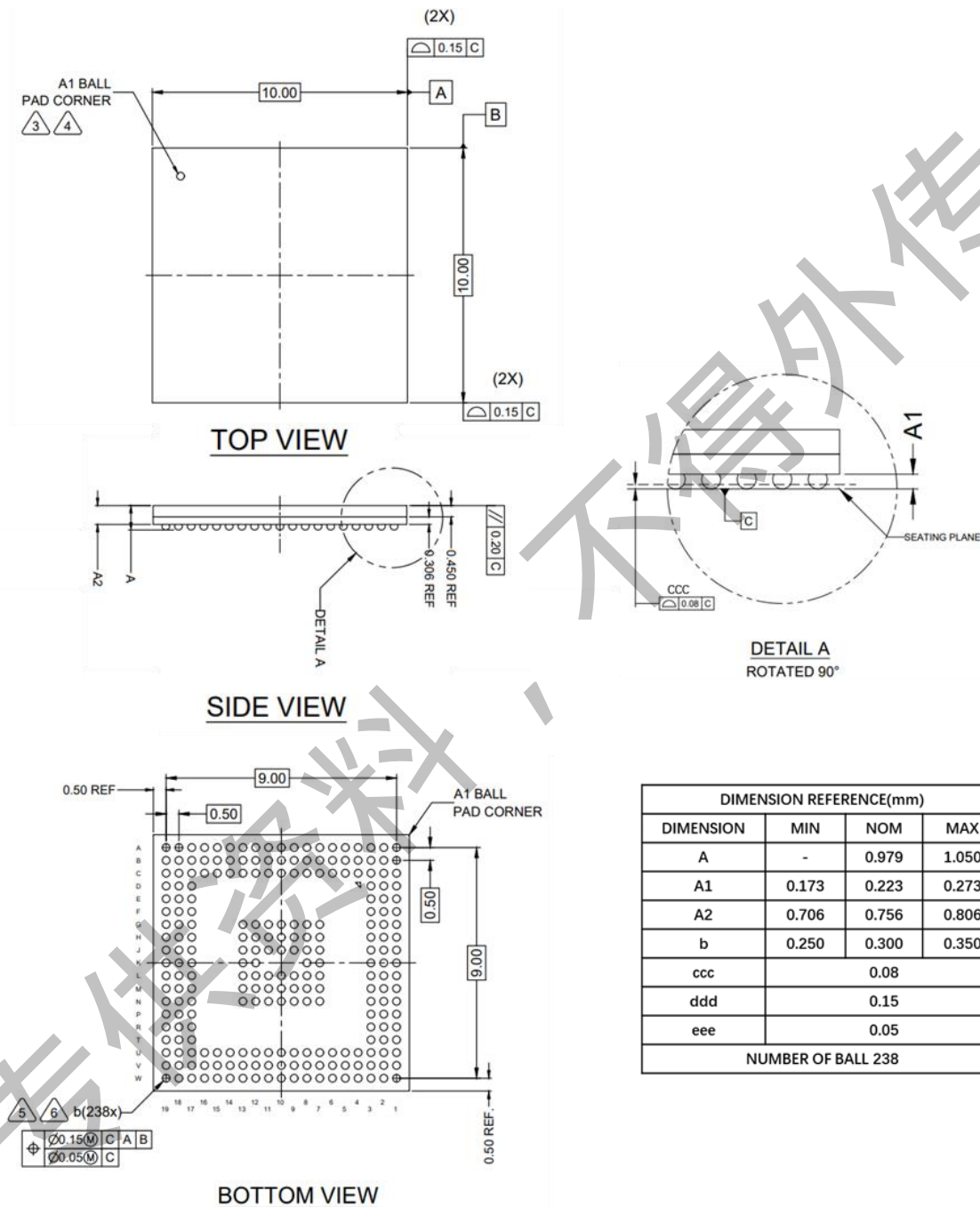


图 6 外形尺寸

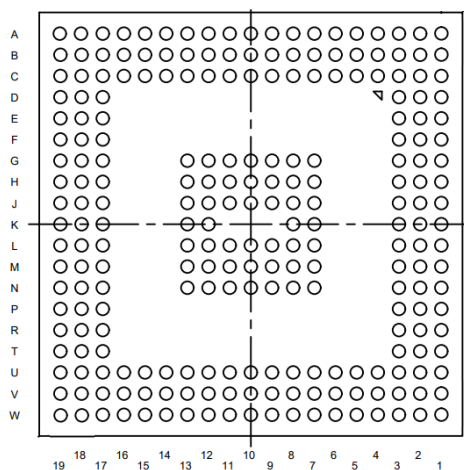


图 6 底视图

3.3 FMK50 外形及尺寸

FMK50 采用 324 引脚 Flip-Chip BGA（封装形式命名为 FCFBGA324）封装，外形尺寸见图 7。

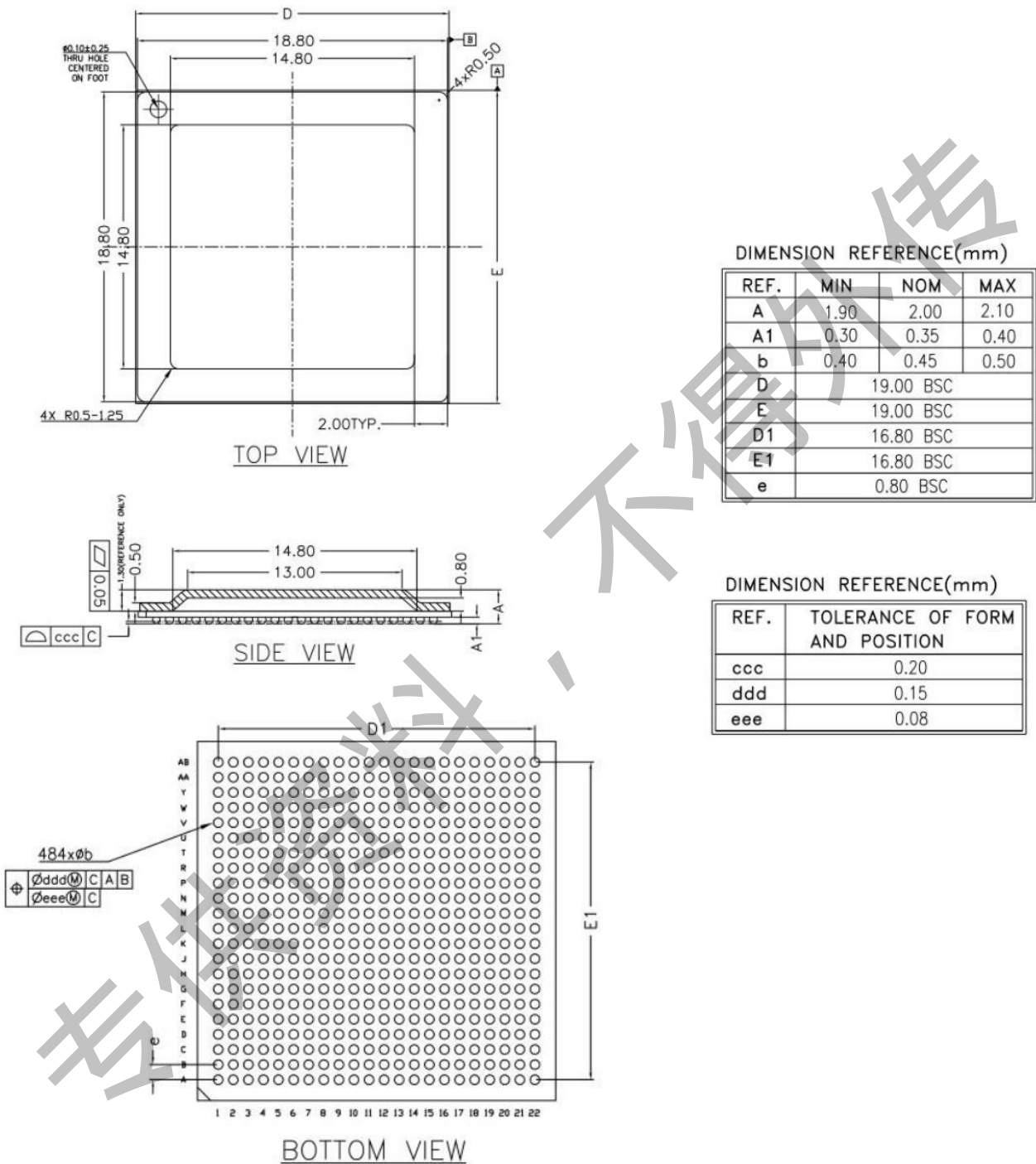


图 7 外形尺寸

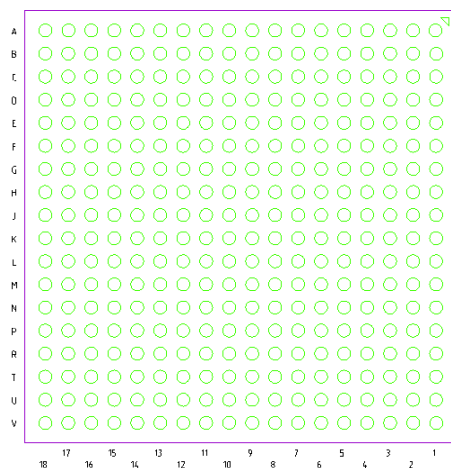


图 7 底视图

4 引出端信息

4.1 引出端功能定义

表 7 引出端功能定义

接口名称	功能描述
“U#_XXY” 或 “U#_SXX”	● #表示组(Bank)号; ● S 表示单端信号 ● XX 表示该信号在所在组(Bank)的编号。
多功能复用可配置管脚	
U#_XXY_ZZZ	“ZZZ”表示一种或多种功能。
电源	
GND	接地引脚
VCCCORE	1.0V 核电压
VCCSUP	1.8V 辅助电源
VCCHRAM	1.0V Block RAM 电源
F0_VCCP	BANK0 IO 电源
U1_VCCP	BANK1 IO 电源
U2_VCCP	BANK2 IO 电源
U3_VCCP	BANK3 IO 电源
U4_VCCP	BANK4 IO 电源
U5_VCCP	BANK5 IO 电源
VREF	输入管脚的参考电压阈值。 注：只有特殊电平标准时才使用该参考电压电压阈值；对于非特殊电平标准，只需使用相应 BANK 的 VCCP 即可。
SYS_MON 管脚	
F0_GNDADC	SYS_MON 的模拟地
F0_VCCADC	SYS_MON 的模拟电源
F0_VIN	SYS_MON 模拟输入，负端
F0_VIP	SYS_MON 模拟输入，正端
F0_VREFP	1.25V 参考输入
F0_VREFN	1.25V 参考地
AD0P-AD15P AD0N-AD15N	SYS_MON 差分输入
时钟	
MRC	全局时钟
SRC	局部时钟
高速 Serdes	
高速 Serdes 以 UHST#表示，其中 ● UHST1，表示高速 Serdes 最高速率达到 6.25Gbps ● UHST2，表示高速 Serdes 最高速率达到 12.5Gbps	

● UHST3, 表示高速 Serdes 最高速率达到 13.1Gbps ● UHST4, 表示高速 Serdes 最高速率达到 28.05Gbps	
UHSTREFCLK0/1P	UHST 差分时钟的正极
UHSTREFCLK0/1N	UHST 差分时钟的负极
UHST2RXP[0:3]	UHST2 差分接收端口正极
UHST2RXN[0:3]	UHST2 差分接收端口负极
UHST2TXP[0:3]	UHST2 差分发送端口正极
UHST2TXN[0:3]	UHST2 差分发送端口负极
其他	
G0, G1, G2, G3	Memory group
G0_DQS、G1_DQS、G2_DQS、G3_DQS	DDR DQS strobe 管脚
RS0, RS1	仅在启动 MultiBoot 时被驱动, 否则 RS0 和 RS1 为高阻态。使用 RS1, RS0 引脚进行配置时, 建议不要在用户模式下使用它们。

4.2 引脚信息

4.2.1 FMK50T4 引脚信息

表 8 FMK50T4 引脚说明

序列号	位置	Bank	信号名
1	M10	0	F0_VIN
2	M14	0	F0_VIP
3	T21	1	U1_S0
4	U22	1	U1_1P_G0_D00_MOSI
5	V22	1	U1_1N_G0_D01_DIN
6	V21	1	U1_2P_G0_D02
7	W21	1	U1_2N_G0_D03
8	Y22	1	U1_3P_G0_DQS_PUDC_B
9	AA22	1	U1_3N_G0_DQS_ECLK
10	T20	1	U1_4P_G0_D04
11	T19	1	U1_4N_G0_D05
12	U20	1	U1_5P_G0_D06
13	U19	1	U1_5N_G0_D07
14	V20	1	U1_6P_G0_CS_B
15	V19	1	U1_6N_G0_D08_VREF
16	Y20	1	U1_7P_G1_D09
17	W20	1	U1_7N_G1_D10
18	AA19	1	U1_8P_G1_D11
19	Y19	1	U1_8N_G1_D12
20	AA21	1	U1_9P_G1_DQS
21	AA20	1	U1_9N_G1_DQS_D13
22	AB19	1	U1_10P_G1_D14
23	AB18	1	U1_10N_G1_D15
24	AB21	1	U1_11P_G1_SRC
25	AB20	1	U1_11N_G1_SRC
26	AA18	1	U1_12P_G1_MRC
27	AA17	1	U1_12N_G1_MRC
28	W17	1	U1_13P_G2_MRC
29	Y18	1	U1_13N_G2_MRC
30	U18	1	U1_14P_G2_SRC
31	U17	1	U1_14N_G2_SRC
32	AA16	1	U1_15P_G2_DQS_RDWR_B
33	AB17	1	U1_15N_G2_DQS_CFGDO_CSON_B
34	V18	1	U1_16P_G2_CSIN_B
35	V17	1	U1_16N_G2_A15_D31
36	Y16	1	U1_17P_G2_A14_D30
37	AA15	1	U1_17N_G2_A13_D29
38	V16	1	U1_18P_G2_A12_D28
39	U16	1	U1_18N_G2_A11_D27
40	U15	1	U1_19P_G3_A10_D26
41	W15	1	U1_19N_G3_A09_D25_VREF
42	W16	1	U1_20P_G3_A08_D24
43	V15	1	U1_20N_G3_A07_D23
44	Y14	1	U1_21P_G3_DQS



序列号	位置	Bank	信号名
45	AA14	1	U1_21N_G3_DQS_A06_D22
46	V13	1	U1_22P_G3_A05_D21
47	W14	1	U1_22N_G3_A04_D20
48	AB14	1	U1_23P_G3_A03_D19
49	AB15	1	U1_23N_G3_A02_D18
50	AB13	1	U1_24P_G3_A01_D17
51	AA13	1	U1_24N_G3_A00_D16
52	W13	1	U1_S25
53	K16	2	U2_S0
54	J16	2	U2_1P_G0_AD0P
55	H16	2	U2_1N_G0_AD0N
56	J17	2	U2_2P_G0_AD8P
57	J18	2	U2_2N_G0_AD8N
58	H17	2	U2_3P_G0_DQS_AD1P
59	J19	2	U2_3N_G0_DQS_AD1N
60	H19	2	U2_4P_G0
61	H20	2	U2_4N_G0
62	K17	2	U2_5P_G0_AD9P
63	L17	2	U2_5N_G0_AD9N
64	G21	2	U2_6P_G0
65	G22	2	U2_6N_G0_VREF
66	G18	2	U2_7P_G1_AD2P
67	G19	2	U2_7N_G1_AD2N
68	J20	2	U2_8P_G1_AD10P
69	K19	2	U2_8N_G1_AD10N
70	K20	2	U2_9P_G1_DQS_AD3P
71	K21	2	U2_9N_G1_DQS_AD3N
72	L18	2	U2_10P_G1_AD11P
73	L19	2	U2_10N_G1_AD11N
74	L21	2	U2_11P_G1_SRC
75	L22	2	U2_11N_G1_SRC
76	L16	2	U2_12P_G1_MRC
77	M16	2	U2_12N_G1_MRC
78	H22	2	U2_13P_G2_MRC
79	H21	2	U2_13N_G2_MRC
80	M20	2	U2_14P_G2_SRC
81	M19	2	U2_14N_G2_SRC
82	K22	2	U2_15P_G2_DQS
83	J22	2	U2_15N_G2_DQS_ADV_B
84	R22	2	U2_16P_G2_A28
85	R21	2	U2_16N_G2_A27
86	N21	2	U2_17P_G2_A26
87	M21	2	U2_17N_G2_A25
88	R20	2	U2_18P_G2_A24
89	P20	2	U2_18N_G2_A23
90	P22	2	U2_19P_G3_A22
91	N22	2	U2_19N_G3_A21_VREF
92	M17	2	U2_20P_G3_A20
93	N17	2	U2_20N_G3_A19
94	P18	2	U2_21P_G3_DQS
95	P19	2	U2_21N_G3_DQS_A18



序列号	位置	Bank	信号名
96	N19	2	U2_22P_G3_A17
97	N18	2	U2_22N_G3_A16
98	R19	2	U2_23P_G3_OE_B
99	R18	2	U2_23N_G3_WE_B
100	P17	2	U2_24P_G3_RS1
101	P16	2	U2_24N_G3_RS0
102	T22	2	U2_S25
103	F15	3	U3_S0
104	F14	3	U3_1P_G0
105	F13	3	U3_1N_G0
106	E14	3	U3_2P_G0
107	E13	3	U3_2N_G0
108	D15	3	U3_3P_G0_DQS
109	D14	3	U3_3N_G0_DQS
110	C13	3	U3_4P_G0
111	B13	3	U3_4N_G0
112	B15	3	U3_5P_G0
113	B16	3	U3_5N_G0
114	A13	3	U3_6P_G0
115	A14	3	U3_6N_G0_VREF
116	A15	3	U3_7P_G1
117	A16	3	U3_7N_G1
118	C14	3	U3_8P_G1
119	C15	3	U3_8N_G1
120	D16	3	U3_9P_G1_DQS
121	E16	3	U3_9N_G1_DQS
122	E17	3	U3_10P_G1
123	F16	3	U3_10N_G1
124	B17	3	U3_11P_G1_SRC
125	B18	3	U3_11N_G1_SRC
126	C17	3	U3_12P_G1_MRC
127	D17	3	U3_12N_G1_MRC
128	A19	3	U3_13P_G2_MRC
129	A18	3	U3_13N_G2_MRC
130	G16	3	U3_14P_G2_SRC
131	G17	3	U3_14N_G2_SRC
132	C19	3	U3_15P_G2_DQS
133	C18	3	U3_15N_G2_DQS
134	D19	3	U3_16P_G2
135	E19	3	U3_16N_G2
136	B21	3	U3_17P_G2
137	A21	3	U3_17N_G2
138	A20	3	U3_18P_G2
139	B20	3	U3_18N_G2
140	F18	3	U3_19P_G3
141	E18	3	U3_19N_G3_VREF
142	B22	3	U3_20P_G3
143	C22	3	U3_20N_G3
144	D20	3	U3_21P_G3_DQS
145	C20	3	U3_21N_G3_DQS
146	D22	3	U3_22P_G3

序列号	位置	Bank	信号名
147	E22	3	U3_22N_G3
148	E21	3	U3_23P_G3
149	D21	3	U3_23N_G3
150	F19	3	U3_24P_G3
151	F20	3	U3_24N_G3
152	F21	3	U3_S25
153	T3	4	U4_S0
154	R2	4	U4_1P_G0
155	R3	4	U4_1N_G0
156	U2	4	U4_2P_G0
157	V2	4	U4_2N_G0
158	T1	4	U4_3P_G0_DQS
159	U1	4	U4_3N_G0_DQS
160	W2	4	U4_4P_G0
161	Y2	4	U4_4N_G0
162	W1	4	U4_5P_G0
163	Y1	4	U4_5N_G0
164	T4	4	U4_6P_G0
165	R4	4	U4_6N_G0_VREF
166	AA1	4	U4_7P_G1
167	AB1	4	U4_7N_G1
168	U3	4	U4_8P_G1
169	V3	4	U4_8N_G1
170	T5	4	U4_9P_G1_DQS
171	U5	4	U4_9N_G1_DQS
172	AB2	4	U4_10P_G1
173	AB3	4	U4_10N_G1
174	Y3	4	U4_11P_G1_SRC
175	AA3	4	U4_11N_G1_SRC
176	V4	4	U4_12P_G1_MRC
177	W4	4	U4_12N_G1_MRC
178	AA5	4	U4_13P_G2_MRC
179	AB5	4	U4_13N_G2_MRC
180	V5	4	U4_14P_G2_SRC
181	U6	4	U4_14N_G2_SRC
182	T6	4	U4_15P_G2_DQS
183	R6	4	U4_15N_G2_DQS
184	Y4	4	U4_16P_G2
185	AA4	4	U4_16N_G2
186	W6	4	U4_17P_G2
187	W5	4	U4_17N_G2
188	Y6	4	U4_18P_G2
189	AA6	4	U4_18N_G2
190	V7	4	U4_19P_G3
191	W7	4	U4_19N_G3_VREF
192	AB6	4	U4_20P_G3
193	AB7	4	U4_20N_G3
194	V9	4	U4_21P_G3_DQS
195	V8	4	U4_21N_G3_DQS
196	AB8	4	U4_22P_G3
197	AA8	4	U4_22N_G3

序列号	位置	Bank	信号名
198	Y8	4	U4_23P_G3
199	Y7	4	U4_23N_G3
200	W9	4	U4_24P_G3
201	Y9	4	U4_24N_G3
202	U7	4	U4_S25
203	F4	5	U5_S0
204	J6	5	U5_1P_G0
205	K6	5	U5_1N_G0
206	H4	5	U5_2P_G0
207	G4	5	U5_2N_G0
208	H5	5	U5_3P_G0_DQS
209	J5	5	U5_3N_G0_DQS
210	E3	5	U5_4P_G0
211	F3	5	U5_4N_G0
212	G3	5	U5_5P_G0
213	H3	5	U5_5N_G0
214	B2	5	U5_6P_G0
215	C2	5	U5_6N_G0_VREF
216	D1	5	U5_7P_G1
217	E1	5	U5_7N_G1
218	D2	5	U5_8P_G1
219	E2	5	U5_8N_G1
220	B1	5	U5_9P_G1_DQS
221	A1	5	U5_9N_G1_DQS
222	K4	5	U5_10P_G1
223	J4	5	U5_10N_G1
224	K3	5	U5_11P_G1_SRC
225	L3	5	U5_11N_G1_SRC
226	H2	5	U5_12P_G1_MRC
227	G2	5	U5_12N_G1_MRC
228	L4	5	U5_13P_G2_MRC
229	L5	5	U5_13N_G2_MRC
230	J1	5	U5_14P_G2_SRC
231	K1	5	U5_14N_G2_SRC
232	K2	5	U5_15P_G2_DQS
233	J2	5	U5_15N_G2_DQS
234	L1	5	U5_16P_G2
235	M1	5	U5_16N_G2
236	F1	5	U5_17P_G2
237	G1	5	U5_17N_G2
238	M6	5	U5_18P_G2
239	M5	5	U5_18N_G2
240	M2	5	U5_19P_G3
241	M3	5	U5_19N_G3_VREF
242	N2	5	U5_20P_G3
243	P2	5	U5_20N_G3
244	N4	5	U5_21P_G3_DQS
245	N3	5	U5_21N_G3_DQS
246	N5	5	U5_22P_G3
247	P6	5	U5_22N_G3
248	R1	5	U5_23P_G3



序列号	位置	Bank	信号名
249	P1	5	U5_23N_G3
250	P4	5	U5_24P_G3
251	P5	5	U5_24N_G3
252	L6	5	U5_S25
253	F6	101	U101_UHSTREFCLK0N
254	E6	101	U101_UHSTREFCLK0P
255	C11	101	U101_UHST2RXP1
256	A10	101	U101_UHST2RXP2
257	D9	101	U101_UHST2RXP3
258	A8	101	U101_UHST2RXN0
259	C7	101	U101_UHST2TXP3
260	A6	101	U101_UHST2TXP2
261	E10	101	U101_UHSTREFCLK1P
262	F10	101	U101_UHSTREFCLK1N
263	D11	101	U101_UHST2RXN1
264	B10	101	U101_UHST2RXN2
265	C9	101	U101_UHST2RXN3
266	B8	101	U101_UHST2RXP0
267	D7	101	U101_UHST2TXN3
268	B6	101	U101_UHST2TXN2
269	C5	101	U101_UHST2TXP1
270	D5	101	U101_UHST2TXN1
271	A4	101	U101_UHST2TXP0
272	B4	101	U101_UHST2TXN0
273	R13	0	F0_CFG_DONE
274	K14	0	NC
275	L13	0	F0_GNDADC
276	K11	0	F0_VCCADC
277	L14	0	F0_VREFP
278	M13	0	F0_VCCBAT
279	N13	0	F0_TCK
280	J14	0	NC
281	L10	0	F0_VREFN
282	N14	0	F0_CFG_CLK
283	U14	0	F0_CFG_T0
284	T13	0	F0_CFG_T1
285	P11	0	F0_CFG_STA_B
286	P13	0	F0_TDI
287	P14	0	F0_TDO
288	U11	0	F0_CFG_T2
289	R11	0	F0_CFG_V
290	T14	0	F0_CFG_ENB
291	N10	0	F0_TMS
292	F8	101	U101_UHSTREF
293	D6	N/A	UHSTVCC
294	D10	N/A	UHSTVCC
295	F7	N/A	UHSTVCC
296	F9	N/A	UHSTVCC
297	E8	N/A	UHSTVCC
298	B5	N/A	UHSTVTT
299	B7	N/A	UHSTVTT



序列号	位置	Bank	信号名
300	B9	N/A	UHSTVTT
301	B11	N/A	UHSTVTT
302	C4	N/A	UHSTVTT
303	C8	N/A	UHSTVTT
304	D8	N/A	GND
305	A2	N/A	GND
306	A3	N/A	GND
307	A5	N/A	GND
308	A7	N/A	GND
309	A9	N/A	GND
310	A11	N/A	GND
311	A12	N/A	GND
312	A22	N/A	GND
313	AA2	N/A	GND
314	AA12	N/A	GND
315	F12	N/A	GND
316	AB9	N/A	GND
317	J21	N/A	GND
318	B3	N/A	GND
319	B12	N/A	GND
320	B19	N/A	GND
321	C3	N/A	GND
322	C6	N/A	GND
323	C10	N/A	GND
324	C12	N/A	GND
325	C16	N/A	GND
326	D3	N/A	GND
327	D4	N/A	GND
328	D12	N/A	GND
329	D13	N/A	GND
330	E4	N/A	GND
331	E5	N/A	GND
332	E7	N/A	GND
333	E9	N/A	GND
334	E11	N/A	GND
335	E20	N/A	GND
336	F5	N/A	GND
337	F11	N/A	GND
338	F17	N/A	GND
339	G5	N/A	GND
340	G6	N/A	GND
341	G7	N/A	GND
342	G8	N/A	GND
343	G9	N/A	GND
344	G10	N/A	GND
345	G12	N/A	GND
346	G15	N/A	GND
347	H1	N/A	GND
348	H7	N/A	GND
349	H9	N/A	GND
350	H11	N/A	GND



序号号	位置	Bank	信号名
351	K13	N/A	GND
352	K18	N/A	GND
353	M15	N/A	GND
354	J12	N/A	GND
355	M22	N/A	GND
356	K5	N/A	GND
357	K7	N/A	GND
358	N12	N/A	GND
359	K15	N/A	GND
360	L2	N/A	GND
361	L8	N/A	GND
362	N20	N/A	GND
363	M7	N/A	GND
364	M11	N/A	GND
365	R14	N/A	GND
366	N6	N/A	GND
367	N8	N/A	GND
368	N16	N/A	GND
369	P3	N/A	GND
370	P7	N/A	GND
371	P9	N/A	GND
372	T11	N/A	GND
373	T17	N/A	GND
374	R8	N/A	GND
375	R10	N/A	GND
376	U4	N/A	GND
377	U8	N/A	GND
378	U10	N/A	GND
379	U21	N/A	GND
380	Y13	N/A	GND
381	Y21	N/A	GND
382	AB16	N/A	GND
383	AB22	N/A	GND
384	V1	N/A	GND
385	V11	N/A	GND
386	E12	N/A	GND
387	W8	N/A	GND
388	W18	N/A	GND
389	Y5	N/A	GND
390	Y15	N/A	GND
391	L9	N/A	VCCCORE
392	M9	N/A	VCCCORE
393	J7	N/A	VCCCORE
394	N9	N/A	VCCCORE
395	K8	N/A	VCCCORE
396	L7	N/A	VCCCORE
397	M8	N/A	VCCCORE
398	N7	N/A	VCCCORE
399	P8	N/A	VCCCORE
400	P10	N/A	VCCCORE
401	R7	N/A	VCCCORE

序列号	位置	Bank	信号名
402	R9	N/A	VCCCORE
403	T8	N/A	VCCCORE
404	T10	N/A	VCCCORE
405	H12	N/A	VCCSUP
406	K12	N/A	VCCSUP
407	M12	N/A	VCCSUP
408	P12	N/A	VCCSUP
409	T12	N/A	VCCSUP
410	R12	0	F0_VCCP
411	U13	0	F0_VCCP
412	T15	1	U1_VCCP
413	Y17	1	U1_VCCP
414	T18	1	U1_VCCP
415	W19	1	U1_VCCP
416	W22	1	U1_VCCP
417	V14	1	U1_VCCP
418	N15	2	U2_VCCP
419	P21	2	U2_VCCP
420	M18	2	U2_VCCP
421	G20	2	U2_VCCP
422	H18	2	U2_VCCP
423	L20	2	U2_VCCP
424	F22	3	U3_VCCP
425	E15	3	U3_VCCP
426	D18	3	U3_VCCP
427	C21	3	U3_VCCP
428	B14	3	U3_VCCP
429	A17	3	U3_VCCP
430	R5	4	U4_VCCP
431	T2	4	U4_VCCP
432	V6	4	U4_VCCP
433	W3	4	U4_VCCP
434	AA7	4	U4_VCCP
435	AB4	4	U4_VCCP
436	C1	5	U5_VCCP
437	F2	5	U5_VCCP
438	H6	5	U5_VCCP
439	J3	5	U5_VCCP
440	M4	5	U5_VCCP
441	N1	5	U5_VCCP
442	J11	N/A	VCCHRAM
443	L11	N/A	VCCHRAM
444	N11	N/A	VCCHRAM
445	T7	N/A	NC
446	H8	N/A	NC
447	J8	N/A	NC
448	J9	N/A	NC
449	K9	N/A	NC
450	T9	N/A	NC
451	U9	N/A	NC
452	AA9	N/A	NC

序列号	位置	Bank	信号名
453	H10	N/A	NC
454	J10	N/A	NC
455	K10	N/A	NC
456	V10	N/A	NC
457	W10	N/A	NC
458	Y10	N/A	NC
459	AA10	N/A	NC
460	AB10	N/A	NC
461	G11	N/A	NC
462	W11	N/A	NC
463	Y11	N/A	NC
464	AA11	N/A	NC
465	AB11	N/A	NC
466	L12	N/A	NC
467	U12	N/A	NC
468	V12	N/A	NC
469	W12	N/A	NC
470	Y12	N/A	NC
471	AB12	N/A	NC
472	G13	N/A	NC
474	H13	N/A	NC
474	J13	N/A	NC
475	G14	N/A	NC
476	H14	N/A	NC
477	H15	N/A	NC
478	J15	N/A	NC
479	L15	N/A	NC
480	P15	N/A	NC
481	R15	N/A	NC
482	R16	N/A	NC
483	T16	N/A	NC
484	R17	N/A	NC

4.2.2 FMK50T2 引脚信息

表 9 FMK50T2 引脚说明

序列号	位置	Bank	信号名
1	B13	0	F0_VIN
2	A12	0	F0_VIP
3	D17	1	U1_S0
4	D18	1	U1_1P_G0_D00_MOSI
5	D19	1	U1_1N_G0_D01_DIN
6	G18	1	U1_2P_G0_D02
7	F18	1	U1_2N_G0_D03
8	E18	1	U1_3P_G0_DQS_PUDC_B
9	E19	1	U1_3N_G0_DQS_ECLK
10	H19	1	U1_4P_G0_D04
11	G19	1	U1_4N_G0_D05

序列号	位置	Bank	信号名
12	H17	1	U1_5P_G0_D06
13	G17	1	U1_5N_G0_D07
14	K19	1	U1_6P_G0_CS_B
15	J19	1	U1_6N_G0_D08_VREF
16	J17	1	U1_7P_G1_D09
17	J18	1	U1_7N_G1_D10
18	L18	1	U1_8P_G1_D11
19	K18	1	U1_8N_G1_D12
20	N18	1	U1_9P_G1_DQS
21	N19	1	U1_9N_G1_DQS_D13
22	P19	1	U1_10P_G1_D14
23	R19	1	U1_10N_G1_D15
24	M18	1	U1_11P_G1_SRC
25	M19	1	U1_11N_G1_SRC
26	L17	1	U1_12P_G1_MRC
27	K17	1	U1_12N_G1_MRC
28	N17	1	U1_13P_G2_MRC
29	P17	1	U1_13N_G2_MRC
30	P18	1	U1_14P_G2_SRC
31	R18	1	U1_14N_G2_SRC
32	U19	1	U1_15P_G2_DQS_RDWR_B
33	V19	1	U1_15N_G2_DQS_CFGDO_CSON_B
34	W18	1	U1_16P_G2_CSIN_B
35	W19	1	U1_16N_G2_A15_D31
36	T17	1	U1_17P_G2_A14_D30
37	T18	1	U1_17N_G2_A13_D29
38	U17	1	U1_18P_G2_A12_D28
39	U18	1	U1_18N_G2_A11_D27
40	V16	1	U1_19P_G3_A10_D26
41	V17	1	U1_19N_G3_A09_D25_VREF
42	W16	1	U1_20P_G3_A08_D24
43	W17	1	U1_20N_G3_A07_D23
44	V15	1	U1_21P_G3_DQS
45	W15	1	U1_21N_G3_DQS_A06_D22
46	W13	1	U1_22P_G3_A05_D21
47	W14	1	U1_22N_G3_A04_D20
48	U15	1	U1_23P_G3_A03_D19
49	U16	1	U1_23N_G3_A02_D18
50	V13	1	U1_24P_G3_A01_D17
51	V14	1	U1_24N_G3_A00_D16
52	U14	1	U1_S25
53	A14	3	U3_6P_G0
54	A15	3	U3_6N_G0_VREF
55	C15	3	U3_11P_G1_SRC

序列号	位置	Bank	信号名
56	B15	3	U3_11N_G1_SRC
57	A16	3	U3_12P_G1_MRC
58	A17	3	U3_12N_G1_MRC
59	C16	3	U3_13P_G2_MRC
60	B16	3	U3_13N_G2_MRC
61	C17	3	U3_14P_G2_SRC
62	B17	3	U3_14N_G2_SRC
63	B18	3	U3_19P_G3
64	A18	3	U3_19N_G3_VREF
65	R2	4	U4_1P_G0
66	T2	4	U4_1N_G0
67	R3	4	U4_2P_G0
68	T3	4	U4_2N_G0
69	T1	4	U4_3P_G0_DQS
70	U1	4	U4_3N_G0_DQS
71	V2	4	U4_5P_G0
72	W2	4	U4_5N_G0
73	V3	4	U4_6P_G0
74	W3	4	U4_6N_G0_VREF
75	U3	4	U4_9P_G1_DQS
76	U2	4	U4_9N_G1_DQS
77	U4	4	U4_11P_G1_SRC
78	V4	4	U4_11N_G1_SRC
79	W5	4	U4_12P_G1_MRC
80	W4	4	U4_12N_G1_MRC
81	W7	4	U4_13P_G2_MRC
82	W6	4	U4_13N_G2_MRC
83	U8	4	U4_14P_G2_SRC
84	V8	4	U4_14N_G2_SRC
85	U5	4	U4_16P_G2
86	V5	4	U4_16N_G2
87	U7	4	U4_19P_G3
88	V7	4	U4_19N_G3_VREF
89	G3	5	U5_1P_G0_AD4P
90	G2	5	U5_1N_G0_AD4N
91	H2	5	U5_2P_G0_AD12P
92	J2	5	U5_2N_G0_AD12N
93	H1	5	U5_3P_G0_DQS_AD5P
94	J1	5	U5_3N_G0_DQS_AD5N
95	K2	5	U5_5P_G0_AD13P
96	L2	5	U5_5N_G0_AD13N
97	L1	5	U5_6N_G0_VREF
98	J3	5	U5_7P_G1_AD6P
99	K3	5	U5_7N_G1_AD6N

序列号	位置	Bank	信号名
100	L3	5	U5_8P_G1_AD14P
101	M3	5	U5_8N_G1_AD14N
102	M2	5	U5_9P_G1_DQS_AD7P
103	M1	5	U5_9N_G1_DQS_AD7N
104	N2	5	U5_10P_G1_AD15P
105	N1	5	U5_10N_G1_AD15N
106	N3	5	U5_12P_G1_MRC
107	P3	5	U5_12N_G1_MRC
108	P1	5	U5_19N_G3_VREF
109	A8	101	U101_UHSTREFCLK0N
110	B8	101	U101_UHSTREFCLK0P
111	B6	101	U101_UHST2RXP1
112	B4	101	U101_UHST2RXP0
113	B10	101	U101_UHSTREFCLK1P
114	A10	101	U101_UHSTREFCLK1N
115	A6	101	U101_UHST2RXN1
116	A4	101	U101_UHST2RXN0
117	B2	101	U101_UHST2TXP1
118	A2	101	U101_UHST2TXN1
119	D2	101	U101_UHST2TXP0
120	D1	101	U101_UHST2TXN0
121	U12	0	F0_CFG_DONE
122	A11	0	F0_TDP
123	C12	0	F0_GNDADC
124	C13	0	F0_VCCADC
125	B12	0	F0_VREFP
126	C9	0	F0_VCCBAT
127	C8	0	F0_TCK
128	B11	0	F0_TDN
129	A13	0	F0_VREFN
130	C11	0	F0_CFG_CLK
131	V12	0	F0_CFG_T0
132	W11	0	F0_CFG_T1
133	U11	0	F0_CFG_STA_B
134	W10	0	F0_TDI
135	W8	0	F0_TDO
136	U10	0	F0_CFG_T2
137	V11	0	F0_CFG_V
138	V10	0	F0_CFG_ENB
139	W9	0	F0_TMS
140	C7	101	U101_UHSTREF
141	M11	N/A	VCCHRAM
142	N11	N/A	VCCHRAM
143	A1	N/A	GND

序列号	位置	Bank	信号名
144	A3	N/A	GND
145	A5	N/A	GND
146	A7	N/A	GND
147	A9	N/A	GND
148	A19	N/A	GND
149	B3	N/A	GND
150	B5	N/A	GND
151	B7	N/A	GND
152	B9	N/A	GND
153	B14	N/A	GND
154	C2	N/A	GND
155	C3	N/A	GND
156	C4	N/A	GND
157	C6	N/A	GND
158	C10	N/A	GND
159	C19	N/A	GND
160	D3	N/A	GND
161	E3	N/A	GND
162	E17	N/A	GND
163	F1	N/A	GND
164	F2	N/A	GND
165	F19	N/A	GND
166	G1	N/A	GND
167	G8	N/A	GND
168	G11	N/A	GND
169	H7	N/A	GND
170	H8	N/A	GND
171	H11	N/A	GND
172	H12	N/A	GND
173	H18	N/A	GND
174	J8	N/A	GND
175	J9	N/A	GND
176	J11	N/A	GND
177	J12	N/A	GND
178	K8	N/A	GND
179	L8	N/A	GND
180	L9	N/A	GND
181	L11	N/A	GND
182	L19	N/A	GND
183	M9	N/A	GND
184	M13	N/A	GND
185	N9	N/A	GND
186	N12	N/A	GND
187	N13	N/A	GND



序列号	位置	Bank	信号名
188	P2	N/A	GND
189	T19	N/A	GND
190	U6	N/A	GND
191	U9	N/A	GND
192	V18	N/A	GND
193	W1	N/A	GND
194	W12	N/A	GND
195	G10	N/A	VCCCORE
196	H10	N/A	VCCCORE
197	J10	N/A	VCCCORE
198	L10	N/A	VCCCORE
199	M10	N/A	VCCCORE
200	N10	N/A	VCCCORE
201	H13	N/A	VCCSUP
202	J13	N/A	VCCSUP
203	V9	0	F0_VCCP
204	G12	0	F0_VCCP
205	F17	1	U1_VCCP
206	K12	1	U1_VCCP
207	K13	1	U1_VCCP
208	L12	1	U1_VCCP
209	L13	1	U1_VCCP
210	M12	1	U1_VCCP
211	M17	1	U1_VCCP
212	R17	1	U1_VCCP
213	U13	1	U1_VCCP
214	B19	3	U3_VCCP
215	C14	3	U3_VCCP
216	C18	3	U3_VCCP
217	G13	3	U3_VCCP
218	M8	4	U4_VCCP
219	N7	4	U4_VCCP
220	N8	4	U4_VCCP
221	R1	4	U4_VCCP
222	V1	4	U4_VCCP
223	V6	4	U4_VCCP
224	H3	5	U5_VCCP
225	J7	5	U5_VCCP
226	K1	5	U5_VCCP
227	K7	5	U5_VCCP
228	L7	5	U5_VCCP
229	M7	5	U5_VCCP
230	C1	N/A	UHSTVCC
231	E1	N/A	UHSTVCC

序列号	位置	Bank	信号名
232	F3	N/A	UHSTVCC
233	G9	N/A	UHSTVCC
234	H9	N/A	UHSTVCC
235	B1	N/A	UHSTVTT
236	C5	N/A	UHSTVTT
237	E2	N/A	UHSTVTT
238	G7	N/A	UHSTVTT

4.2.3 FMK50 引脚信息

表 10 FMK50 引脚说明

序列号	位置	Bank	信号名
1	K9	0	F0_VIN
2	J10	0	F0_VIP
3	R11	1	U1_S0
4	K17	1	U1_1P_G0_D00_MOSI
5	K18	1	U1_1N_G0_D01_DIN
6	L18	1	U1_2P_G0_D02
7	M18	1	U1_2N_G0_D03
8	L15	1	U1_3P_G0_DQS_PUDC_B
9	L16	1	U1_3N_G0_DQS_ECLK
10	L14	1	U1_4P_G0_D04
11	M14	1	U1_4N_G0_D05
12	P18	1	U1_5P_G0_D06
13	N17	1	U1_5N_G0_D07
14	L13	1	U1_6P_G0_CS_B
15	M13	1	U1_6N_G0_D08_VREF
16	R18	1	U1_7P_G1_D09
17	T18	1	U1_7N_G1_D10
18	M16	1	U1_8P_G1_D11
19	M17	1	U1_8N_G1_D12
20	U16	1	U1_9P_G1_DQS
21	V17	1	U1_9N_G1_DQS_D13
22	P17	1	U1_10P_G1_D14
23	R17	1	U1_10N_G1_D15
24	N16	1	U1_11P_G1_SRC
25	N15	1	U1_11N_G1_SRC
26	R16	1	U1_12P_G1_MRC
27	T16	1	U1_12N_G1_MRC
28	R15	1	U1_13P_G2_MRC
29	P15	1	U1_13N_G2_MRC
30	V16	1	U1_14P_G2_SRC
31	V15	1	U1_14N_G2_SRC
32	P14	1	U1_15P_G2_DQS_RDWR_B
33	N14	1	U1_15N_G2_DQS_CFGDO_CSON_B
34	T15	1	U1_16P_G2_CSIN_B
35	T14	1	U1_16N_G2_A15_D31
36	U17	1	U1_17P_G2_A14_D30
37	U18	1	U1_17N_G2_A13_D29



序列号	位置	Bank	信号名
38	V14	1	U1_18P_G2_A12_D28
39	U14	1	U1_18N_G2_A11_D27
40	T13	1	U1_19P_G3_A10_D26
41	U13	1	U1_19N_G3_A09_D25_VREF
42	V12	1	U1_20P_G3_A08_D24
43	U12	1	U1_20N_G3_A07_D23
44	T11	1	U1_21P_G3_DQS
45	U11	1	U1_21N_G3_DQS_A06_D22
46	R13	1	U1_22P_G3_A05_D21
47	R12	1	U1_22N_G3_A04_D20
48	V10	1	U1_23P_G3_A03_D19
49	V11	1	U1_23N_G3_A02_D18
50	T9	1	U1_24P_G3_A01_D17
51	T10	1	U1_24N_G3_A00_D16
52	R10	1	U1_S25
53	G13	2	U2_S0
54	F13	2	U2_1P_G0_AD0P
55	F14	2	U2_1N_G0_AD0N
56	D12	2	U2_2P_G0_AD8P
57	D13	2	U2_2N_G0_AD8N
58	C12	2	U2_3P_G0_DQS_AD1P
59	B12	2	U2_3N_G0_DQS_AD1N
60	B11	2	U2_4P_G0
61	A11	2	U2_4N_G0
62	D14	2	U2_5P_G0_AD9P
63	C14	2	U2_5N_G0_AD9N
64	B14	2	U2_6P_G0
65	B13	2	U2_6N_G0_VREF
66	A13	2	U2_7P_G1_AD2P
67	A14	2	U2_7N_G1_AD2N
68	H14	2	U2_8P_G1_AD10P
69	G14	2	U2_8N_G1_AD10N
70	B16	2	U2_9P_G1_DQS_AD3P
71	B17	2	U2_9N_G1_DQS_AD3N
72	J14	2	U2_10P_G1_AD11P
73	H15	2	U2_10N_G1_AD11N
74	E15	2	U2_11P_G1_SRC
75	E16	2	U2_11N_G1_SRC
76	D15	2	U2_12P_G1_MRC
77	C15	2	U2_12N_G1_MRC
78	G16	2	U2_13P_G2_MRC
79	H16	2	U2_13N_G2_MRC
80	F15	2	U2_14P_G2_SRC
81	F16	2	U2_14N_G2_SRC
82	K13	2	U2_15P_G2_DQS
83	J13	2	U2_15N_G2_DQS_ADV_B
84	E17	2	U2_16P_G2_A28
85	D17	2	U2_16N_G2_A27
86	A16	2	U2_17P_G2_A26
87	A15	2	U2_17N_G2_A25
88	K15	2	U2_18P_G2_A24



序列号	位置	Bank	信号名
89	J15	2	U2_18N_G2_A23
90	E18	2	U2_19P_G3_A22
91	D18	2	U2_19N_G3_A21_VREF
92	G17	2	U2_20P_G3_A20
93	H17	2	U2_20N_G3_A19
94	J18	2	U2_21P_G3_DQS
95	J17	2	U2_21N_G3_DQS_A18
96	C17	2	U2_22P_G3_A17
97	C16	2	U2_22N_G3_A16
98	A18	2	U2_23P_G3_OE_B
99	B18	2	U2_23N_G3_WE_B
100	G18	2	U2_24P_G3_RS1
101	F18	2	U2_24N_G3_RS0
102	K16	2	U2_S25
103	D9	3	U3_6N_G0_VREF
104	C9	3	U3_11P_G1_SRC
105	B9	3	U3_11N_G1_SRC
106	B8	3	U3_12P_G1_MRC
107	A8	3	U3_12N_G1_MRC
108	C11	3	U3_13P_G2_MRC
109	C10	3	U3_13N_G2_MRC
110	A10	3	U3_14P_G2_SRC
111	A9	3	U3_14N_G2_SRC
112	D10	3	U3_19N_G3_VREF
113	K6	4	U4_S0
114	K5	4	U4_1P_G0
115	L4	4	U4_1N_G0
116	K3	4	U4_2P_G0
117	L3	4	U4_2N_G0
118	L1	4	U4_3P_G0_DQS
119	M1	4	U4_3N_G0_DQS
120	L6	4	U4_4P_G0
121	L5	4	U4_4N_G0
122	N1	4	U4_5P_G0
123	N2	4	U4_5N_G0
124	M2	4	U4_6P_G0
125	M3	4	U4_6N_G0_VREF
126	U1	4	U4_7P_G1
127	V1	4	U4_7N_G1
128	P2	4	U4_8P_G1
129	R2	4	U4_8N_G1
130	V2	4	U4_9P_G1_DQS
131	U2	4	U4_9N_G1_DQS
132	R1	4	U4_10P_G1
133	T1	4	U4_10N_G1
134	R3	4	U4_11P_G1_SRC
135	T3	4	U4_11N_G1_SRC
136	U3	4	U4_12P_G1_MRC
137	U4	4	U4_12N_G1_MRC
138	N5	4	U4_13P_G2_MRC
139	P5	4	U4_13N_G2_MRC



序列号	位置	Bank	信号名
140	M4	4	U4_14P_G2_SRC
141	N4	4	U4_14N_G2_SRC
142	T5	4	U4_15P_G2_DQS
143	T4	4	U4_15N_G2_DQS
144	M6	4	U4_16P_G2
145	N6	4	U4_16N_G2
146	V5	4	U4_17P_G2
147	V4	4	U4_17N_G2
148	P3	4	U4_18P_G2
149	P4	4	U4_18N_G2
150	R6	4	U4_19P_G3
151	R5	4	U4_19N_G3_VREF
152	V6	4	U4_20P_G3
153	V7	4	U4_20N_G3
154	U9	4	U4_21P_G3_DQS
155	V9	4	U4_21N_G3_DQS
156	U6	4	U4_22P_G3
157	U7	4	U4_22N_G3
158	R7	4	U4_23P_G3
159	T6	4	U4_23N_G3
160	R8	4	U4_24P_G3
161	T8	4	U4_24N_G3
162	U8	4	U4_S25
163	F5	5	U5_S0
164	E6	5	U5_1P_G0
165	E5	5	U5_1N_G0
166	G6	5	U5_2P_G0
167	F6	5	U5_2N_G0
168	H6	5	U5_3P_G0_DQS
169	H5	5	U5_3N_G0_DQS
170	E7	5	U5_4P_G0
171	D7	5	U5_4N_G0
172	C6	5	U5_5P_G0
173	C5	5	U5_5N_G0
174	D8	5	U5_6P_G0
175	C7	5	U5_6N_G0_VREF
176	D5	5	U5_7P_G1
177	D4	5	U5_7N_G1
178	B7	5	U5_8P_G1
179	B6	5	U5_8N_G1
180	A6	5	U5_9P_G1_DQS
181	A5	5	U5_9N_G1_DQS
182	A4	5	U5_10P_G1
183	A3	5	U5_10N_G1
184	G4	5	U5_11P_G1_SRC
185	G3	5	U5_11N_G1_SRC
186	J4	5	U5_12P_G1_MRC
187	H4	5	U5_12N_G1_MRC
188	F3	5	U5_13P_G2_MRC
189	F4	5	U5_13N_G2_MRC
190	C4	5	U5_14P_G2_SRC

序列号	位置	Bank	信号名
191	B4	5	U5_14N_G2_SRC
192	E3	5	U5_15P_G2_DQS
193	D3	5	U5_15N_G2_DQS
194	J3	5	U5_16P_G2
195	J2	5	U5_16N_G2
196	B2	5	U5_17P_G2
197	B3	5	U5_17N_G2
198	A1	5	U5_18P_G2
199	B1	5	U5_18N_G2
200	G2	5	U5_19P_G3
201	H2	5	U5_19N_G3_VREF
202	C1	5	U5_20P_G3
203	C2	5	U5_20N_G3
204	H1	5	U5_21P_G3_DQS
205	G1	5	U5_21N_G3_DQS
206	E2	5	U5_22P_G3
207	D2	5	U5_22N_G3
208	K1	5	U5_23P_G3
209	K2	5	U5_23N_G3
210	E1	5	U5_24P_G3
211	F1	5	U5_24N_G3
212	J5	5	U5_S25
213	P10	0	F0_CFG_DONE
214	L10	0	NC
215	H9	0	F0_GNDADC
216	H10	0	F0_VCCADC
217	K10	0	F0_VREFP
218	E8	0	F0_VCCBAT
219	E10	0	F0_TCK
220	L9	0	NC
221	J9	0	F0_VREFN
222	E9	0	F0_CFG_CLK
223	P12	0	F0_CFG_T0
224	P13	0	F0_CFG_T1
225	P7	0	F0_CFG_STA_B
226	E11	0	F0_TDI
227	E13	0	F0_TDO
228	P11	0	F0_CFG_T2
229	P8	0	F0_CFG_V
230	P9	0	F0_CFG_ENB
231	E12	0	F0_TMS
232	A12	N/A	GND
233	A2	N/A	GND
234	B15	N/A	GND
235	B5	N/A	GND
236	C18	N/A	GND
237	C8	N/A	GND
238	D11	N/A	GND
239	D1	N/A	GND
240	E14	N/A	GND
241	E4	N/A	GND



序列号	位置	Bank	信号名
242	F17	N/A	GND
243	F11	N/A	GND
244	F9	N/A	GND
245	F7	N/A	GND
246	G12	N/A	GND
247	G10	N/A	GND
248	G8	N/A	GND
249	H13	N/A	GND
250	H11	N/A	GND
251	H7	N/A	GND
252	H3	N/A	GND
253	J16	N/A	GND
254	J12	N/A	GND
255	J8	N/A	GND
256	J6	N/A	GND
257	K11	N/A	GND
258	K7	N/A	GND
259	L12	N/A	GND
260	L8	N/A	GND
261	L2	N/A	GND
262	M15	N/A	GND
263	M11	N/A	GND
264	M9	N/A	GND
265	M7	N/A	GND
266	M5	N/A	GND
267	N18	N/A	GND
268	N12	N/A	GND
269	N10	N/A	GND
270	N8	N/A	GND
271	P1	N/A	GND
272	R14	N/A	GND
273	R4	N/A	GND
274	T17	N/A	GND
275	T7	N/A	GND
276	U10	N/A	GND
277	V13	N/A	GND
278	V3	N/A	GND
279	F8	N/A	VCCCORE
280	G9	N/A	VCCCORE
281	G7	N/A	VCCCORE
282	H8	N/A	VCCCORE
283	J11	N/A	VCCCORE
284	J7	N/A	VCCCORE
285	K8	N/A	VCCCORE
286	L11	N/A	VCCCORE
287	L7	N/A	VCCCORE
288	M10	N/A	VCCCORE
289	M8	N/A	VCCCORE
290	N11	N/A	VCCCORE
291	N9	N/A	VCCCORE
292	N7	N/A	VCCCORE

序列号	位置	Bank	信号名
293	F12	N/A	VCCSUP
294	H12	N/A	VCCSUP
295	K12	N/A	VCCSUP
296	M12	N/A	VCCSUP
297	R9	0	F0_VCCP
298	L17	1	U1_VCCP
299	N13	1	U1_VCCP
300	P16	1	U1_VCCP
301	T12	1	U1_VCCP
302	U15	1	U1_VCCP
303	V18	1	U1_VCCP
304	A17	2	U2_VCCP
305	C13	2	U2_VCCP
306	D16	2	U2_VCCP
307	G15	2	U2_VCCP
308	H18	2	U2_VCCP
309	K14	2	U2_VCCP
310	B10	3	U3_VCCP
311	K4	4	U4_VCCP
312	N3	4	U4_VCCP
313	P6	4	U4_VCCP
314	T2	4	U4_VCCP
315	U5	4	U4_VCCP
316	V8	4	U4_VCCP
317	A7	5	U5_VCCP
318	C3	5	U5_VCCP
319	D6	5	U5_VCCP
320	F2	5	U5_VCCP
321	G5	5	U5_VCCP
322	J1	5	U5_VCCP
323	F10	N/A	VCCHRAM
324	G11	N/A	VCCHRAM

5 性能指标

5.1 器件工作条件

表 11 推荐工作条件

信号	描述	最小值	典型值	最大值	单位
FPGA 逻辑					
V_{CCCORE}	内核电源电压	0.97	1.00	1.03	V
V_{CCSUP}	辅助电源电压	1.71	1.80	1.89	V
V_{CCHRAM}	HRAM 电源电压	0.97	1.00	1.03	V
V_{CCP}	I/O Bank 电压	1.14	-	3.465	V
V_{IN}	I/O 输入电压	-0.20	-	$V_{CCP}+0.20$	V
	I/O 输入电压 ($V_{CCP}=3.3V$) 带参考的差分 IO 电平标准 (除 TMD5_33)	-0.20	-	2.625	V
I_{IN}	当钳位二极管正向偏置时, 通电或未通电 BANK 中任何引脚的最大电流。	-	-	10	mA
UHST					
$V_{UHSTVCC}$	UHST 发送器和接收器内核电源电压 ($\leq 10.3125GHz$)	0.97	1.0	1.08	V
	UHST 发送器和接收器内核电源电压 ($> 10.3125GHz$)	1.02	1.05	1.08	V
$V_{UHSTVTT}$	UHST 发送器和接收器终端电路的模拟电源电压	1.17	1.2	1.23	V
SYS_MON					
V_{CCADC}	SYS_MON 电源电压	1.71	1.80	1.89	V
V_{REFP}	外部参考电压	1.20	1.25	1.30	V
工作温度					
T_J	结温, FMK50、FMK50T4	-40 (T_{JMIN})	-	+100 (T_{JMAX})	$^{\circ}C$
	结温, FMK50T2	-40 (T_{JMIN})	-	+105 (T_{JMAX})	$^{\circ}C$

5.2 电参数

5.2.1 电特性参数

表 12 电特性

特性	符号	条件 (除非另有规定, $V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$, $T_{JMIN} \leq T_c \leq T_{JMAX}$)	测试方法	极限值		单位
				最小	最大	
V_{CCCORE} 电源静态电流	$I_{CCCOREQ}$ 注	器件没有配置, 没有输出电流负载, 没有使能上拉电阻, 并且所有 I/O 引脚处于三态或者悬空, $V_{CCCORE}=1.03V$, $V_{CCSUP}=1.89V$, $V_{CCP}=3.465V$, $V_{CCHRAM}=1.03V$, $V_{CCP0}=3.465V$, $V_{BAT}=1.89V$, $V_{CCADC}=1.89V$	-	—	1000	mA
V_{CCP} 电源静态电流	I_{CCPQ} 注			—	10	mA
V_{CCSUP} 电源静态电流	I_{CCSUPQ} 注			—	100	mA
V_{CCP0} 电源静态电流	I_{CCP0Q} 注			—	10	mA
V_{CCHRAM} 电源静态电流	$I_{CCHRAMQ}$ 注			—	20	mA
电池电源电流	I_{BAT} 注			—	1500	nA
V_{CCADC} 电源静态电流	I_{CCADC} 注			—	25	mA
V_{CCCORE} 上电电流	$I_{CCCOREMIN}$			—	$I_{CCCORE}+300$	mA
V_{CCSUP} 上电电流	$I_{CCSUPMIN}$	$V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$, $V_{CCP}=3.3V$, $V_{CCP0}=1.8V$,		—	$I_{CCSUP}+50$	mA

特性	符号	条件 (除非另有规定, $V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$, $T_{JMIN} \leq T_c \leq T_{JMAX}$)	测试方法	极限值		单位
				最小	最大	
V_{CCP} 上电电流	I_{CCPMIN}	$V_{CCHRAM}=1.0V$		—	$I_{CCP}+50/\text{Bank}$	mA
V_{CCHRAM} 上电电流	$I_{CCHRAMMIN}$			—	$I_{CCHRAM}+100$	mA
数据保持 V_{CCCORE} 电压(低于该电压时, 配置数据可能会丢失)	V_{DRINT} 注	$V_{CCP}=1.8V$, $V_{CCP0}=1.8V$, $V_{CCSUP}=1.8V$, 初始 $V_{CCCORE}=1.0V$		0.85	—	V
数据保持 V_{CCSUP} 电压(低于该电压时, 配置数据可能会丢失)	V_{DRI} 注	$V_{CCP}=1.8V$, $V_{CCP0}=1.8V$, 初始 $V_{CCSUP}=1.8V$, $V_{CCCORE}=1.0V$		1.5	—	V
钳位二极管正偏时的最大输入电流	I_{IN} 注	$V_{IN} = V_{CCP}+0.2V$, $V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$		—	10	mA
V_{REF} 漏电流	I_{REF} 注	$V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$		—	15	μA
输入或输出漏电流	I_L 注	每个引脚的输入或输出漏电流, $V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$, $V_{CCP0}=1.8V$, $V_{CCP}=3.465V$		—	15	μA
管脚上拉电流	I_{RPU} 注	管脚上拉使能, $V_{IN}=0V$, $V_{CCP}=3.3V$, $V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$, $V_{CCP0}=1.8V$		-330	-90	μA
		管脚上拉使能, $V_{IN}=0V$, $V_{CCP}=2.5V$, $V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$, $V_{CCP0}=1.8V$		-250	-68	μA
		管脚上拉使能, $V_{IN}=0V$, $V_{CCP}=1.8V$, $V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$, $V_{CCP0}=1.8V$		-250	-34	μA
		管脚上拉使能, $V_{IN}=0V$, $V_{CCP}=1.5V$, $V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$, $V_{CCP0}=1.8V$		-200	-23	μA
		管脚上拉使能, $V_{IN}=0V$, $V_{CCP}=1.2V$, $V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$, $V_{CCP0}=1.8V$		-120	-12	μA
管脚下拉电流	I_{RPD} 注	管脚下拉使能, $V_{IN}=V_{CCP}$, $V_{CCP}=3.3V$, $V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$, $V_{CCP0}=1.8V$		68	330	μA
		管脚下拉使能, $V_{IN}=V_{CCP}$, $V_{CCP}=1.8V$, $V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$, $V_{CCP0}=1.8V$		45	250	μA
interm 终端阻抗	R_{IN_TERM}	UNTUNED_SPLIT_40, $V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$		28	65	Ω
		UNTUNED_SPLIT_50, $V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$		35	75	Ω
		UNTUNED_SPLIT_60, $V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$		44	90	Ω
输入电容 ^a	C_{IN}	$f=1MHz$, $V_{IN}=0.1V$, $T_A=25^\circ C$	-	—	30	pF
功能测试	— 注	$V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$, $V_{CCP0}=1.8V$, V_{CCP} =典型电压, $T_{JMIN} \leq T_c \leq T_{JMAX}$	-	—	—	—

注: 该参数进行三温电性能参数评估试验。评估试验功能测试包括可编程资源功能: 可编程资源功能测试覆盖器件内部所提供 LB、IOI、CU、CLKG 的类型, 以及互联资源。

^a 仅在初始鉴定或产品重新设计及工艺更改时进行。抽样方案为 22 (0), 样本大小 22 是指引出端数, 至少从 3 只样品中抽取。

5.2.2 IO 电特性参数

表 13 IOU 单端接口标准输入直流性能指标—输入低电平电压

特性	符号	条件 (除非另有规定, $V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$, $V_{CCP0}=1.8V$, 95%×典型电源电压 $\leq V_{CCP} \leq 105\%$ ×典型电源电压, $T_{JMIN} \leq T_c \leq T_{JMAX}$, $V_{REF}=V_{CCP}$ 典型电源电压/2)	测试方法	极限值		单位
				最小	最大	
输入低电平电压	VIL	HSTL_I, 典型电源电压 1.5V	—	-0.3	$V_{REF}-0.12$	V
		HSTL_I_18, 典型电源电压 1.8V		-0.3	$V_{REF}-0.12$	V
		HSTL_II, 典型电源电压 1.5V		-0.3	$V_{REF}-0.12$	V
		HSTL_II_18, 典型电源电压 1.8V		-0.3	$V_{REF}-0.12$	V
		HSUL_12, 典型电源电压 1.2V		-0.3	$V_{REF}-0.15$	V

特性	符号	条件 (除非另有规定, $V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$, $V_{CCP}0=1.8V$, $95\% \times \text{典型电源电压} \leq V_{CCP} \leq 105\% \times \text{典型电源电压}$, $T_{JMIN} \leq T_c \leq T_{JMAX}$, $V_{REF}=V_{CCP}$ 典型电源电压/2)	测试方法	极限值		单位
				最小	最大	
		LVC MOS12, 典型电源电压 1.2V		-0.3	30% VCCP	V
		LVC MOS15, 典型电源电压 1.5V		-0.3	30% VCCP	V
		LVC MOS18, 典型电源电压 1.8V		-0.3	30% VCCP	V
		LVC MOS25, 典型电源电压 2.5V		-0.3	0.7	V
		LVC MOS33, 典型电源电压 3.3V		-0.3	0.8	V
		LVTTL, 典型电源电压 3.3V		-0.3	0.8	V
		MOBILE_DDR, 典型电源电压 1.8V		-0.3	20% VCCP	
		PCI33_3, 典型电源电压 3.3V		-0.4	30% VCCP	V
		SSTL135, 典型电源电压 1.35V		-0.3	$V_{REF}-0.11$	V
		SSTL135_R, 典型电源电压 1.35V		-0.3	$V_{REF}-0.11$	V
		SSTL15, 典型电源电压 1.5V		-0.3	$V_{REF}-0.12$	V
		SSTL15_R, 典型电源电压 1.5V		-0.3	$V_{REF}-0.12$	V
		SSTL18_I, 典型电源电压 1.8V		-0.3	$V_{REF}-0.145$	V
		SSTL18_II, 典型电源电压 1.8V		-0.3	$V_{REF}-0.145$	V

表 14 IOU 单端接口标准输入直流性能指标——输入高电平电压

特性	符号	条件 (除非另有规定, $V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$, $V_{CCP}0=1.8V$, $95\% \times \text{典型电源电压} \leq V_{CCP} \leq 105\% \times \text{典型电源电压}$, $T_{JMIN} \leq T_c \leq T_{JMAX}$, $V_{REF}=V_{CCP}$ 典型电源电压/2)	测试方法	极限值		单位
				最小	最大	
输入高电平电压	VIH	HSTL_I, 典型电源电压 1.5V	—	$V_{REF}+0.12$	$V_{CCP}+0.3$	V
		HSTL_I_18, 典型电源电压 1.8V		$V_{REF}+0.15$	$V_{CCP}+0.3$	V
		HSTL_II, 典型电源电压 1.5V		$V_{REF}+0.12$	$V_{CCP}+0.3$	V
		HSTL_II_18, 典型电源电压 1.8V		$V_{REF}+0.15$	$V_{CCP}+0.3$	V
		HSUL_12, 典型电源电压 1.2V		$V_{REF}+0.15$	$V_{CCP}+0.3$	V
		LVC MOS12, 典型电源电压 1.2V		70% VCCP	$V_{CCP}+0.3$	V
		LVC MOS15, 典型电源电压 1.5V		70% VCCP	$V_{CCP}+0.3$	V
		LVC MOS18, 典型电源电压 1.8V		70% VCCP	$V_{CCP}+0.3$	V
		LVC MOS25, 典型电源电压 2.5V		1.7	$V_{CCP}+0.3$	V
		LVC MOS33, 典型电源电压 3.3V		2	3.45	V
		LVTTL, 典型电源电压 3.3V		2	3.45	V
		MOBILE_DDR, 典型电源电压 1.8V		80% VCCP	$V_{CCP}+0.3$	V
		PCI33_3, 典型电源电压 3.3V		50% VCCP	$V_{CCP}+0.5$	V
		SSTL135, 典型电源电压 1.35V		$V_{REF}+0.145$	$V_{CCP}+0.3$	V
		SSTL135_R, 典型电源电压 1.35V		$V_{REF}+0.11$	$V_{CCP}+0.3$	V
		SSTL15, 典型电源电压 1.5V		$V_{REF}+0.12$	$V_{CCP}+0.3$	V
		SSTL15_R, 典型电源电压 1.5V		$V_{REF}+0.12$	$V_{CCP}+0.3$	V
		SSTL18_I, 典型电源电压 1.8V		$V_{REF}+0.145$	$V_{CCP}+0.3$	V
		SSTL18_II, 典型电源电压 1.8V		$V_{REF}+0.145$	$V_{CCP}+0.3$	V

表 15 IOU 单端接口标准输出直流性能指标——输出低电平电压

特性	符号	条件 (除非另有规定, $V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$, $V_{CCP}0=1.8V$, $V_{CCP}=95\% \times \text{典型电源电压}$, $T_{JMIN} \leq T_c \leq T_{JMAX}$, $V_{REF}=V_{CCP}$ 典型电源电压/2)	测试方法	极限值		单位
				最小	最大	

特性	符号	条件 (除非另有规定, VCCCORE=1.0V, VCCSUP =1.8V, VCCP0=1.8V, VCCP=95%×典型电源电压, $T_{JMIN} \leq T_c \leq T_{JMAX}$, VREF=VCCP 典型电源电压/2)	测试方法	极限值		单位
				最小	最大	
输出低电平电压	VOL	HSTL_I, 典型电源电压 1.5V, IOL = 8mA		—	0.4	V
		HSTL_I_18, 典型电源电压 1.8V, IOL = 8mA		—	0.4	V
		HSTL_II, 典型电源电压 1.5V, IOL = 16mA		—	0.4	V
		HSTL_II_18, 典型电源电压 1.8V, IOL = 16mA		—	0.4	V
		HSUL_12, 典型电源电压 1.2V, IOL = 0.1mA		—	20% VCCP	V
		LVC MOS12, 典型电源电压 1.2V, IOL ^{注1}		—	0.4	V
		LVC MOS15, 典型电源电压 1.5V, IOL ^{注2}		—	25% VCCP	V
		LVC MOS18, 典型电源电压 1.8V, IOL ^{注3}		—	0.45	V
		LVC MOS25, 典型电源电压 2.5V, IOL ^{注4}		—	0.4	V
		LVC MOS33, 典型电源电压 3.3V, IOL ^{注4}		—	0.4	V
		LVTTL, 典型电源电压 3.3V, IOL ^{注5}		—	0.45	V
		MOBILE_DDR, 典型电源电压 1.8V, IOL = 0.1mA		—	10% VCCP	V
		PCI33_3, 典型电源电压 3.3V, IOL = 1.5mA		—	10% VCCP	V
		SSTL135, 典型电源电压 1.35V, IOL = 13mA		—	VCCP /2-0.15	V
		SSTL135_R, 典型电源电压 1.35V, IOL = 8.9mA		—	VCCP /2-0.15	V
		SSTL15, 典型电源电压 1.5V, IOL = 13mA		—	VCCP /2-0.175	V
		SSTL15_R, 典型电源电压 1.5V, IOL = 8.9mA		—	VCCP /2-0.175	V
		SSTL18_I, 典型电源电压 1.8V, IOL = 8mA		—	VCCP /2-0.47	V
		SSTL18_II, 典型电源电压 1.8V, IOL = 13.4mA		—	VCCP /2-0.5	V

注

1. 在 I/O 中支持的驱动能力为 4, 8, 12mA。
2. 在 I/O 中支持的驱动能力为 4, 8, 12, 16mA。
3. 在 I/O 中支持的驱动能力为 4, 8, 12, 16, 24mA。
4. 在 I/O 中支持的驱动能力为 4, 8, 12, 16mA。
5. 在 I/O 中支持的驱动能力为 4, 8, 12, 16, 24mA。

表 16 IOU 单端接口标准输出直流性能指标——输出高电平电压

特性	符号	条件 (除非另有规定, VCCCORE=1.0V, VCCSUP = 1.8V, VCCP0=1.8V, VCCP=95%×典型电源电压, $T_{JMIN} \leq T_c \leq T_{JMAX}$, VREF=VCCP 典型电源电压/2)	测试方法	极限值		单位
				最小	最大	
输出高电平电压	VOH	HSTL_I, 典型电源电压 1.5V, IOH = 8mA		VCCP-0.4	—	V
		HSTL_I_18, 典型电源电压 1.8V, IOH = 8mA		VCCP -0.4	—	V
		HSTL_II, 典型电源电压 1.5V, IOH = 16mA		VCCP -0.5	—	V
		HSTL_II_18, 典型电源电压 1.8V, IOH = 16mA		VCCP -0.4	—	V

特性	符号	条件 (除非另有规定, $V_{CCCORE}=1.0V$, $V_{CCSUP} = 1.8V$, $V_{CCP} = 0=1.8V$, $V_{CCP}=95\%\times$ 典型电源电压, $T_{JMIN}\leq T_c\leq T_{JMAX}$, $V_{REF}=V_{CCP}$ 典型电源电压/2)	测试方法	极限值		单位
				最小	最大	
		HSUL_12, 典型电源电压 1.2V, $IOH = 0.1mA$		80% V_{CCP}	—	V
		LVC MOS12, 典型电源电压 1.2V, IOH ^{注1}		$V_{CCP} - 0.45$	—	V
		LVC MOS15, 典型电源电压 1.5V, IOH ^{注2}		70% V_{CCP}	—	V
		LVC MOS18, 典型电源电压 1.8V, IOH ^{注3}		$V_{CCP} - 0.55$	—	V
		LVC MOS25, 典型电源电压 2.5V, IOH ^{注4}		$V_{CCP} - 0.4$	—	V
		LVC MOS33, 典型电源电压 3.3V, IOH ^{注4}		$V_{CCP} - 0.4$	—	V
		LV TTL, 典型电源电压 3.3V, IOH ^{注5}		2.4	—	V
		MOBILE_DDR, 典型电源电压 1.8V, $IOH = 0.1mA$		90% V_{CCP}	—	V
		PCI33_3, 典型电源电压 3.3V, $IOH = 0.5mA$		90% V_{CCP}	—	V
		SSTL135, 典型电源电压 1.35V, $IOH = 13mA$		$V_{CCP} / 2 + 0.15$	—	V
		SSTL135_R, 典型电源电压 1.35V, $IOH = 8.9mA$		$V_{CCP} / 2 + 0.15$	—	V
		SSTL15, 典型电源电压 1.5V, $IOH = 13mA$		$V_{CCP} / 2 + 0.175$	—	V
		SSTL15_R, 典型电源电压 1.5V, $IOH = 8.9mA$		$V_{CCP} / 2 + 0.175$	—	V
		SSTL18_I, 典型电源电压 1.8V, $IOH = 8mA$		$V_{CCP} / 2 + 0.47$	—	V
		SSTL18_II, 典型电源电压 1.8V, $IOH = 13.4mA$		$V_{CCP} / 2 + 0.45$	—	V

注

- 在 I/O 中支持的驱动能力为 4, 8, 12mA。
- 在 I/O 中支持的驱动能力为 4, 8, 12, 16mA。
- 在 I/O 中支持的驱动能力为 4, 8, 12, 16, 24mA。
- 在 I/O 中支持的驱动能力为 4, 8, 12, 16mA。
- 在 I/O 中支持的驱动能力为 4, 8, 12, 16, 24mA。

表 17 IOU 差分接口标准的直流性能指标

特性	符号	条件 (除非另有规定, VCCCORE=1.0V, VCCSUP = 1.8V, VCCP 0=1.8V, 95%×典型电源电压 ≤VCCP≤105%×典型电源电压, TJMIN≤Tc≤TJMAX)	极限值		单位
			最小	最大	
MINI LVDS_25					
输出差模电压	VOD	RT=100Ω, 跨接于 Q 和 QB 端口	0.247	0.6	V
输出共模电压	VOCM	RT=100Ω, 跨接于 Q 和 QB 端口	0.55	1.6	V
输入差模电压	VID	—	0.2	0.6	V
输入共模电压	VICM	—	0.3	VCCSUP	V
PPDS_25					
输出差模电压	VOD	RT=100Ω, 跨接于 Q 和 QB 端口	0.1	0.4	V
输出共模电压	VOCM	RT=100Ω, 跨接于 Q 和 QB 端口	0.35	1.4	V
输入差模电压	VID	—	0.1	0.4	V
输入共模电压	VICM	—	0.2	VCCSUP	V
RSDS_25					
输出差模电压	VOD	RT=100Ω, 跨接于 Q 和 QB 端口	0.1	0.6	V
输出共模电压	VOCM	RT=100Ω, 跨接于 Q 和 QB 端口	0.55	1.6	V
输入差模电压	VID	—	0.1	0.6	V
输入共模电压	VICM	—	0.3	1.5	V
TMDS33					
输出差模电压	VOD	输出端上拉 50ohm 到 VCCO	0.4	0.8	V
输出共模电压	VOCM	输出端上拉 50ohm 到 VCCO	VCCP-0.405	VCCP -0.19	V
输入差模电压	VID	—	0.15	1.2	V
输入共模电压	VICM	—	2.7	3.23	V
LVDS_25					
输出高电平电压	VOH	RT=100Ω, 跨接于 Q 和 QB 端口	—	1.8	V

特性	符号	条件 (除非另有规定, $V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$, $V_{CCP0}=1.8V$, $95\% \times \text{典型电源电压} \leq V_{CCP} \leq 105\% \times \text{典型电源电压}$, $T_{JMIN} \leq T_c \leq T_{JMAX}$)	极限值		单位
			最小	最大	
输出低电平电压	VOL	$RT=100\Omega$, 跨接于 Q 和 QB 端口	0.4	—	V
输出差模电压	VODIFF	$RT=100\Omega$, 跨接于 Q 和 QB 端口	247	600	mV
输出共模电压	VOCM	$RT=100\Omega$, 跨接于 Q 和 QB 端口	0.55	1.625	V
输入差模电压	VIDIFF	输入共模电压为 1.25V	100	600	mV
输入共模电压	VICM	输入差模电压为 $\pm 350mV$	0.3	1.5	V

表 18 IOU 差分接口标准输入直流性能指标—互补差分输入共模电压

特性	符号	条件 (除非另有规定, $V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$, $V_{CCP0}=1.8V$, $95\% \times \text{典型电源电压} \leq V_{CCP} \leq 105\% \times \text{典型电源电压}$, $T_{JMIN} \leq T_c \leq T_{JMAX}$)	测试方法	极限值		单位
				最小	最大	
输入共模电压	VICM	DIFF_HSTL_I, 典型电源电压 1.5V	—	0.3	1.125	V
		DIFF_HSTL_I_18, 典型电源电压 1.8V		0.3	1.425	V
		DIFF_HSTL_II, 典型电源电压 1.5V		0.3	1.125	V
		DIFF_HSTL_II_18, 典型电源电压 1.8V		0.3	1.425	V
		DIFF_HSUL_12, 典型电源电压 1.2V		0.3	0.85	V
		DIFF_MOBILE_DDR, 典型电源电压 1.8V		0.3	1.425	V
		DIFF_SSTL135, 典型电源电压 1.35V		0.3	1	V
		DIFF_SSTL135_R, 典型电源电压 1.35V		0.3	1	V
		DIFF_SSTL15, 典型电源电压 1.5V		0.3	1.125	V
		DIFF_SSTL15_R, 典型电源电压 1.5V		0.3	1.125	V
		DIFF_SSTL18_I, 典型电源电压 1.8V		0.3	1.425	V
		DIFF_SSTL18_II, 典型电源电压 1.8V		0.3	1.425	V

表 19 IOU 差分接口标准输入直流性能指标—互补差分输入差模电压

特性	符号	条件 (除非另有规定, $V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$, $V_{CCP0}=1.8V$, $95\% \times \text{典型电源电压} \leq V_{CCP} \leq 105\% \times \text{典型电源电压}$, $T_{JMIN} \leq T_c \leq T_{JMAX}$)	测试方法	极限值		单位
				最小	最大	
输入差模电压	VID	DIFF_HSTL_I, 典型电源电压 1.5V	—	0.1	—	V
		DIFF_HSTL_I_18, 典型电源电压 1.8V		0.1	—	V
		DIFF_HSTL_II, 典型电源电压 1.5V		0.1	—	V
		DIFF_HSTL_II_18, 典型电源电压 1.8V		0.1	—	V
		DIFF_HSUL_12, 典型电源电压 1.2V		0.1	—	V
		DIFF_MOBILE_DDR, 典型电源电压 1.8V		0.1	—	V
		DIFF_SSTL135, 典型电源电压 1.35V		0.1	—	V
		DIFF_SSTL135_R, 典型电源电压 1.35V		0.1	—	V
		DIFF_SSTL15, 典型电源电压 1.5V		0.1	—	V
		DIFF_SSTL15_R, 典型电源电压 1.5V		0.1	—	V
		DIFF_SSTL18_I, 典型电源电压 1.8V		0.1	—	V
		DIFF_SSTL18_II, 典型电源电压 1.8V		0.1	—	V

表 20 IOU 差分接口标准输入直流性能指标—输出低电压

特性	符号	条件 (除非另有规定, $V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$, $V_{CCP0}=1.8V$, $V_{CCO}=95\% \times \text{典型电源电压}$, $T_{JMIN} \leq T_c \leq T_{JMAX}$)	测试方法	极限值		单位
				最小	最大	
输出低电	VOL	DIFF_HSTL_I, 典型电源电压 1.5V, $I_{OL}=8mA$	—	—	0.4	V

平电压		DIFF_HSTL_I_18, 典型电源电压 1.8V, IOL =8mA		—	0.4	V
		DIFF_HSTL_II, 典型电源电压 1.5V, IOL =16mA		—	0.4	V
		DIFF_HSTL_II_18, 典型电源电压 1.8V, IOL =16mA		—	0.4	V
		DIFF_HSUL_12, 典型电源电压 1.2V, IOL =0.1mA		—	20%VCCP	V
		DIFF_MOBILE_DDR, 典型电源电压 1.8V, IOL =0.1mA		—	10% VCCP	V
		DIFF_SSTL135, 典型电源电压 1.35V, IOL =13mA		—	VCCP/2-0.15	V
		DIFF_SSTL135_R, 典型电源电压 1.35V, IOL =8.9mA		—	VCCP /2-0.15	V
		DIFF_SSTL15, 典型电源电压 1.5V, IOL =13mA		—	VCCP /2-0.175	V
		DIFF_SSTL15_R, 典型电源电压 1.5V, IOL =8.9mA		—	VCCP /2-0.175	V
		DIFF_SSTL18_I, 典型电源电压 1.8V, IOL =8mA		—	VCCP /2-0.47	V
		DIFF_SSTL18_II, 典型电源电压 1.8V, IOL =13.4mA		—	VCCP /2-0.5	V

表 21 IOU 差分接口标准输入直流性能指标—输出高电压

特性	符号	条件 (除非另有规定, VCCCORE=1.0V, VCCSUP =1.8V, VCCP 0=1.8V, VCCP=95%×典型电源电压, T _{JMIN} ≤T _c ≤T _{JMAX})	测试方法	极限值		单位
				最小	最大	
输出高电平电压	VOH	DIFF_HSTL_I, 典型电源电压 1.5V, IOH=8mA	—	VCCP -0.4	—	V
		DIFF_HSTL_I_18, 典型电源电压 1.8V, IOH =8mA		VCCP -0.4	—	V
		DIFF_HSTL_II, 典型电源电压 1.5V, IOH =16mA		VCCP -0.5	—	V
		DIFF_HSTL_II_18, 典型电源电压 1.8V, IOH =16mA		VCCP -0.4	—	V
		DIFF_HSUL_12, 典型电源电压 1.2V, IOH =0.1mA		80% VCCP	—	V
		DIFF_MOBILE_DDR, 典型电源电压 1.8V, IOH=0.1mA		90% VCCP	—	V
		DIFF_SSTL135, 典型电源电压 1.35V, IOH =13mA		VCCP /2+0.15	—	V
		DIFF_SSTL135_R, 典型电源电压 1.35V, IOH =8.9mA		VCCP /2+0.15	—	V
		DIFF_SSTL15, 典型电源电压 1.5V, IOH =13mA		VCCP /2+0.175	—	V
		DIFF_SSTL15_R, 典型电源电压 1.5V, IOH =8.9mA		VCCP /2+0.175	—	V
		DIFF_SSTL18_I, 典型电源电压 1.8V, IOH =8mA		VCCP /2+0.47	—	V
		DIFF_SSTL18_II, 典型电源电压 1.8V, IOH =13.4mA		VCCP /2+0.45	—	V

5.2.3 UHST 电特性

表 22 UHST 收发器 DC 特性

特性	符号	条件 (除非另有规定, VCCCORE=1.0V, VCCSUP=1.8V, VCCUHSTVCC=1.0V, VCCUHSTVTT=1.2V, T _{JMIN} ≤T _c ≤T _{JMAX})	极限值		单位
			最小值	最大值	
差分峰峰输出	DV _{PPOUT}	TX 输出幅度设为最大	900	—	mV
差分输出共模电平	V _{CMOUTDC}	基于公式	V _{UHSTVTT} - DV _{PPOUT} /4		mV
差分输出电阻	R _{OUT}	—	80	120	Ω
输出端 TXP 和 TXN 的时延	T _{OSKEW}	—	—	12	ps
差分峰峰输入	DV _{PPIN}	> 10.3125Gbps	350	1250	mV
		6.6Gbp~10.3125Gbps	350	1250	
		≤ 6.6Gbps	350	2000	
差分输入电阻	R _{IN}	—	80	120	Ω
推荐 AC 耦合电容	C _{EXT}	—	100(典型值)		nF

5.2.4 Pin To Pin 开关参数

表 23 参数全局时钟输入到输出触发器输出延迟, 不使用 DCCU/PLL (相邻时钟区域)

特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, $95\% \times \text{典型电源电压} \leq V_{CCP} \leq 105\% \times \text{典型电源电压}$, $V_{CCP0} = 1.8V$, $T_{JMIN} \leq T_c \leq T_{JMAX}$)	极限值		单位
			最小值	最大值	
全局时钟输入到输出触发器输出延迟, 不使用 DCCU/PLL(相邻时钟区域)	tICKOF	SSTL15, Fast Slew Rate	—	6.61	ns

注: 保持时间为“0”表示无保持时间或者负保持时间, 不能保证这时最好的保持时间为负值, 但可以保证保持时间不会是正值。

表 24 数全局时钟输入到输出触发器输出延迟, 不使用 DCCU/PLL (最远时钟区域)

特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, $95\% \times \text{典型电源电压} \leq V_{CCP} \leq 105\% \times \text{典型电源电压}$, $V_{CCP0} = 1.8V$, $T_{JMIN} \leq T_c \leq T_{JMAX}$)	极限值		单位
			最小值	最大值	
全局时钟输入到输出触发器输出延迟, 不使用 DCCU/PLL(最远时钟区域)	tICKOFFAR	SSTL15, Fast Slew Rate	—	6.61	ns

注: 保持时间为“0”表示无保持时间或者负保持时间, 不能保证这时最好的保持时间为负值, 但可以保证保持时间不会是正值。

表 25 全局时钟输入到输出触发器输出延迟, 使用 DCCU

特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, $95\% \times \text{典型电源电压} \leq V_{CCP} \leq 105\% \times \text{典型电源电压}$, $V_{CCP0} = 1.8V$, $T_{JMIN} \leq T_c \leq T_{JMAX}$)	极限值		单位
			最小值	最大值	
全局时钟输入到输出触发器输出延迟, 使用 DCCU	tICKOFDCCUCC	SSTL15, Fast Slew Rate	—	2.5	ns

注: 保持时间为“0”表示无保持时间或者负保持时间, 不能保证这时最好的保持时间为负值, 但可以保证保持时间不会是正值。

表 26 全局时钟输入到输出触发器输出延迟, 使用 PLL

特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, $95\% \times \text{典型电源电压} \leq V_{CCP} \leq 105\% \times \text{典型电源电压}$, $V_{CCP0} = 1.8V$, $T_{JMIN} \leq T_c \leq T_{JMAX}$)	极限值		单位
			最小值	最大值	
全局时钟输入到输出触发器输出延迟, 使用 PLL	tICKOFPLLCC	SSTL15, Fast Slew Rate	—	2.2	ns

注: 保持时间为“0”表示无保持时间或者负保持时间, 不能保证这时最好的保持时间为负值, 但可以保证保持时间不会是正值。

表 27 输入触发器建立/保持时间, 使用无延迟全局时钟, 使用 DCCU

特性	符号	条件 (除 非 另 有 规 定 , 0.97V≤V _{CCCORE} ≤1.03V , 1.71V≤V _{CCSUP} ≤1.89V, 95%×典型电源电压≤V _{CCP} ≤105%×典型 电源电压, V _{CCP_0} =1.8V, T _{JMIN} ≤T _c ≤T _{JMAX})	极限值		单位
			最小值	最大值	
建立/保持时间					
输入触发器建立/保持时 间, 使用无延迟全局时 钟, 使用 DCCU	tPSDCCUCC/tPHDCCUCC	SSTL15	3.35/0 ^a	—	ns
			4.0/1.2 ^b	—	ns
注: 保持时间为“0”表示无保持时间或者负保持时间, 不能保证这时最好的保持时间为负值, 但可以保证保持时间不会是正值。 a: FMK50T4、FMK50 产品指标 b: FMK50T2 产品指标					

表 28 输入触发器保持时间, 使用无延迟全局时钟, 使用 PLL

特性	符号	条件 (除 非 另 有 规 定 , $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, $95\% \times \text{典型电源电压} \leq V_{CCP} \leq 105\% \times$ 典型电源电压 , $V_{CCP_0} = 1.8V$, $T_{JMIN} \leq T_c \leq T_{JMAX}$)	极限值		单位
			最小值	最大值	
建立/保持时间					
输入触发器保持时间, 使用 无延迟全局时钟, 使用 PLL	tPSPLLCC/tPHPLLCC	SSTL15	3.77/0 ^a	—	ns
			4.4/1.2 ^b	—	ns
注: 保持时间为“0”表示无保持时间或者负保持时间, 不能保证这时最好的保持时间为负值, 但可以保证保持时间不会是正值。 a: FMK50T4、FMK50 产品指标 b: FMK50T2 产品指标					

表 29 源同步 pin-to-pin 开关特性参数

特性	符号	条件 (除 非 另 有 规 定 , $0.97V \leq V_{CCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, $95\% \times$ 典 型 电 源 电 压 $\leq V_{CCP} \leq 105\% \times$ 典型电源电压 , $V_{CCP_0} = 1.8V$, $T_{JMIN} \leq T_c \leq T_{JMAX}$)	极限值		单位
			最小值	最大值	
对于 I/O banks 时钟输入至输出的延时, 使用 BUFIO 时钟输入	tCKOFC	SSTL15, Fast Slew Rate	—	6.64	ns
对于 I/O banks 数据输入建立/保持时间, 使用 BUFIO 时钟输入	tPSCS/tPHCS	SSTL15, Fast Slew Rate	1/2.5 ^a	—	ns
			1/3.5 ^b	—	ns
注: 保持时间为“0”表示无保持时间或者负保持时间, 不能保证这时最好的保持时间为负值, 但可以保证保持时间不会是正值。 a: FMK50T4、FMK50 产品指标 b: FMK50T2 产品指标					

表 30 I/O Banks 输入触发器建立/保持时间, 使用 ZHOLD_DELAY, 不使用 DCCU/PLL

特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCORE} \leq 1.03V$)	极限值	单位
----	----	---	-----	----

		1.71V ≤ V _{CCSUP} ≤ 1.89V, 95% × 典型电源电压 ≤ V _{CCP} ≤ 105% × 典型电源电压, V _{CCP0} = 1.8V, T _{JMIN} ≤ T _C ≤ T _{JMAX})	最小值	最大值	
建立/保持时间					
输入触发器建立/保持时间, 使用 ZHOLD_DELAY, 不使用 DCCU/PLL	tPSFD/tPHFD	SSTL15	3.10/1.5 ^a	—	ns
			3.1/1.8 ^b	—	ns
注: 保持时间为“0”表示无保持时间或者负保持时间, 不能保证这时最好的保持时间为负值, 但可以保证保持时间不会是正值。 a: FMK50T4、FMK50 产品指标 b: FMK50T2 产品指标					

5.2.5 SYS_MON 性能参数

表 31 SYS_MON 开关特性参数

特性	符号	条件 (除非另有规定, $V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$, $1.71V \leq V_{CCADC} \leq 1.89V$, V_{CCP} = 典 型电压, $T_{JMIN} \leq T_C \leq T_{JMAX}$)	极限值		单位
			最小值	最大值	
扩展温度下 ADC 精度					
分辨率	—	$T_C = T_{JMIN}$ to T_{JMAX} , $V_{REFP} = 1.25V$; $V_{REFN} = 0V$; $ADC_{CLK} = 26\text{ MHz}$	10	—	Bits
积分非线性	INL	$T_C = T_{JMIN}$ to T_{JMAX}	—	±1	LSBs(10bits)
差分非线性	DNL	$T_C = T_{JMIN}$ to T_{JMAX} , 无失码	—	±1	LSBs(10bits)
模拟输入 ^a					
ADC 输入范围	—	单极模式	0	1	V
		双极模式	-0.5	0.5	V
		单极模式共模范围	0	0.5	V
		双极模式共模范围	0.5	0.6	V
最大外部通道输入范围	—	相邻通道测量范围没有相互影响情况下	-0.1	V_{CCADC}	V
辅助通道全分辨率下带宽	FRBW	—	250	—	KHz
传感器 ^a					
温度传感误差 a	—	$T_C = T_{JMIN}$ to T_{JMAX}	—	±10	℃
电压传感误差	—	$T_C = T_{JMIN}$ to T_{JMAX}	—	±2	%
转换率 ^a					
转换时间-连续	tCONV	ADC 时钟的周期数	26	32	周期数
转换时间-事件	tCONV	时钟的周期数		21	周期数
DRP 时钟	DCLK	DRP 时钟频率	8	250	MHz
ADC 时钟	ADCCLK	DCLK 上分频得到	1	26	MHz
DCLK 的占空比	—	—	40	60	%
XADC 参考电压 ^a					
外部基准	VREF	VREP 管脚连接到外部基准电压	1.2	1.3	V



特性	符号	条件 (除非另有规定, $V_{CCCORE}=1.0V$, $V_{CCSUP}=1.8V$, $1.71V \leq V_{CCADC} \leq 1.89V$, V_{CCP} = 典型电压, $T_{JMIN} \leq T_c \leq T_{JMAX}$)	极限值		单位
			最小值	最大值	
内部基准	—	VREP 管脚连接到模拟地; $T_j = T_{JMIN}$ to T_{JMAX}	1.2375	1.2625	V

a 该参数是保障参数, 在设计过程中通过仿真或测试保证, 在鉴定和质量一致性检验时不进行测试。

5.2.6 配置开关参数

表 32 配置开关特性参数

特性	符号	条件 (除非另有规定, V _{CCCORE} =1.0V , V _{CCSUP} = 1.8V , V _{CCP} =典型电压, T _{JMIN} ≤T _c ≤T _{JMAX})	极限值		单位
			最小值	最大值	
上电					
配置等待时间	tPL	—	—	15	ms
上电复位(50ms 斜坡速率时间)	tPOR	—	5	50	ms
配置脉冲宽度 ^a	tPROGRAM	—	250	—	ns
输出延迟	tICCK	—	150	—	ns
低电平时间	tMCCKL	—	40	60	%
高电平时间	tMCCKH	—	40	60	%
最大频率	fMCCK	—	—	100	MHz
AEX x16 加密最大频率	fMCCK	—	—	50	MHz
配置初始频率	fMCCK_START	—	3		MHz
容许频偏	fMCCKTOL	—	-50	50	%
CCLK 输入（从模式） ^a					
低电平时间 ^a	tSCCKL	—	2.5	—	ns
高电平时间 ^a	tSCCKH	—	2.5	—	ns
最大频率	fSCCK	—	—	60	MHz
EMCCLK 输入（主模式） ^a					
低电平时间	tEMCCKL	—	2.5	—	ns
高电平时间	tEMCCKH	—	2.5	—	ns
最大频率	fEMCCK	—	—	100	MHz
内部配置访问端口 ^a					
最大频率	tICAPCK	—	—	100	MHz
DIN 建立/保持时间, 从模式	tDCCK/tCCKD	—	4.00/0.00	—	ns
DOUT	tCCO	—	—	8.0	ns
SelectMAP 模式 ^a					
SelectMAP 建立/保持时间 ^a	tSMDCCK/tSMCCD	—	4.00/1.20	—	ns
CS_B 建立/保持时间 ^a	tSMCSCCK/tSMCCCS	—	4.00/1.20	—	ns
RDWR_B 建立/保持时间 ^a	tSMWCCK/tSMCCKW	—	4.00/1.20	—	ns
CSO_B 时钟到输出（外接 330 欧上拉电阻） ^a	tSMCKCSO	—	—	7	ns
回读时 D[31:00]时钟到输出	tSMCO	—	—	8	ns
回读最大频率	fMCCTOL	—	—	60	MHz
边界扫描端口					
TMS 和 TDI 在 TCK 前的建立时间	tTAPTCK/tTCKTAP	—	3.00/2.00	—	ns
TCK 下降沿到 TDO 输出有效	tTCKTDO	—	—	7	ns
TCK 最大配置频率	fTCK	—	—	66	MHz
BPI FLASH 主模式 ^a					
A[28:00],RS[1:0],FCS_B,FOE_B,FWE_B,ADV_B 时钟到输出	tBPICCO	—	—	8.5	ns

上海复旦微电子集团股份有限公司

Shanghai Fudan Microelectronics Group Company Limited

技术手册

FMK50 系列 SRAM 型现场可编程门阵列

版本 1.2

48 / 109

特性	符号	条件 (除非另有规定, $V_{CCORE}=1.0V$, $V_{CCSUP} = 1.8V$, V_{CCP} =典型电压, $T_{JMIN} \leq T_C \leq T_{JMAX}$)	极限值		单位
			最小值	最大值	
D[15:00]建立/保持时间	tBPIDCC /tBPICCD	—	4.00/0.00	—	ns
SPI FLASH 主模式 ^a					
D[03:00]建立/保持时间	tSPIDCC /tSPICCD	—	3.00/0.00	—	ns
MOSI 时钟到输出	tSPICCM	—	—	8.0	ns
FCS_B 时钟到输出	tSPICCFC	—	—	8.0	ns
STARTUPE2 端口 ^a					
USERCCLK 输入到 CCLK 输出	tUSERCCLKO	—	0.5	6.7	ns
CFGMCLK 输出频率	fCFGMCLK	—	65		MHz
CFGMCLK 输出频偏	fCFGMCLKTOL	—	-50	50	%
DNA 配置接口 ^a					
最高频率	fDNACK	—		100	MHz

^a 该参数是保障参数, 在设计过程中通过仿真或测试保证, 在鉴定和质量一致性检验时不进行测试。

5.2.7 UHST 开关特性

以下“条件”中, 均默认为“ $V_{CCORE}=1.0V$, $V_{CCSUP}=1.8V$, $V_{UHSTVCC}=1.0V$, $V_{UHSTVTT}=1.2V$, V_{CCP} =典型电压, $T_{JMIN} \leq T_C \leq T_{JMAX}$ ”, 除非另有规定。

表 33 UHST 收发器开关特性参数

特性	符号	分频系数	条件	极限值		单位
				最小值	最大值	
UHST 最小传输速率 ^a	FUHSTMIN	—	—	0.5	—	Gb/s
CPLL 线速率 ^a	FUHSTCRANGE	1	—	3.2	6.6	Gb/s
		2		1.6	3.3	Gb/s
		4		0.8	1.65	Gb/s
		8		0.5	0.825	Gb/s
QPLL 线速率 ^{1a}	FUHSTQRANGE1	1	—	5.93	8	Gb/s
		2		2.965	4	Gb/s
		4		1.4825	2	Gb/s
		8		0.74125	1	Gb/s
QPLL 线速率 ^{2a,c}	FUHSTQRANGE2	1	—	9.8	12.5	Gb/s
		2		4.9	6.25	Gb/s
		4		2.45	3.125	Gb/s
		8		1.225	1.5625	Gb/s
		16		0.6125	0.78125	Gb/s
CPLL 频率范围 ^b	FGCPLLRange	—	—	1.6	3.3	GHz
QPLL 频率范围 ^{1b}	FGQPLLRange1	—	—	5.93	8.0	GHz
QPLL 频率范围 ^{2b}	FGQPLLRange2	—	—	9.8	12.5	GHz

^a 以上速率在 Near-End PMA LoopBack 条件下进行测试。
^b 通过读取 QPLLLOCK 或者 CPLLLOCK 判定是否 Lock。
^c 该参数是保障参数, 在设计过程中通过仿真或测试保证, 在鉴定和质量一致性检验时不进行测试。

表 34 UHST 收发器动态重配口开关特性

特性	符号	条件	极限值		单位
			最小值	最大值	



特性	符号	条件	极限值		单位
			最小值	最大值	
UHST DRP 最大时钟频率 ^a	FUHSTDRPCLK	—	—	175.01	MHz

a 该参数是保障参数，在设计过程中通过仿真或测试保证，在鉴定和质量一致性检验时不进行测试。

表 35 UHST 收发器参考时钟开关特性

特性	符号	条件	极限值		单位
			最小值	最大值	
参考时钟频率范围	FGCLK	—	60	700	MHz
参考时钟上升沿 ^a	FRCLK		200(典型值)		ps
参考时钟下降沿 ^a	FFCLK		200(典型值)		ps
参考时钟占空比 ^a	FDCREF		40	60	%

a 该参数是保障参数，在设计过程中通过仿真或测试保证，在鉴定和质量一致性检验时不进行测试。

表 36 UHST 收发器 PLL 锁定时间

特性	符号	条件	极限值		单位
			最小值	最大值	
初始 PLL 锁定时间 ^a	TLOCK	—表 37	-	30	ms
时钟恢复适应时间 DFE 模式下 ^a	TDLOCK	PLL 锁住以后，从输入数据到 CDR 恢复时间；	—	10×10^7	UI
时钟恢复适应时间 LPM 模式下 ^a	TDLOCK		—	10×10^6	UI

a 该参数是保障参数，在设计过程中通过仿真或测试保证，在鉴定和质量一致性检验时不进行测试。

表 37 UHST 收发器用户时钟开关特性

特性	符号	条件	极限值		单位
			最小值	最大值	
TXOUTCLK 最大频率 ^a	FTXOUT	—	—	412.500	MHz
RXOUTCLK 最大频率 ^a	FRXOUT	—	—	412.500	MHz
TXUSRCLK 最大频率 ^a	FTXIN	16 位宽	—	412.500	MHz
		32 位宽	—	322.266	MHz
RXUSRCLK 最大频率 ^a	FRXIN	16 位宽	—	412.500	MHz
		32 位宽	—	322.266	MHz
TXUSRCLK2 最大频率 ^a	FTXIN2	16 位宽	—	412.500	MHz
		32 位宽	—	322.266	MHz
		64 位宽	—	161.133	MHz
RXUSRCLK2 最大频率 ^a	FRXIN2	16 位宽	—	412.500	MHz
		32 位宽	—	322.266	MHz
		64 位宽	—	161.133	MHz

a 该参数是保障参数，在设计过程中通过仿真或测试保证，在鉴定和质量一致性检验时不进行测试。

表 38 UHST 发射端开关特性

特性	符号	条件	测试方法	极限值		单位
				最小	最大	
串行速率 ^a	f_{UHSTTX}	—		0.5	$f_{UHSTMAX}$	Gb/s
TX 上升沿 ^a	t_{RTX}	20%-80%		40(典型值)		ps
TX 下降沿 ^a	t_{FTX}	80%-20%		40(典型值)		ps
TX lane 到 lane 的时延 ^{ab}	t_{LLSKEW}	—		—	500	ps
电气空闲电平 ^a	$V_{TXOVBVDP}$	—		—	15	mV
电气空闲转换时间 ^a	$t_{TXOVBTRANSITION}$	—		—	140	ns
总抖动 ^{ace}	$TJ_{12.5}$	12.5Gb/s		—	0.5	UI
固定性抖动 ^{ace}	$DJ_{12.5}$	12.5Gb/s		—	0.26	UI
总抖动 ^{ace}	$TJ_{11.18}$	11.18Gb/s		—	0.5	UI
固定性抖动 ^{ace}	$DJ_{11.18}$	11.18Gb/s		—	0.26	UI
总抖动 ^{ace}	$TJ_{10.3125}$	10.3125Gb/s		—	0.5	UI
固定性抖动 ^{ace}	$DJ_{10.3125}$	10.3125Gb/s		—	0.26	UI
总抖动 ^{ace}	$TJ_{9.953}$	9.953Gb/s		—	0.5	UI
固定性抖动 ^{ace}	$DJ_{9.953}$	9.953Gb/s		—	0.26	UI
总抖动 ^{ace}	$TJ_{9.8}$	9.8Gb/s		—	0.5	UI
固定性抖动 ^{ace}	$DJ_{9.8}$	9.8Gb/s		—	0.26	UI
总抖动 ^{ace}	$TJ_{8.0}$	8.0Gb/s		—	0.5	UI
固定性抖动 ^{ace}	$DJ_{8.0}$	8.0Gb/s		—	0.26	UI
总抖动 ^{ace}	$TJ_{6.6_QPLL}$	6.6Gb/s		—	0.5	UI
固定性抖动 ^{ace}	$DJ_{6.6_QPLL}$	6.6Gb/s		—	0.26	UI
总抖动 ^{ade}	$TJ_{6.6_CPLL}$	6.6Gb/s		—	0.5	UI
固定性抖动 ^{ade}	$DJ_{6.6_CPLL}$	6.6Gb/s		—	0.26	UI
总抖动 ^{ade}	$TJ_{5.0}$	5.0Gb/s		—	0.5	UI
固定性抖动 ^{ade}	$DJ_{5.0}$	5.0Gb/s		—	0.26	UI
总抖动 ^{ade}	$TJ_{4.25}$	4.25Gb/s		—	0.5	UI
固定性抖动 ^{ade}	$DJ_{4.25}$	4.25Gb/s		—	0.26	UI
总抖动 ^{ade}	$TJ_{3.75}$	3.75Gb/s		—	0.5	UI
固定性抖动 ^{ade}	$DJ_{3.75}$	3.75Gb/s		—	0.26	UI
总抖动 ^{ade}	$TJ_{3.2}$	3.2Gb/s ⁵		—	0.5	UI
固定性抖动 ^{ade}	$DJ_{3.2}$	3.2Gb/s ⁵		—	0.26	UI
总抖动 ^{ade}	$TJ_{3.2L}$	3.2Gb/s ⁶		—	0.5	UI
固定性抖动 ^{ade}	$DJ_{3.2L}$	3.2Gb/s ⁶		—	0.26	UI
总抖动 ^{ade}	$TJ_{2.5}$	2.5Gb/s ⁷		—	0.5	UI
固定性抖动 ^{ade}	$DJ_{2.5}$	2.5Gb/s ⁷		—	0.26	UI
总抖动 ^{ade}	$TJ_{1.25}$	1.25Gb/s ⁸		—	0.30	UI
固定性抖动 ^{ade}	$DJ_{1.25}$	1.25Gb/s ⁸		—	0.15	UI
总抖动 ^{ade}	$TJ_{0.5}$	0.5Gb/s		—	0.25	UI
固定性抖动 ^{ade}	$DJ_{0.5}$	0.5Gb/s		—	0.13	UI

^a 该参数是保障参数，在设计过程中通过仿真或测试保证，在鉴定、例行、生产和交收检验时不进行测试。

^b 使用同一个参考时钟并且 TX 相位对准使能下的 12 个 TX 发送端。

^c QPLL_FBDIV = 40,20 位宽下，没有固定协议。

^d CPLL_FBDIV = 2,20 位宽下，没有固定协议。

^e 抖动测量基于误码率为 1e-12。

^f CPLL 的频率为 3.2GHz 并且 TXOUT_DIV=2。

^g CPLL 的频率为 1.6GHz 并且 TXOUT_DIV=1。

^h CPLL 的频率为 2.5GHz 并且 TXOUT_DIV=2。

ⁱ CPLL 的频率为 2.5GHz 并且 TXOUT_DIV=4。

表 39 UHST 接收端开关特性

特性	符号	条件	测试方法	极限值		单位
				最小	最大	
串行速率 ^a	f_{UHSTRX}	—	-	0.5	$f_{UHSTMAX}$	Gb/s
RX 空闲响应时间 ^a	$t_{RXELECIDLE}$	—		10(典型值)		ns
RXOOB 检测峰峰电平 ^a	$RX_{OOBVDPP}$	—		60	150	mV
RX 展频追踪 ^{ab}	RX_{SST}	33 KHz 调制频率		-5000	—	ppm
运行长度 ^a	RX_{RL}	—		—	512	UI
RX 频偏容忍度 ^a	RX_{PPMTOL}	速率≤6.6Gb/s		-1250	1250	ppm
		速率 6.6Gb/s ~ 8Gb/s		-700	700	ppm
		速率>8Gb/s		-200	200	ppm
正弦波下的抖动容忍度 ^{ac}						
正弦抖动 (QPLL) ^{ad}	$JT_{SJ_{12.5}}$	12.5Gb/s	-	0.3	—	UI
正弦抖动 (QPLL) ^{ad}	$JT_{SJ_{11.18}}$	11.18Gb/s		0.3	—	UI
正弦抖动 (QPLL) ^{ad}	$JT_{SJ_{10.32}}$	10.32Gb/s		0.3	—	UI
正弦抖动 (QPLL) ^{ad}	$JT_{SJ_{9.95}}$	9.95Gb/s		0.3	—	UI
正弦抖动 (QPLL) ^{ad}	$JT_{SJ_{9.8}}$	9.8Gb/s		0.3	—	UI
正弦抖动 (QPLL) ^{ad}	$JT_{SJ_{8.0}}$	8.0Gb/s		0.44	—	UI
正弦抖动 (QPLL) ^{ad}	$JT_{SJ_{6.6_QPLL}}$	6.6Gb/s		0.48	—	UI
正弦抖动 (CPLL) ^{ad}	$JT_{SJ_{6.6_CPLL}}$	6.6Gb/s		0.44	—	UI
正弦抖动 (CPLL) ^{ad}	$JT_{SJ_{5.0}}$	5.0Gb/s		0.44	—	UI
正弦抖动 (CPLL) ^{ad}	$JT_{SJ_{4.25}}$	4.25Gb/s		0.44	—	UI
正弦抖动 (CPLL) ^{ad}	$JT_{SJ_{3.75}}$	3.75Gb/s		0.44	—	UI
正弦抖动 (CPLL) ^{ad}	$JT_{SJ_{3.2}}$	3.2Gb/s ⁴		0.45	—	UI
正弦抖动 (CPLL) ^{ad}	$JT_{SJ_{3.2L}}$	3.2Gb/s ⁵		0.45	—	UI
正弦抖动 (CPLL) ^{ad}	$JT_{SJ_{2.5}}$	2.5Gb/s ⁶		0.5	—	UI
正弦抖动 (CPLL) ^{ad}	$JT_{SJ_{1.25}}$	1.25Gb/s ⁷		0.5	—	UI
正弦抖动 (CPLL) ^{ad}	$JT_{SJ_{0.5}}$	0.5Gb/s		0.4	—	UI
压力眼图下的正弦波下的抖动容忍度 ^{ac}						
压力眼图下总抖动 ^{ai}	$JT_{TJSE_{3.2}}$	3.2Gb/s	-	0.5	—	UI
压力眼图下总抖动 ^{ai}	$JT_{TJSE_{6.6}}$	6.6Gb/s		0.5	—	UI
压力眼图下的正弦抖动 ^{ai}	$JT_{SE_{3.2}}$	3.2Gb/s		0.05	—	UI
压力眼图下的正弦抖动 ^{ai}	$JT_{SE_{6.6}}$	6.6Gb/s		0.05	—	UI

^a 该参数是保障参数，在设计过程中通过仿真或测试保证，在鉴定、例行、生产和交收检验时不进行测试。

^b 使用 RXOUT_DIV=1,2,4。

^c 抖动测量基于误码率为 1e-12。

^d 正弦波抖动频率为 80MHz。

^e CPLL 的频率为 3.2GHz 并且 RXOUT_DIV=2。

^f CPLL 的频率为 1.6GHz 并且 RXOUT_DIV=1。

^g CPLL 的频率为 2.5GHz 并且 RXOUT_DIV=2。

^h CPLL 的频率为 2.5GHz 并且 RXOUT_DIV=4。

ⁱ RX 为 LPM 或者 DFE 模式。

表 40 UHST 收发端协议抖动开关特性

特性	符号	条件	测试方法	极限值		单位
				最小	最大	
千兆以太网协议 ^a						
发送端总抖动 ^a	T_{TJ}	1.25Gb/s	-	—	0.3	UI
接收端总抖动容忍度 ^a	—	1.25Gb/s		0.5	—	UI
XAUI 协议 ^a						



特性	符号	条件	测试方法	极限值		单位	
				最小	最大		
发送端总抖动 ^a	T_{TJ}	3.125Gb/s	-	—	0.5	UI	
接收端总抖动容忍度 ^a	—	3.125Gb/s		0.5	—	UI	
PCIE 协议 ^a							
发送端总抖动 ^a	—	2.5Gb/s	-	—	0.5	UI	
发送端总抖动 ^a	—	5.0Gb/s		—	0.5	UI	
发送端不相关总抖动 ^a	—	8Gb/s		—	56	ps	
发送端不相关确定性抖动 ^a	—	8Gb/s		—	30	ps	
接收端总抖动容忍度 ^a	—	2.5Gb/s		0.5	—	UI	
接收端固有有时间误差 ^a	—	5.0Gb/s		0.2	—	UI	
接收端固有有固定性时间误差 ^a	—	5.0Gb/s		0.1	—	UI	
接收端正弦抖动容忍度 ^a	—	8Gb/s, 0.03~1.0MHz		0.5	—	UI	
接收端正弦抖动容忍度 ^a	—	8Gb/s, 10~100MHz		0.05	—	UI	
CEI-6G 和 CEI-11G 协议 ^a							
CEI-6G 发送端总抖动 ^a	—	4.976~6.375Gb/s, CEI-6G-SR 接口	-	—	0.5	UI	
CEI-6G 发送端总抖动 ^a	—	4.976~6.375Gb/s, CEI-6G-LR 接口		—	0.5	UI	
CEI-6G 接收端总抖动容忍度 ^a	—	4.976~6.375Gb/s, CEI-6G-SR 接口		0.5	—	UI	
CEI-6G 接收端总抖动容忍度 ^a	—	4.976~6.375Gb/s, CEI-6G-SR 接口		0.5	—	UI	
CEI-11G 发送端总抖动 ^a	—	9.95~11.1Gb/s, CEI-11G-SR 接口		—	0.5	UI	
CEI-11G 发送端总抖动 ^a	—	9.95~11.1Gb/s, CEI-11G-LR/MR 接口		—	0.5	UI	
CEI-11G 接收端总抖动容忍度 ^a	—	9.95~11.1Gb/s, CEI-11G-SR 接口		0.5	—	UI	
CEI-11G 接收端总抖动容忍度 ^a	—	9.95~11.1Gb/s, CEI-11G-MR 接口		0.5	—	UI	
CEI-11G 接收端总抖动容忍度 ^a	—	9.95~11.1Gb/s, CEI-11G-LR 接口		0.5	—	UI	
SFP+协议 ^a							
发送端总抖动 ^a	—	9.8304Gb/s	-	—	0.5	UI	
发送端总抖动 ^a	—	9.953Gb/s		—	0.5	UI	
发送端总抖动 ^a	—	10.3125Gb/s		—	0.5	UI	
发送端总抖动 ^a	—	10.51875Gb/s		—	0.5	UI	
发送端总抖动 ^a	—	11.1Gb/s		—	0.5	UI	
接收端总抖动容忍度 ^a	—	9.8304Gb/s		0.5	—	UI	
接收端总抖动容忍度 ^a	—	9.953Gb/s		0.5	—	UI	
接收端总抖动容忍度 ^a	—	10.3125Gb/s		0.5	—	UI	
接收端总抖动容忍度 ^a	—	10.51875Gb/s		0.5	—	UI	
接收端总抖动容忍度 ^a	—	11.1Gb/s		0.5	—	UI	
CPRI 协议 ^a							
发送端总抖动 ^a	—	0.6144Gb/s	-	—	0.5	UI	
发送端总抖动 ^a	—	1.2288Gb/s		—	0.5	UI	
发送端总抖动 ^a	—	2.4576Gb/s		—	0.5	UI	
发送端总抖动 ^a	—	3.072Gb/s		—	0.5	UI	
发送端总抖动 ^a	—	4.9152Gb/s		—	0.5	UI	
发送端总抖动 ^a	—	6.144Gb/s		—	0.5	UI	
发送端总抖动 ^a	—	9.8304Gb/s		—	0.5	UI	
接收端总抖动容忍度 ^a	—	0.6144Gb/s		0.5	—	UI	
接收端总抖动容忍度 ^a	—	1.2288Gb/s		0.5	—	UI	
接收端总抖动容忍度 ^a	—	2.4576Gb/s		0.5	—	UI	
接收端总抖动容忍度 ^a	—	3.072Gb/s		0.5	—	UI	
接收端总抖动容忍度 ^a	—	4.9152Gb/s		0.5	—	UI	
接收端总抖动容忍度 ^a	—	6.144Gb/s		0.5	—	UI	
接收端总抖动容忍度 ^a	—	9.8304Gb/s		0.5	—	UI	
^a 该参数是保障参数，在设计过程中通过仿真或测试保证，在鉴定、例行、生产和交收检验时不进行测试。							

^a 该参数是保障参数，在设计过程中通过仿真或测试保证，在鉴定、例行、生产和交收检验时不进行测试。

5.2.8 网络应用接口性能参数

表 41 网络应用接口性能参数

特性	符号	条件 (除 非 另 有 规 定 , $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, V_{CCP} =典型电压, $T_{JMIN} \leq T_c \leq T_{JMAX}$)	最大工作频率	单位
SDR LVDS 发送器 ^a (using OSERDES;DATA_WIDTH = 4 to 8)	—	—	500 ^b	Mb/s
DDR LVDS 发送器 ^a (using OSERDES;DATA_WIDTH = 4 to 14)	—		800 ^b	Mb/s
SDR LVDS 接收器 ^a (SFI-4.1)	—		600 ^b	Mb/s
DDR LVDS 接收器 ^a (SPI-4.2)	—		800 ^b	Mb/s
a 该参数是保障参数, 在设计过程中通过仿真或测试保证, 在鉴定和质量一致性检验时不进行测试。 b 是典型值, 不作为上下限。				

5.2.9 存储接口性能参数

以下“条件”中, 均默认为“ $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, V_{CCP} = 典型电压, $T_{JMIN} \leq T_c \leq T_{JMAX}$ ”, 除非另有规定。

表 42 存储接口 PHY 最大运行速率

特性	符号	最大工作频率	单位
4: 1 内存控制器 ^a			
DDR3	—	800	Mb/s
DDR3L	—	667	Mb/s
DDR2	—	667	Mb/s
2: 1 内存控制器 ^a			
DDR3	—	620	Mb/s
DDR3L	—	620	Mb/s
DDR2	—	620	Mb/s
QDR II+ HRIO	—	500	MHz
RLDRAM II HRIO	—	450	MHz
LPDDR2 HRIO	—	553	Mb/s
^a 该参数是保障参数, 在设计过程中通过仿真或测试保证, 在鉴定和质量一致性检验时不进行测试。			

5.2.10 IOU PAD 输入/输出三态开关特性

以下“条件”中, 均默认为“ $0.97V \leq V_{CCCORE} \leq 1.03V$, $1.71V \leq V_{CCSUP} \leq 1.89V$, V_{CCP} = 典型电压, $T_{JMIN} \leq T_c \leq T_{JMAX}$ ”, 除非另有规定。

表 43 IOU 数据输入延迟 (t_{IOP1})

特性	符号	条件	极限值		单位
			最小	最大	
IOU 数据输入延迟 ^a					
IOU 输入开关特性， 数据由 IOU pad 通过输入缓冲器输入到 IOU 的 I pin 所需要经过的延迟 ^a	t _{IOP1}	LVTTL_S4	—	1.42	ns
		LVTTL_S8	—	1.42	ns
		LVTTL_S12	—	1.42	ns
		LVTTL_S16	—	1.42	ns
		LVTTL_S24	—	1.42	ns
		LVTTL_F4	—	1.42	ns
		LVTTL_F8	—	1.42	ns



特性	符号	条件	极限值		单位
			最小	最大	
		LVTTL_F12	—	1.42	ns
		LVTTL_F16	—	1.42	ns
		LVTTL_F24	—	1.42	ns
		LVDS_25	—	0.68	ns
		MINI_LVDS_25	—	0.70	ns
		BLVDS_25	—	0.69	ns
		RSDS_25	—	0.68	ns
		PPDS_25	—	0.69	ns
		TMDS_33	—	0.76	ns
		PCI33_3	—	1.41	ns
		HSUL_12_S	—	0.64	ns
		HSUL_12_F	—	0.64	ns
		DIFF_HSUL_12_S	—	0.61	ns
		DIFF_HSUL_12_F	—	0.61	ns
		MOBILE_DDR_S	—	0.66	ns
		MOBILE_DDR_F	—	0.66	ns
		DIFF_MOBILE_DDR_S	—	0.66	ns
		DIFF_MOBILE_DDR_F	—	0.66	ns
		HSTL_I_S	—	0.64	ns
		HSTL_II_S	—	0.64	ns
		HSTL_I_18_S	—	0.67	ns
		HSTL_II_18_S	—	0.67	ns
		DIFF_HSTL_I_S	—	0.67	ns
		DIFF_HSTL_II_S	—	0.67	ns
		DIFF_HSTL_I_18_S	—	0.69	ns
		DIFF_HSTL_II_18_S	—	0.69	ns
		HSTL_I_F	—	0.64	ns
		HSTL_II_F	—	0.64	ns
		HSTL_I_18_F	—	0.67	ns
		HSTL_II_18_F	—	0.67	ns
		DIFF_HSTL_I_F	—	0.67	ns
		DIFF_HSTL_II_F	—	0.67	ns
		DIFF_HSTL_I_18_F	—	0.69	ns
		DIFF_HSTL_II_18_F	—	0.69	ns
		LVC MOS33_S4	—	1.40	ns
		LVC MOS33_S8	—	1.40	ns
		LVC MOS33_S12	—	1.40	ns
		LVC MOS33_S16	—	1.40	ns
		LVC MOS33_F4	—	1.40	ns
		LVC MOS33_F8	—	1.40	ns
		LVC MOS33_F12	—	1.40	ns
		LVC MOS33_F16	—	1.40	ns
		LVC MOS25_S4	—	1.16	ns
		LVC MOS25_S8	—	1.16	ns
		LVC MOS25_S12	—	1.16	ns
		LVC MOS25_S16	—	1.16	ns
		LVC MOS25_F4	—	1.16	ns
		LVC MOS25_F8	—	1.16	ns
		LVC MOS25_F12	—	1.16	ns
		LVC MOS25_F16	—	1.16	ns
		LVC MOS18_S4	—	0.66	ns
		LVC MOS18_S8	—	0.66	ns
		LVC MOS18_S12	—	0.66	ns
		LVC MOS18_S16	—	0.66	ns
		LVC MOS18_S24	—	0.66	ns



特性	符号	条件	极限值		单位
			最小	最大	
		LVC MOS18_F4	—	0.66	ns
		LVC MOS18_F8	—	0.66	ns
		LVC MOS18_F12	—	0.66	ns
		LVC MOS18_F16	—	0.66	ns
		LVC MOS18_F24	—	0.66	ns
		LVC MOS15_S4	—	0.69	ns
		LVC MOS15_S8	—	0.69	ns
		LVC MOS15_S12	—	0.69	ns
		LVC MOS15_S16	—	0.69	ns
		LVC MOS15_F4	—	0.69	ns
		LVC MOS15_F8	—	0.69	ns
		LVC MOS15_F12	—	0.69	ns
		LVC MOS15_F16	—	0.69	ns
		LVC MOS12_S4	—	0.91	ns
		LVC MOS12_S8	—	0.91	ns
		LVC MOS12_S12	—	0.91	ns
		LVC MOS12_F4	—	0.91	ns
		LVC MOS12_F8	—	0.91	ns
		LVC MOS12_F12	—	0.91	ns
		SSTL135_S	—	0.64	ns
		SSTL15_S	—	0.64	ns
		SSTL18_I_S	—	0.67	ns
		SSTL18_II_S	—	0.67	ns
		DIFF_SSTL135_S	—	0.61	ns
		DIFF_SSTL15_S	—	0.67	ns
		DIFF_SSTL18_I_S	—	0.69	ns
		DIFF_SSTL18_II_S	—	0.69	ns
		SSTL135_F	—	0.64	ns
		SSTL15_F	—	0.64	ns
		SSTL18_I_F	—	0.67	ns
		SSTL18_II_F	—	0.67	ns
		DIFF_SSTL135_F	—	0.61	ns
		DIFF_SSTL15_F	—	0.67	ns
		DIFF_SSTL18_I_F	—	0.69	ns
		DIFF_SSTL18_II_F	—	0.69	ns

a 该参数是保障参数，在设计过程中通过仿真或测试保证，在鉴定和质量一致性检验时不进行测试。

表 44 IOU 数据输出延迟 (t_{IOP})

特性	符号	条件	极限值		单位
			最小	最大	
IOU 数据输出延迟 ^a					
IOU 输出开关特性，数据由 IOU 的 O pin 通过输出缓冲器输出到 IOU pad 需要经过的延迟 ^a	t_{IOP}	LVTTL_S4	—	4.18	ns
		LVTTL_S8	—	3.92	ns
		LVTTL_S12	—	3.90	ns
		LVTTL_S16	—	3.45	ns
		LVTTL_S24	—	3.67	ns
		LVTTL_F4	—	3.64	ns
		LVTTL_F8	—	3.12	ns
		LVTTL_F12	—	3.10	ns
		LVTTL_F16	—	2.93	ns
		LVTTL_F24	—	2.90	ns
		LVDS_25	—	1.67	ns
		MINI_LVDS_25	—	1.65	ns



	BLVDS_25	—	2.21	ns
	RSDS_25	—	1.65	ns
	PPDS_25	—	1.67	ns
	TMDS_33	—	1.79	ns
	PCI33_3	—	3.48	ns
	HSUL_12_S	—	2.18	ns
	HSUL_12_F	—	1.67	ns
	DIFF_HSUL_12_S	—	2.18	ns
	DIFF_HSUL_12_F	—	1.67	ns
	MOBILE_DDR_S	—	2.06	ns
	MOBILE_DDR_F	—	1.76	ns
	DIFF_MOBILE_DDR_S	—	2.07	ns
	DIFF_MOBILE_DDR_F	—	1.82	ns
	HSTL_I_S	—	1.99	ns
	HSTL_II_S	—	1.79	ns
	HSTL_I_18_S	—	1.67	ns
	HSTL_II_18_S	—	1.79	ns
	DIFF_HSTL_I_S	—	1.96	ns
	DIFF_HSTL_II_S	—	1.88	ns
	DIFF_HSTL_I_18_S	—	1.76	ns
	DIFF_HSTL_II_18_S	—	1.84	ns
	HSTL_I_F	—	1.48	ns
	HSTL_II_F	—	1.49	ns
	HSTL_I_18_F	—	1.51	ns
	HSTL_II_18_F	—	1.49	ns
	DIFF_HSTL_I_F	—	1.56	ns
	DIFF_HSTL_II_F	—	1.59	ns
	DIFF_HSTL_I_18_F	—	1.59	ns
	DIFF_HSTL_II_18_F	—	1.59	ns
	LVC MOS33_S4	—	4.18	ns
	LVC MOS33_S8	—	3.90	ns
	LVC MOS33_S12	—	3.46	ns
	LVC MOS33_S16	—	3.77	ns
	LVC MOS33_F4	—	3.64	ns
	LVC MOS33_F8	—	3.12	ns
	LVC MOS33_F12	—	2.93	ns
	LVC MOS33_F16	—	2.93	ns
	LVC MOS25_S4	—	3.51	ns
	LVC MOS25_S8	—	3.26	ns
	LVC MOS25_S12	—	2.85	ns
	LVC MOS25_S16	—	3.20	ns
	LVC MOS25_F4	—	3.12	ns
	LVC MOS25_F8	—	2.56	ns
	LVC MOS25_F12	—	2.54	ns
	LVC MOS25_F16	—	2.39	ns
	LVC MOS18_S4	—	1.99	ns
	LVC MOS18_S8	—	2.56	ns
	LVC MOS18_S12	—	2.56	ns
	LVC MOS18_S16	—	1.90	ns
	LVC MOS18_S24	—	1.98	ns
	LVC MOS18_F4	—	1.82	ns
	LVC MOS18_F8	—	2.06	ns
	LVC MOS18_F12	—	2.06	ns
	LVC MOS18_F16	—	1.77	ns
	LVC MOS18_F24	—	1.71	ns
	LVC MOS15_S4	—	2.43	ns
	LVC MOS15_S8	—	2.46	ns
	LVC MOS15_S12	—	1.96	ns
	LVC MOS15_S16	—	1.96	ns



	LVC MOS15_F4	—	2.23	ns
	LVC MOS15_F8	—	1.98	ns
	LVC MOS15_F12	—	1.73	ns
	LVC MOS15_F16	—	1.71	ns
	LVC MOS12_S4	—	2.95	ns
	LVC MOS12_S8	—	2.46	ns
	LVC MOS12_S12	—	2.17	ns
	LVC MOS12_F4	—	2.35	ns
	LVC MOS12_F8	—	1.92	ns
	LVC MOS12_F12	—	1.76	ns
	SSTL135_S	—	1.73	ns
	SSTL15_S	—	1.68	ns
	SSTL18_I_S	—	2.04	ns
	SSTL18_II_S	—	1.68	ns
	DIFF_SSTL135_S	—	1.73	ns
	DIFF_SSTL15_S	—	1.68	ns
	DIFF_SSTL18_I_S	—	2.06	ns
	DIFF_SSTL18_II_S	—	1.76	ns

a 该参数是保障参数，在设计过程中通过仿真或测试保证，在鉴定和质量一致性检验时不进行测试。

表 45 IOU 三态信号释放响应延迟 (t_{IOTP})

特性	符号	条件	极限值		单位
			最小	最大	
IOU 数据输入延迟 ^a					
IOU 三态控制开关特性, 三态信号释放时, 由 IOU 的 T pin 通过输出缓冲器输出到 IOU pad 需要 经过的延迟 ^a	t _{IOTP}	LVTTL_S4	—	4.20	ns
		LVTTL_S8	—	3.93	ns
		LVTTL_S12	—	3.91	ns
		LVTTL_S16	—	3.46	ns
		LVTTL_S24	—	3.68	ns
		LVTTL_F4	—	3.65	ns
		LVTTL_F8	—	3.13	ns
		LVTTL_F12	—	3.12	ns
		LVTTL_F16	—	2.95	ns
		LVTTL_F24	—	2.91	ns
		LVDS_25	—	1.68	ns
		MINI LVDS_25	—	1.66	ns
		BLVDS_25	—	2.23	ns
		RSDS_25	—	1.66	ns
		PPDS_25	—	1.68	ns
		TMDS_33	—	1.80	ns
		PCI33_3	—	3.49	ns
		HSUL_12_S	—	2.20	ns
		HSUL_12_F	—	1.68	ns
		DIFF_HSUL_12_S	—	2.20	ns
		DIFF_HSUL_12_F	—	1.68	ns
		MOBILE_DDR_S	—	2.07	ns
		MOBILE_DDR_F	—	1.77	ns
		DIFF_MOBILE_DDR_S	—	2.09	ns
		DIFF_MOBILE_DDR_F	—	1.84	ns
		HSTL_I_S	—	2.01	ns
		HSTL_II_S	—	1.80	ns
		HSTL_I_18_S	—	1.68	ns
		HSTL_II_18_S	—	1.80	ns
		DIFF_HSTL_I_S	—	1.98	ns
		DIFF_HSTL_II_S	—	1.90	ns
		DIFF_HSTL_I_18_S	—	1.77	ns



特性	符号	条件	极限值		单位
			最小	最大	
		DIFF_HSTL_II_18_S	—	1.85	ns
		HSTL_I_F	—	1.49	ns
		HSTL_II_F	—	1.51	ns
		HSTL_I_18_F	—	1.52	ns
		HSTL_II_18_F	—	1.51	ns
		DIFF_HSTL_I_F	—	1.57	ns
		DIFF_HSTL_II_F	—	1.57	ns
		DIFF_HSTL_I_18_F	—	1.60	ns
		DIFF_HSTL_II_18_F	—	1.60	ns
		LVC MOS33_S4	—	1.60	ns
		LVC MOS33_S8	—	4.20	ns
		LVC MOS33_S12	—	3.91	ns
		LVC MOS33_S16	—	3.48	ns
		LVC MOS33_F4	—	3.79	ns
		LVC MOS33_F8	—	3.65	ns
		LVC MOS33_F12	—	3.13	ns
		LVC MOS33_F16	—	2.95	ns
		LVC MOS25_S4	—	2.95	ns
		LVC MOS25_S8	—	3.52	ns
		LVC MOS25_S12	—	3.27	ns
		LVC MOS25_S16	—	2.87	ns
		LVC MOS25_F4	—	3.21	ns
		LVC MOS25_F8	—	3.13	ns
		LVC MOS25_F12	—	2.57	ns
		LVC MOS25_F16	—	2.55	ns
		LVC MOS18_S4	—	2.40	ns
		LVC MOS18_S8	—	2.01	ns
		LVC MOS18_S12	—	2.57	ns
		LVC MOS18_S16	—	1.91	ns
		LVC MOS18_S24	—	1.99	ns
		LVC MOS18_F4	—	1.84	ns
		LVC MOS18_F8	—	2.07	ns
		LVC MOS18_F12	—	2.07	ns
		LVC MOS18_F16	—	1.79	ns
		LVC MOS18_F24	—	1.73	ns
		LVC MOS15_S4	—	2.45	ns
		LVC MOS15_S8	—	2.48	ns
		LVC MOS15_S12	—	1.98	ns
		LVC MOS15_S16	—	1.98	ns
		LVC MOS15_F4	—	2.24	ns
		LVC MOS15_F8	—	1.99	ns
		LVC MOS15_F12	—	1.74	ns
		LVC MOS15_F16	—	1.73	ns
		LVC MOS12_S4	—	2.96	ns
		LVC MOS12_S8	—	2.48	ns
		LVC MOS12_S12	—	2.18	ns
		LVC MOS12_F4	—	2.37	ns
		LVC MOS12_F8	—	1.93	ns
		LVC MOS12_F12	—	1.77	ns
		SSTL135_S	—	1.74	ns
		SSTL15_S	—	1.69	ns
		SSTL18_I_S	—	2.06	ns
		SSTL18_II_S	—	1.70	ns
		DIFF_SSTL135_S	—	1.74	ns
		DIFF_SSTL15_S	—	1.69	ns

特性	符号	条件	极限值		单位
			最小	最大	
		DIFF_SSTL18_I_S	—	2.07	ns
		DIFF_SSTL18_II_S	—	1.77	ns
		SSTL135_F	—	1.51	ns
		SSTL15_F	—	1.46	ns
		SSTL18_I_F	—	1.51	ns
		SSTL18_II_F	—	1.51	ns
		DIFF_SSTL135_F	—	1.51	ns
		DIFF_SSTL15_F	—	1.46	ns
		DIFF_SSTL18_I_F	—	1.62	ns
		DIFF_SSTL18_II_F	—	1.60	ns

a 该参数是保障参数，在设计过程中通过仿真或测试保证，在鉴定和质量一致性检验时不进行测试。

表 46 IOU 三态信号使能响应延迟 (t_{IOTPHZ})

特性	符号	条件	极限值		单位
			最小	最大	
IOU 三态信号释放响应延迟 ^a					
IOU 三态控制开关特性，三态信号使能时，由 IOU 的 T pin 通过输出缓冲器输出到 IOU pad 实现三态输出需要经过的延迟 ^a	tIOTPHZ	所有接口电平标准配置条件	—	2.37	ns
对于 I/O 中的 IBUF 从 IBUFDISABLE 到 O 端口之间的传输延迟 ^a	tIOPBUFDISABLE		—	2.60	ns
a 该参数是保障参数，在设计过程中通过仿真或测试保证，在鉴定和质量一致性检验时不进行测试。					

a 该参数是保障参数，在设计过程中通过仿真或测试保证，在鉴定和质量一致性检验时不进行测试。

5.2.11 输入输出逻辑开关特性

以下“条件”中，均默认为“ $0.97V \leq V_{CCCORE} \leq 1.03V$ ， $1.71V \leq V_{CCSUP} \leq 1.89V$ ， V_{CCP} =典型电压， $T_{JMIN} \leq T_c \leq T_{JMAX}$ ，除非另有规定。

表 47 ILOGIC 开关特性参数

特性	符号	条件	极限值		单位
			最小	最大	
建立/保持时间 ^a					
CE1 端口对于 CLK 的建立/保持时间	t_{ICE1CK}/t_{ICKCE1}	—	0.76/0.02	—	ns
SR 端口对于 CLK 的建立/保持时间	t_{ISRCK}/t_{ICKSR}	—	1.13/0.01	—	ns
D 端口对于 CLK 无延时的建立/保持时间	t_{IDOCKE}/t_{IOCKDE}	—	0.01/0.29	—	ns
DDLAY 端口对于 CLK 的建立/保持时间(使用 IDELAY)	$t_{IDOCKDE}/t_{IOCKDDE}$	—	0.02/0.29	—	ns
组合延时 ^a					
D 端口到 O 端口的传播延时，无延时(仅限 HR I/O banks)	t_{IDI}	—	—	0.13	ns

特性	符号	条件	极限值		单位
			最小	最大	
DDL _Y 端口到 O 端口的传播延时(使用 IDELAY)(仅限 HR I/O banks)	tIDID	—	—	0.14	ns
时序延时 ^a					
latch 模式下 D 端口到 Q1 端口的传播延时, 无延时(仅限 HR I/O banks)	tIDLOE	—	—	0.51	ns
latch 模式下 D 端口到 Q1 端口的传播延时(使用 IDELAY)(仅限 HR I/O banks)	tIDLODE	—	—	0.51	ns
CLK 有效沿至 Q 端口的延时	tICKQ	—	—	0.66	ns
SR 端口到 OQ/TQ 延时	tRQ_ILOGIC	—	—	1.32	ns
全局 Set/Reset 到 Q 延时	tGSRQ_ILOGIC	—	—	10.51	ns
置位/复位 ^a					
SR 输入的最小脉冲宽度(仅限 HR I/O banks)	tRPW_ILOGICE3	—	0.72	—	ns
^a 该参数是保障参数, 在设计过程中通过仿真或测试保证, 在鉴定和质量一致性检验时不进行测试。					

表 48 OLOGIC 开关特性参数

特性	符号	条件	极限值		单位
			最小	最大	
建立/保持时间 a					
D1/D2 端口对于 CLK 的建立/保持时间	tODCK/tOCKD	—	0.84/-0.11	—	ns
OCE 端口对于 CLK 的建立/保持时间	tOOCECK/tOCKOCE	—	0.51/0.58	—	ns
SR 端口对于 CLK 的建立/保持时间	tOSRCK/tOCKSR	—	0.80/0.21	—	ns
T1/T2 端口对于 CLK 的建立/保持时间	tOTCK/tOCKT	—	0.89/-0.14	—	ns
TCE 端口对于 CLK 的建立/保持时间	tOTCECK/tOCKTCE	—	0.51/0.01	—	ns
组合延时 a					
D1 到 OQ 输出延时	tODQ	—	—	1.16	ns
时序延时 a					
CLK 端口到 TQ 输出延时	tOCKQ	—	—	0.56	ns
SR 端口到 OQ/TQ 输出延时	tRQ_OLOGIC	—	—	0.95	ns
全局 Set/Reset 端口到 Q 输出延时	tGSRQ_OLOGIC	—	—	10.51	ns
置位/复位 a					
SR 输入的最小脉冲宽度	tRPW_OLOGICE3	—	0.74	—	ns
a 该参数是保障参数，在设计过程中通过仿真或测试保证，在鉴定和质量一致性检验时不进行测试。					

表 49 ISERDES 开关特性参数

特性	符号	条件	极限值		单位
			最小	最大	
控制信号的建立/保持时间 ^a					
BITSLIP 端口对于 CLKDIV 的建立/保持时间	tISCKC_BITSLIP/tISCKC_BITSLIP	—	0.02/0.17	—	ns
CE1 端口对于 CLK 的建立/保持时间	tISCKC_CE/tISCKC_CE	—	0.72/-0.01	—	ns
CE2 端口对于 CLKDIV 的建立/保持时间	tISCKC_CE2/tISCKC_CE2	—	-0.10/0.40	—	ns

数据信号建立/保持时间 ^a					
D 端口对于 CLK 的建立/保持时间	tISDCK_D/tISCKD_D	—	-0.02/0.17	—	ns
DDL Y 端口对于 CLK 的建立/保持时间(使用 IDELAY)	tISDCK_DDLY/tISCKD_DDLY	—	-0.02/0.17	—	ns
DDR 模式下 D 端口对于 CLK 的建立/保持时间	tISDCK_D_DDR/tISCKD_D_DDR	—	-0.02/0.17	—	ns
DDR 模式下 DDLY 端口对于 CLK 的建立/保持时间(使用 IDELAY)	tISDCK_DDLY_DDR/tISCKD_DDLY_DDR	—	0.17/0.17	—	ns
时序延时 ^a					
CLKDIV 有效沿至 Q 端口的延时	tISCKO_Q	—	—	0.66	ns
传播延时 ^a					
D 输入端口 DO 输出端口延时	tISDO_DO	—	—	0.13	ns
^a 该参数是保障参数, 在设计过程中通过仿真或测试保证, 在鉴定和质量一致性检验时不进行测试。					

表 50 OSERDES 开关特性参数

特性	符号	条件	极限值		单位
			最小	最大	
建立/保持时间 ^a					
D 输入端口对于 CLKDIV 的建立/保持时间	tOSDCK_D/tOSCKD_D	—	0.63/0.03	—	ns
T 输入端口对于 CLK 的建立/保持时间	tOSDCK_T/tOSCKD_T	—	0.88/-0.13	—	ns
T 输入端口对于 CLKDIV 的建立/保持时间	tOSDCK_T2/tOSCKD_T2	—	0.39/-0.13	—	ns
OCE 输入端口对于 CLK 的建立/保持时间	tOSCCK_OCE/tOSCKC_OCE	—	0.51/0.58	—	ns
SR (Reset) 输入端口对于 CLKDIV 的建立时间	tOSCCK_S	—	0.85	—	ns
TCE 输入端口对于 CLK 的建立/保持时间	tOSCCK_TCE/tOSCKC_TCE	—	0.51/0.01	—	ns
时序延时 ^a					
时钟 CLK 到输出 OQ 的延时	tOSCKO_OQ	—	—	0.48	ns
时钟 CLK 到输出到 TQ 的延时	tOSCKO_TQ	—	—	0.56	ns
组合延时 ^a					
输入端口 T 到输出 TQ 的延时	tOSDO_TTQ	—	—	0.81	ns
a 该参数是保障参数，在设计过程中通过仿真或测试保证，在鉴定和质量一致性检验时不进行测试。					

表 51 输入延迟开关特性参数

特性	符号	条件	极限值		单位
			最小	最大	
IDELAYCTRL ^f					
IDELAYCTRL 复位到准备的延迟时间	tDLYCCO_RDY	—	—	3.67	us
属性参考时钟频率 200.00 ^a	fIDELAYCTRL_REF	—	—	200	MHz
属性参考时钟频率 300.00 ^a		—	—	300	MHz
属性参考时钟频率 400.00 ^a		—	—	400	MHz
参考时钟精度	IDELAYCTRL_REF_PRECISION	—	-10	10	MHz
最小重置脉冲宽度	tIDELAYCTRL_RPW	—	—	59.28	ns
IDELAY/ODELAY ^f					
IDELAY/ODELAY 延迟链延迟精度	tIDELAYRESOLUTION	—	—	$1/(32 \times 2 \times \text{FREF})$	ps
基于时钟模型的延时链周期性抖动 ^b	tIDELAYPAT_JIT 和 tODELAYPAT_JIT	—	—	0	ps per tap
基于伪随机数据序列（PRBS23）的延时链周期性抖动 ^c		—	-5	5	ps per tap
基于伪随机数据序列（PRBS23）的延时链周期性抖动 ^d		—	-9	9	ps per tap
IDELAY/ODELAY 最高 CLK 频率	tIDELAY_CLK_MAX/ tODELAY_CLK_MAX	—	—	600.00	MHz
IDELAY 中 CE 输入端口对于 C 的建立/保持时间	tIDCCK_CE/tIDCKC_CE	—	0.21/0.16	—	ns
ODELAY 中 CE 输入端口对于 C 的建立/保持时间	tODCCK_CE/tODCKC_CE	—	0.16/0.22	—	ns
IDELAY 中 INC 输入端口对于 C 的建立/保持时间	tIDCCK_INC/tIDCKC_INC	—	0.18/0.14	—	ns
ODELAY 中 INC 输入端口对于 C 的建立/保持时间	tODCCK_INC/tODCKC_INC	—	0.12/0.08	—	ns
IDELAY 中 RST 输入端口对于 C 的建立/保持时间	tIDCCK_RST/tIDCKC_RST	—	0.14/0.10	—	ns
ODELAY 中 RST 输入端口对于 C 的建立/保持时间	tODCCK_RST/tODCKC_RST	—	0.19/0.06	—	ns
通过 IDELAY 的延迟时间 ^e	tIDDO_IDATAIN	—	—	—	ps
通过 ODELAY 的延迟时间 ^e	tODDO_ODATAIN	—	—	—	ps
a 平均延时值在 200MHz = 78 ps，在 300MHz = 52 ps，在 400MHz = 39 ps。 b 当 HIGH_PERFORMANCE 模式设置为 TRUE 或者 FALSE。 c 当 HIGH_PERFORMANCE 模式设置为 TRUE。 d 当 HIGH_PERFORMANCE 模式设置为 FALSE。 e 该延迟与 IDELAY/ODELAY tap 值设定有关。 f 该参数是保障参数，在设计过程中通过仿真或测试保证，在鉴定和质量一致性检验时不进行测试。					



表 52 IO_FIFO 开关特性参数

特性	符号	条件	极限值		单位
			最小值	最大值	
IO_FIFO 时钟到输出延迟 ^a					
RDCLK 到 Q	TOFFCKO_DO	—	—	0.68	ns
时钟到 IO_FIFO	TCKO_FLAGS	—	—	0.77	ns
建议保持时间 ^a					
D 输入到 WRCLK	TCCK_D/TCKC_D	—	-0.02	0.58	ns
WREN 到 WRCLK	TIFFCCK_WREN /TIFFCKC_WREN	—	-0.01	0.53	ns
RDEN 到 RDCLK	TOFFCCK_RDEN/TOFFCKC_RDEN	—	0.02	0.66	ns
最小脉宽 ^a					
RESET , RDCLK , WRCLK 最小高脉宽	TPWH_IO_FIFO	—	—	2.15	ns
RESET , RDCLK , WRCLK 最小低脉宽	TPWL_IO_FIFO	—	—	2.15	ns
最大频率 ^a					
RDCLK, WRCLK	FMAX	—	200	—	MHz
a 该参数是保障参数，在设计过程中通过仿真或测试保证，在鉴定和质量一致性检验时不进行测试。					

^a 该参数是保障参数, 在设计过程中通过仿真或测试保证, 在鉴定和质量一致性检验时不进行测试。

5.2.12 可配置逻辑模块(LB)特性

以下“条件”中, 均默认为“ $0.97V \leq VCC_{CORE} \leq 1.03V$, $1.71V \leq VCC_{SUP} \leq 1.89V$, $VCCP$ =典型电压, $T_{JMIN} \leq T_c \leq T_{JMAX}$ ”, 除非另有规定。

表 53 LB 开关特性参数

特性	符号	条件	极限值		单位
			最小值	最大值	
组合延时 ^a					
LUT An-Dn 输入到 A 输出	tILO	—	—	0.13	ns
LUT An-Dn 输入到 AMUX/CMU 输出	tILO_2	—	—	0.36	ns
LUT An-Dn 输入到 BMUX_A 输出	tILO_3	—	—	0.55	ns
An-Dn 输入到 A-D Q 输出	tTO	—	—	1.27	ns
AX 输入到 AMUX 输出	tAXA	—	—	0.84	ns
AX 输入到 BMUX 输出	tAXB	—	—	0.83	ns
AX 输入到 CMUX 输出	tAXC	—	—	0.82	ns
AX 输入到 DMUX 输出	tAXD	—	—	0.90	ns
BX 输入到 BMUX 输出	tBxB	—	—	0.69	ns



特性	符号	条件	极限值		单位
			最小值	最大值	
BX 输入到 DMUX 输出	tBXD	—	—	0.82	ns
CX 输入到 CMUX 输出	tCXC	—	—	0.58	ns
CX 输入到 DMUX 输出	tCXD	—	—	0.71	ns
DX 输入到 DMUX 输出	tDXD	—	—	0.70	ns
时序延时 ^a					
触发器时钟 CLK 到 AQ-DQ 输出	tCKO	—	—	0.53	ns
触发器时钟 CLK 到 AMUX-DMUX 输出	tSHCKO	—	—	0.66	ns
LB 触发器在时钟 CLK 到达前/后的建立/保持时间 ^a					
An-Dn 输入	tAS/tAH	—	0.11/0.18	—	ns
Ax-Dx 输入	tDICK/tCKDI	—	0.09/0.26 0.81/0.11	—	ns
Ax-Dx 通过 MUX 与/或后输入	tDICK/tCKDI	—	0.21/0.01	—	ns
CE 输入	tCECK_LB/tCKCE_LB	—	0.53/0.05	—	ns
SR 输入 (同步)	tSRCK/tCKSR	—	0.11/0.18	—	ns
设置/复位 ^a					
最小脉冲宽度, SR/BY 输入	tSRMIN	—	1.04	—	ns
从 SR 输入到 AQ/DQ 输出的延时 (异步)	tRQ	—	—	0.71	ns
从 CE 输入到 AQ/DQ 输出的延时 (异步)	tCEO	—	—	0.70	ns
开关频率(MHz) (输出控制)	fTOG	—	—	1098	MHz
注: 保持时间为“0”表示无保持时间或者负保持时间, 不能保证这时最好的保持时间为负值, 但可以保证保持时间不会是正值。					
^a 该参数是保障参数, 在设计过程中通过仿真或测试保证, 在鉴定和质量一致性检验时不进行测试。					

表 54 LB 分布式 RAM 开关特性参数

特性	符号	条件	极限值		单位
			最小值	最大值	
时序延时 ^b					
时钟 CLK 到 A-B 输出	tSHCKO	—	—	1.32	ns
时钟 CLK 到 AMUX-BMUX 输出	tSHCKO_1	—	—	1.86	ns
在时钟 CLK 到达前/后的建立/保持时间 ^b					
A-D 输入	tDS_LRAM/tDH_LRAM	—	0.72/0.35	—	ns
An 地址输入	tAS_LRAM/tAH_LRAM	—	0.37/0.70	—	ns
An 地址通过 MUXs 与/或后输入	tAS_LRAM/tAH_LRAM	—	0.94/0.26	—	ns
WE 输入	tWS_LRAM/tWH_LRAM	—	0.53/0.17	—	ns
CE 输入	tCECK_LRAM/tCKCE_LRAM	—	0.53/0.17	—	ns
时钟信号 CLK ^b					
最小脉冲宽度	tMPW	—	1.25	—	ns
最小时钟周期	tMCP	—	2.50	—	ns
注：保持时间为“0”表示无保持时间或者负保持时间，不能保证这时最好的保持时间为负值，但可以保证保持时间不会是正值。					
a TSHCKO 同样可以表征 CLK 到 XMUX 输出的延时，参考 CLK 到 XMUX 的路径的 TRCE 报告。					
b 该参数是保障参数，在设计过程中通过仿真或测试保证，在鉴定和质量一致性检验时不进行测试。					

表 55 LB 移位寄存器开关特性参数

特性	符号	条件	极限值		单位
			最小值	最大值	
时序延时 ^a					
时钟 CLK 到 A/D 输出	tREG	—	—	1.61	ns
时 钟 CLK 到 AMUX/DMUX 输出	tREG_MUX	—	—	2.15	ns
时钟 CLK 经 M31 到 DMUX 输出	tREG_M31	—	—	1.46	ns
在时钟 CLK 到达前/后的建立/保持时间 ^a					
WE 输入	tWS_SHFREG/tWH_SHFREG	—	0.51/0.17	—	ns
CE 输入	tCECK_SHFREG/tCKCE_SHFREG	—	0.52/0.17	—	ns
A-D 输入	tDS_SHFREG/tDH_SHFREG	—	0.44/0.43	—	ns
时钟信号 CLK ^a					
最小脉冲宽度	tMPW_SHFREG	—	0.98	—	ns
注：保持时间为“0”表示无保持时间或者负保持时间，不能保证这时最好的保持时间为负值，但可以保证保持时间不会是正值。					
a 该参数是保障参数，在设计过程中通过仿真或测试保证，在鉴定和质量一致性检验时不进行测试。					

5.2.13 块 RAM(HRAM)与 FIFO 开关特性

以下“条件”中，均默认为“ $0.97V \leq V_{CCORE} \leq 1.03V$ ， $1.71V \leq V_{CCSUP} \leq 1.89V$ ， V_{CCP} =典型电压， $T_{JMIN} \leq T_c \leq T_{JMAX}$ ，除非另有规定。



表 56 HRAM 和 FIFO 开关特性参数

特性	符号	条件	极限值		单位
			最小值	最大值	
时序延时 ^a					
CLK 至 DOUT 延时（无输出寄存器）	tRCKO_DO	—	—	2.46	ns
CLK 至 DOUT 延时（带输出寄存器）	tRCKO_DO_REG	—	—	0.89	ns
CLK 至 DOUT 延时带 ECC 功能（无输出寄存器）	tRCKO_DO_ECC	—	—	3.84	ns
CLK 至 DOUT 延时带 ECC 功能（带输出寄存器）	tRCKO_DO_ECC_REG	—	—	0.94	ns
CLK 至 DOUT 延时带级联功能（无输出寄存器）	tRCKO_DO_CASCOUT	—	—	3.84	ns
CLK 至 DOUT 延时带级联功能（带输出寄存器）	tRCKO_DO_CASCOUT_REG	—	—	0.94	ns
CLK 至 FIFO flags 的输出延时	tRCKO_FLAGS	—	—	3.30	ns
CLK 至 FIFO pointer 的输出延时	tRCKO_POINTERS	—	—	1.46	ns
在 ECC 仅编码模式下 CLK 至 ECCPARITY 的输出延时	tRCKO_PARITY_ECC	—	—	1.05	ns
CLK 至 BITERR 的输出延时（无输出寄存器）	tRCKO_SDBIT_ECC	—	—	1.15	ns
CLK 至 BITERR 的输出延时（带输出寄存器）	tRCKO_SDBIT_ECC_REG	—	—	0.94	ns
CLK 至 RDADDR 延时带 ECC 功能（无输出寄存器）	tRCKO_RDADDR_ECC	—	—	3.55	ns
CLK 至 RDADDR 延时带 ECC 功能（带输出寄存器）	tRCKO_RDADDR_ECC_REG	—	—	0.89	ns
时钟 CLK 到达前的建立/保持时间 ^a					
ADDR 输入的建立/保持时间	tRCKC_ADDRA/tRCKC_ADDRA	—	0.63/0.50	—	ns
WRITE_FIRST 或 NO_CHANGE 模式下数据输入的建立/保持时间	tRDCK_DI_WF_NC/tRCKD_DI_WF_NC	—	1.17/0.50	—	ns
READ_FIRST 模式下数据输入的建立/保持时间	tRDCK_DI_RF/tRCKD_DI_RF	—	1.32/0.64	—	ns
带有标准模式 ECC 功能的 DIN 输入的建立/保持时间	tRDCK_DI_ECC/tRCKD_DI_ECC	—	0.74/0.40	—	ns
带有仅编码模式 ECC 功能的 DIN 输入的建立/保持时间	tRDCK_DI_ECCW/tRCKD_DI_ECCW	—	0.45/0.23	—	ns
带有标准模式 FIFO ECC 功能的 DIN 输入的建立/保持时间	tRDCK_DI_ECC_FIFO/tRCKD_DI_ECC_FIFO	—	0.36/0.16	—	ns
ECC 模式下 INJECTBITERR 输入的建立/保持时间	tRCKC_INJECTBITERR/tRCKC_INJECTBITERR	—	0.35/0.07	—	ns
EN 输入的建立/保持时间	tRCKC_EN/tRCKC_EN	—	0.63/0.50	—	ns
REGCE 输入的建立/保持时间	tRCKC_REGCE/tRCKC_REGCE	—	1.17/0.50	—	ns
RSTREG 输入的建立/保持时间	tRCKC_RSTREG/tRCKC_RSTREG	—	1.32/0.64	—	ns
RSTRAM 输入的建立/保持时间	tRCKC_RSTRAM/tRCKC_RSTRAM	—	0.36/0.46	—	ns
WE 输入的建立/保持时间（仅限 HRAM）	tRCKC_WEA/tRCKC_WEA	—	0.54/0.20	—	ns
FIFO WREN 输入建立/保持时间	tRCKC_WREN/tRCKC_WREN	—	0.47/0.43	—	ns
FIFO RDEN 输入建立/保持时间	tRCKC_RDEN/tRCKC_RDEN	—	0.43/0.43	—	ns
复位延时 ^a					
复位 RST 至 FIFO flags/pointers 延时	tRCO_FLAGS	—	—	1.10	ns
FIFO 复位恢复和消除延时	tRREC_RST/tRREM_RST	—	—	2.37/–0.81	ns
最高工作频率 ^a					
WRITE_FIRST 和 NO_CHANGE 模式下的 HRAM 最大工作频率	fMAX_HRAM_WF_NC	—	—	388.20	MHz



特性	符号	条件	极限值		单位
			最小值	最大值	
READ_FIRST 和 PERFORMANCE 模式下的 HRAM 最大工作频率	fMAX_HRAM_RF_PERFORMANCE	—	—	388.20	MHz
READ_FIRST 和 DELAYED_WRITE 模式下的 HRAM 最大工作频率	fMAX_HRAM_RF_DELAYED_WRITE	—	—	339.67	MHz
WRITE_FIRST 和 NO_CHANGE 模式下的 HRAM 级联最大工作频率	fMAX_CAS_WF_NC	—	—	345.78	MHz
READ_FIRST 和 PERFORMANCE 模式下的 HRAM 级联最大工作频率	fMAX_CAS_RF_PERFORMANCE	—	—	345.78	MHz
READ_FIRST 和 DELAYED_WRITE 模式下的 HRAM 级联最大工作频率	fMAX_CAS_RF_DELAYED_WRITE	—	—	297.35	MHz
FIFO 不带 ECC 功能的最大工作频率	fMAX_FIFO	—	—	388.20	MHz
带有 ECC 功能的 HRAM 和 FIFO 最大工作频率	fMAX_ECC	—	—	297.53	MHz
注：保持时间为“0”表示无保持时间或者负保持时间，不能保证这时最好的保持时间为负值，但可以保证保持时间不会是正值。					
a 该参数是保障参数，在设计过程中通过仿真或测试保证，在鉴定和质量一致性检验时不进行测试。					

5.2.14 CU 开关特性

以下“条件”中，均默认为“ $0.97V \leq V_{CCCORE} \leq 1.03V$ ， $1.71V \leq V_{CCSUP} \leq 1.89V$ ， V_{CCP} =典型电压， $T_{JMIN} \leq T_c \leq T_{JMAX}$ ，除非另有规定。

表 57 CU 开关特性参数

特性	符号	条件	极限值		单位
			最小值	最大值	
数据管脚到输入流水寄存器的建立时间和保持时间 ^a					
A 管脚到 A 寄存器	TCUDCK_A_AREG /TCUCKD_A_AREG	—	—	0.37/ 0.14	ns
B 管脚到 B 寄存器	TCUDCK_B_BREG /TCUCKD_B_BREG	—	—	0.45/ 0.18	ns
C 管脚到 C 寄存器	TCUDCK_C_CREG /TCUCKD_C_CREG	—	—	0.24/ 0.21	ns
D 管脚到 D 寄存器	TCUDCK_D_DREG /TCUCKD_D_DREG	—	—	0.42/ 0.27	ns
ACIN 管脚到 ACIN 寄存器	TCUDCK_ACIN_AREG /TCUCKD_ACIN_AREG	—	—	0.32/ 0.14	ns
BCIN 管脚到 BCIN 寄存器	TCUDCK_BCIN_BREG /TCUCKD_BCIN_BREG	—	—	0.36/ 0.18	ns
数据管脚到传输流水寄存器的建立时间和保持时间 ^a					
{A, B}管脚到 M 寄存器	TCUDCK_{A,B}_MREG_MULT /TCUCKD_{A,B}_MREG_MULT	—	—	3.29/ -0.01	ns
{A, D}管脚到 AD 寄存器	TCUDCK_{A,D}_ADREG /TCUCKD_{A,D}_ADREG	—	—	1.76/ -0.02	ns
数据管脚到输出流水寄存器的建立时间和保持时间 ^a					
{A, B}管脚通过乘法器到 P 寄存器	TCUDCK_{A,B}_PREG_MULT /TCUCKD_{A,B}_PREG_MULT	—	—	5.48/ -0.28	ns
D 管脚通过乘法器到 P 寄存器	TCUDCK_D_PREG_MULT /TCUCKD_D_PREG_MULT	—	—	5.35/ -0.73	ns
{A, B}管脚到 P 寄存器	TCUDCK_{A,B}_PREG /TCUCKD_{A,B}_PREG	—	—	2.35/ -0.28	ns
C 管脚到 P 寄存器	TCUDCK_C_PREG /TCUCKD_C_PREG	—	—	2.10/ -0.26	ns
PCIN 管脚到 P 寄存器	TCUDCK_PCIN_PREG /TCUCKD_PCIN_PREG	—	—	1.80/ -0.15	ns



特性	符号	条件	极限值		单位
			最小值	最大值	
控制管脚到流水寄存器的建立时间和保持时间 ^a					
CEA, CEB 到 A, B 寄存器	TCUDCK_{CEA;CEB}_{AREG;BREG} /TCUCKD_{CEA;CEB}_{AREG;BREG}	—	—	0.52/ 0.11	ns
CEC 到 C 寄存器	TCUDCK_CEC_CREG /TCUCKD_CEC_CREG	—	—	0.42/ 0.13	ns
CED 到 D 寄存器	TCUDCK_CED_DREG /TCUCKD_CED_DREG	—	—	0.52/ -0.03	ns
CEM 到 M 寄存器	TCUDCK_CEM_MREG /TCUCKD_CEM_MREG	—	—	0.27/ 0.23	ns
CEP 到 P 寄存器	TCUDCK_CEP_PREG /TCUCKD_CEP_PREG	—	—	0.53/ 0.01	ns
RST 管脚到流水寄存器的建立时间和保持时间 ^a					
RSTA, RSTB 到 A, B 寄存器	TCUDCK_{RSTA;RSTB}_{AREG;BREG} /TCUCKD_{RSTA;RSTB}_{AREG;BREG}	—	—	0.55/ 0.15	ns
RSTC 到 C 寄存器	TCUDCK_RSTC_CREG /TCUCKD_RSTC_CREG	—	—	0.09/ 0.12	ns
RSTD 到 D 寄存器	TCUDCK_RSTD_DREG /TCUCKD_RSTD_DREG	—	—	0.59/ 0.09	ns
RSTM 到 M 寄存器	TCUDCK_RSTM_MREG /TCUCKD_RSTM_MREG	—	—	0.27/ 0.28	ns
RSTP 到 P 寄存器	TCUDCK_RSTP_PREG /TCUCKD_RSTP_PREG	—	—	0.35/ 0.01	ns
输入管脚到输出管脚的传输延时 ^a					
A 管脚通过乘法器, 到 CARRYOUT	TCUDO_A_CARRYOUT_MULT	—	—	5.18	ns
D 管脚通过乘法器, 到 P 输出	TCUDO_D_P_MULT	—	—	5.07	ns
A 管脚到 P 输出	TCUDO_A_P	—	—	2.08	ns
C 管脚到 P 输出	TCUDO_C_P	—	—	1.82	ns
输入管脚到级联输出管脚的传输延时 ^a					
A, B 管脚到 ACOUT, BCOUT 输出	TCUDO_{A;B}_{ACOUT;BCOUT}	—	—	0.74	ns
A, B 管脚通过乘法器到 CARRYCASCOUT 输出	TCUDO_{A;B}_CARRYCASCOUT_MULT	—	—	5.54	ns
D 管脚通过乘法器到 CARRYCASCOUT 输出	TCUDO_D_CARRYCASCOUT_MULT	—	—	5.40	ns
A, B 管脚到 CARRYCASCOUT 输出	TCUDO_{A;B}_CARRYCASCOUT	—	—	2.41	ns
C 管脚到 CARRYCASCOUT 输出	TCUDO_C_CARRYCASCOUT	—	—	2.15	ns
级联输入管脚到输出管脚的传输延时 ^a					
ACIN 通过乘法器到 P 输出	TCUDO_ACIN_P_MULT	—	—	5.00	ns
ACIN 到 P 输出	TCUDO_ACIN_P	—	—	1.88	ns
ACIN 到 ACOUT 输出	TCUDO_ACIN_ACOUT	—	—	0.53	ns
ACIN 通过乘法器到 CARRYCASCOUT 输出	TCUDO_ACIN_CARRYCASCOUT_MULT	—	—	5.33	ns
ACIN 到 CARRYCASCOUT 输出	TCUDO_ACIN_CARRYCASCOUT	—	—	2.21	ns
PCIN 到 P 输出	TCUDO_PCIN_P	—	—	1.52	ns
PCIN 到 CARRYCASCOUT 输出	TCUDO_PCIN_CARRYCASCOUT	—	—	1.85	ns
输出流水寄存器到输出管脚的传输延时 ^a					



特性	符号	条件	极限值		单位
			最小值	最大值	
PREG 到 P 输出	TCUCKO_P_PREG	—	—	0.44	ns
PREG 到 CARRYCASCOUT 输出	TCUCKO_CARRYCASCOUT_PREG	—	—	0.69	ns
传输路径流水寄存器到输出管脚的传输延时 ^a					
M 到 P 输出	TCUCKO_P_MREG	—	—	2.31	ns
M 到 CARRYCASCOUT 输出	TCUCKO_CARRYCASCOUT_MREG	—	—	2.64	ns
AD 通过乘法器到 P 输出	TCUCKO_P_ADREG_MULT	—	—	3.69	ns
AD 通过乘法器到 CARRYCASCOUT 输出	TCUCKO_CARRYCASCOUT_ADREG_MULT	—	—	4.02	ns
输入流水寄存器到输出管脚的传输延时 ^a					
A 通过乘法器到 P 输出	TCUCKO_P_AREG_MULT	—	—	5.37	ns
B 到 P 输出	TCUCKO_P_BREG	—	—	2.22	ns
C 到 P 输出	TCUCKO_P_CREG	—	—	2.30	ns
D 通过乘法器到 P 输出	TCUCKO_P_DREG_MULT	—	—	5.32	ns
输入流水寄存器到级联输出管脚的传输延时 ^a					
ACOUT, BCOUT 到 A, B	TCUCKO_{ACOUT; BCOUT}_{AREG; BREG}	—	—	0.87	ns
A, B 通过乘法器到 CARRYCASCOUT 输出	TCUCKO_CARRYCASCOUT_{AREG, BREG}_MULT	—	—	5.70	ns
B 到 CARRYCASCOUT 输出	TCUCKO_CARRYCASCOUT_BREG	—	—	2.55	ns
D 通过乘法器到 CARRYCASCOUT 输出	TCUCKO_CARRYCASCOUT_DREG_MULT	—	—	5.65	ns
C 到 CARRYCASCOUT 输出	TCUCKO_CARRYCASCOUT_CREG	—	—	2.63	ns
最大工作速率 ^a					
选择所有流水寄存器的通路速率	FMAX	—	464.25	—	Mhz
向量检测功能速率	FMAX_PATDET	—	392.93	—	Mhz
不通过 MREG, 乘法器速率	FMAX_MULT_NOMREG	—	257.47	—	Mhz
不通过 MREG, 乘法器到向量检测器速率	FMAX_MULT_NOMREG_PATDET	—	233.92	—	Mhz
不通过 AD, 预加器, 乘法器速率	FMAX_PREADD_MULT_NOADREG	—	290.44	—	Mhz
不通过 AD, 预加器, 乘法器到向量检测器速率	FMAX_PREADD_MULT_NOADREG_PATDET	—	290.44	—	Mhz
不通过 M, AD 速率	FMAX_NOPIELINEREG	—	190.69	—	Mhz
不通过 M, AD 的向量检测器速率	FMAX_NOPIELINEREG_PATDET	—	177.43	—	Mhz
^a 该参数是保障参数, 在设计过程中通过仿真或测试保证, 在鉴定和质量一致性检验时不进行测试。					

5.2.15 时钟网络特性

表 58 全局时钟网络开关特性参数

特性	符号	条件 (除非另有规定, $0.97V \leq V_{CCORE} \leq 1.03V$)	极限值	单位
----	----	---	-----	----



		$1.71V \leq V_{CCSUP} \leq 1.89V$, $V_{CCP} = \text{典型电源电压}$, $T_{JMIN} \leq T_c \leq T_{JMAX}$	最小值	最大值	
全局时钟开关特性 ^a					
CE 管脚的建立、保持时间 ^a	TBCCCK_CE /TBCCCK_CE	—	—	0.16/0.41	ns
S 管脚的建立、保持时间 ^a	TBCCCK_S /TBCCCK_S	—	—	0.16/0.41	ns
GCDUCTRL 从 I0/I1 到输出的延时 ^a	TBCKO_O			0.1	ns
全局时钟树最大频率 ^a	FMAX_GCDU		464		Mhz
^a 该参数是保障参数，在设计过程中通过仿真或测试保证，在鉴定和质量一致性检验时不进行测试。					

表 59 输入输出时钟网络开关特性参数

特性	符号	条件 (除 非 另 有 规 定 ， $0.97V \leq V_{CCCORE} \leq 1.03V$ ， $1.71V \leq V_{CCSUP} \leq 1.89V$ ， V_{CCP} =典型电源电压， $T_{JMIN} \leq T_c$ $\leq T_{JMAX}$)	极限值		单位
			最小值	最大值	
BUFIO 开关特性 ^a					
BUFIO 输入到输出延时 ^a	TBIOCKO_O	—	—	1.54	ns
IO 时钟网络速率 ^a	FMAX_BUFIO	—	600	—	Mhz
a 该参数是保障参数，在设计过程中通过仿真或测试保证，在鉴定和质量一致性检验时不进行测试。					

表 60 区域时钟网络开关特性参数

特性	符号	条件 (除非另有规定， $0.97V \leq V_{CCCORE} \leq 1.03V$ ， $1.71V \leq V_{CCSUP} \leq 1.89V$ ， V_{CCP} =典型电源电压， $T_{JMIN} \leq T_c \leq T_{JMAX}$)	极限值		单位
			最小值	最大值	
BUFR 开关特性 a					
BUFR 输入到输出延时 ^a	TBRCKO_O	—	—	0.99	ns
BUFR 输入到输出延时，不设置任何属性 ^a	TBRCKO_O_BYP	—	—	0.52	ns
从 CLR 到输出的传输延时 ^a	TBRDO_O	—	—	1.09	ns
区域时钟网络速率 ^a	FMAX_BUFR	—	315	—	Mhz
a 该参数是保障参数，在设计过程中通过仿真或测试保证，在鉴定和质量一致性检验时不进行测试。					

表 61 水平时钟网络开关特性参数

特性	符号	条件 (除 非 另 有 规 定 ， 0.97V≤V _{CCCORE} ≤1.03V ， 1.71V≤V _{CCSUP} ≤1.89V， V _{CCP} = 典型 电 源 电 压 ， T _{JMIN} ≤T _c ≤T _{JMAX})	极限值		单位
			最小值	最大值	
BUFH 开关特性 ^a					
BUFH 输入到输出延时 ^a	TBHCKO_O	—	—	0.13	ns
CE 管脚的建立、保持时间 ^a	TBHCKK_CE /TBHCKC_CE	—	—	0.28/0.21	ns
水平时钟网络速率 ^a	FMAX_BUFH	—	464	—	Mhz
a 该参数是保障参数，在设计过程中通过仿真或测试保证，在鉴定和质量一致性检验时不进行测试。					



表 62 占空比失真和时钟树歪斜

特性	符号	条件 (除非另有规定, 0.97V≤V _{CCCORE} ≤1.03V, 1.71V≤V _{CCSUP} ≤1.89V, V _{CCP} =典型电源电压, T _{JMIN} ≤T _c ≤T _{JMAX})	极限值		单位
			最小值	最大值	
占空比失真和时钟树歪斜 ^a					
全局时钟占空比失真 ^a	TDCD_CLK	—	—	0.2	ns
全局时钟树歪斜 ^a	TCKSKEW	—	—	0.26	ns
IO 时钟占空比失真 ^a	TDCD_BUFIO	—	—	0.14	ns
IO 时钟树歪斜 ^a	TBUFIOSKEW	—	—	0.03	ns
区域时钟占空比失真 ^a	TDCD_BUFR	—	—	0.18	ns
a 该参数是保障参数, 在设计过程中通过仿真或测试保证, 在鉴定和质量一致性检验时不进行测试。					

^a 该参数是保障参数, 在设计过程中通过仿真或测试保证, 在鉴定和质量一致性检验时不进行测试。

表 63 DCCU 规格参数

特性	符号	条件 (除非另有规定, 0.97V≤V _{CCORE} ≤1.03V, 1.71V≤V _{CCSUP} ≤1.89V, V _{CCP} =典型电源电压, T _{JMIN} ≤T _c ≤T _{JMAX})	极限值		单位
			最小值	最大值	
DCCU 规格参数 ^a					
最大输入频率 ^a	DCCU_FINMAX	—	800	—	Mhz
最小输入频率 ^a	DCCU_FINMIN	—	—	10	Mhz
最大输入周期性抖动 ^a	DCCU_FINJITTER	—	—	<20%的时钟周期,或者不超过 1ns	
最大输入占空比: 10~49Mhz ^a	DCCU_FINDUTY	—	—	25	%
最大输入占空比: 50~199Mhz ^a		—	—	30	%
最大输入占空比: 200~399Mhz ^a		—	—	35	%
最大输入占空比: 400~499Mhz ^a		—	—	40	%
最大输入占空比: >500Mhz ^a		—	—	45	%
最小动态相移时钟 ^a	DCCU_FMIN_PSCLK	—	—	0.01	Mhz
最大动态相移时钟 ^a	DCCU_FMAX_PSCLK	—	450	—	Mhz
最小 VCO 频率 ^a	DCCU_FVCOMIN	—	—	600	Mhz
最大 VCO 频率 ^a	DCCU_FVCOMAX	—	1200	—	Mhz
低频带带宽 ^a	DCCU_FBANDWIDTH	—	1	—	Mhz
高频带带宽 ^a		—	4	—	Mhz
输出相移 ^a	DCCU_TSTATPHAOFFSET	—	—	0.12	ns
输出抖动 ^a	DCCU_TOUTJITTER	—			
输出占空比精度 ^a	DCCU_TOUTDUTY	—	—	0.2	ns
锁定时间 ^a	DCCU_TLOCKMAX	—	—	100	us
最大输出频率 ^a	DCCU_FOUTMAX	—	800	—	Mhz
最小输出频率 ^a	DCCU_FOUTMIN	—	—	4.69	Mhz
外部时钟反馈变化 ^a	DCCU_TEXTFDVAR	—	—	<20%的时钟周期,或者不超过 1ns	



重置信号最小电平宽度 ^a	DCCU_RSTMINPULSE	—	—	5	ns
鉴相器最大频率 ^a	DCCU_FPFDMAX	—	450	—	Mhz
鉴相器最小频率 ^a	DCCU_FPFDMIN	—	—	10	Mhz
反馈延迟 ^a	DCCU_TFBDELAY	—	—	3ns 或者 1 个 clkin 周期	
DCCU 开关特性 ^a					
动态相移使能的建立和保持时间 ^a	TDCCUDCK_PSEN /TDCCUCKD_PSEN	—	—	1.04 /0	ns
动态相移增加或者减少时的建立和保持时间 ^a	TDCCUDCK_PSINCDEC /TDCCUCKD_PSINCDEC	—	—	1.04 /0	ns
PSDONE 时差 ^a	TDCCUCKO_PSDONE	—	—	0.81	ns
DCCU 动态配置端口特性 ^a					
DADDR 的建立和保持时间 ^a	TDCCUDCK_DADDR /TDCCUCKD_DADDR	—	—	1.63/0.15	ns
DI 的建立和保持时间 ^a	TDCCUDCK_DI /TDCCUCKD_DI	—	—	1.63/0.15	ns
DEN 的建立和保持时间 ^a	TDCCUDCK_DEN /TDCCUCKD_DEN	—	—	2.99/0.00	ns
DWE 的建立和保持时间 ^a	TDCCUDCK_DWE /TDCCUCKD_DWE	—	—	1.63/0.15	ns
DRDY 时差 ^a	TDCCUCKO_DRDY	—	—	0.99	ns
DCLK 频率 ^a	FDCK	—	200	—	Mhz

^a 该参数是保障参数，在设计过程中通过仿真或测试保证，在鉴定和质量一致性检验时不进行测试。

表 64 PLL 规格参数

特性	符号	条件 (除非另有规定， 0.97V≤V _{CCCORE} ≤1.03V， 1.71V≤V _{CCSUP} ≤1.89V， V _{CCP} =典型电源电压， T _{JMIN} ≤T _C ≤T _{JMAX})	极限值		单位
			最小值	最大值	
PLL 规格参数 ^a					
最大输入频率 ^a	PLL_FINMAX	—	800	—	Mhz
最小输入频率 ^a	PLL_FINMIN	—	—	19	Mhz
最大输入周期性抖动 ^a	PLL_FINJITTER	—	—	<20% 的 时 钟 周 期，或者 不 超 过 1ns	
最大输入占空比：10~49Mhza	PLL_FINDUTY	—	—	25	%
最大输入占空比：50~199Mhza		—	—	30	%
最大输入占空比：200~399Mhza		—	—	35	%
最大输入占空比：400~499Mhza		—	—	40	%
最大输入占空比：>500Mhza		—	—	45	%
最小 VCO 频率 ^a	PLL_FVCOMIN	—	—	800	Mhz
最大 VCO 频率 ^a	PLL_FVCOMAX	—	1600	—	Mhz
低频带带宽 ^a	PLL_FBANDWIDTH	—	1	—	Mhz
高频带带宽 ^a		—	4	—	Mhz
输出相移 ^a	PLL_TSTATPHAOFFSET	—	—	0.12	ns
输出抖动 ^a	PLL_TOUTJITTER	—			
输出占空比精度 ^a	PLL_TOUTDUTY	—	—	0.2	ns
锁定时间 ^a	PLL_TLOCKMAX	—	—	100	us
最大输出频率 ^a	PLL_FOUTMAX	—	800	—	Mhz
最小输出频率 ^a	PLL_FOUTMIN	—	—	6.25	Mhz



外部时钟反馈变化 ^a	PLL_TEXTFDVAR	—	—	<20% 的时钟周期, 或者不超过 1ns	
重置信号最小电平宽度 ^a	PLL_RSTMINPULSE	—	—	5	ns
鉴相器最大频率 ^a	PLL_FPFDMAX	—	450	—	Mhz
鉴相器最小频率 ^a	PLL_FPFDMIN	—	—	19	Mhz
反馈延迟 ^a	PLL_TFBDELAY	—	—	3ns 或者 1 个 clkin 周期	
PLL 动态配置端口特性 ^a					
DADDR 的建立和保持时间 ^a	TPLLDCK_DADDR /TPLLCKD_DADDR	—	—	1.63/0.15	ns
DI 的建立和保持时间 ^a	TPLLDCK_DI /TPLLCKD_DI	—	—	1.63/0.15	ns
DEN 的建立和保持时间 ^a	TPLLDCK_DEN /TPLLCKD_DEN	—	—	2.29/0.00	ns
DWE 的建立和保持时间 ^a	TPLLDCK_DWE /TPLLCKD_DWE	—	—	1.63/0.15	ns
DRDY 时差 ^a	TPLLCKO_DRDY	—	—	0.99	ns
DCLK 频率 ^a	FDCK	—	200	—	Mhz
^a 该参数是保障参数, 在设计过程中通过仿真或测试保证, 在鉴定和质量一致性检验时不进行测试。					

5.2.16 时钟特性

FMK50 系列 FPGA 的时钟管理单元 DCCU 特性如下:

表 65 DCCU 特性参数

属性	描述	性能	单位
DCCU_F _{INMAX}	最大输入频率	600	MHz
DCCU_F _{INMIN}	最小输入频率	10	MHz
DCCU_F _{INJITTER}	最大输入时钟周期抖动	<时钟输入周期的 20% 或最大 1 ns	
DCCU_F _{INDUTY}	允许的输入占空比 10-49MHz	25	%
	允许的输入占空比 50-199MHz	30	%
	允许的输入占空比 200-399MHz	35	%
	允许的输入占空比 400-599MHz	40	%
	允许的输入占空比 >500MHz	45	%
DCCU_F _{MIN_PSCLK}	最小动态相移时钟频率	0.01	MHz
DCCU_F _{MAX_PSCLK}	最大动态相移时钟频率	500	MHz
DCCU_T _{STAPHAOFFSET}	DCCU 的静态相位偏移输出	0.12	ns
DCCU_F _{TOUTJITTER}	DCCU 输出抖动	IP Catalog 中计算得到	
DCCU_T _{LOCKMAX}	DCCU 最大锁定时间	100	us
DCCU_F _{OUTMAX}	DCCU 最大输出频率	600	MHz
DCCU_F _{OUTMIN}	DCCU 最小输出频率	5	MHz
DCCU_RST _{MINPULSE}	最小复位脉冲宽度	5	ns

5.3 器件特性曲线

5.3.1 负载电流与输出电压特性曲线

测试方法: VCCCORE, VCCHRAM, VCCSUP, VCCP, VUHSTVCC, VUHSTVTT, VCCADC, 在额定电压条件, 在 TA=25℃, LVTTTL (LVCMOS33) 协议条件下, 管脚配置为输出 24mA。VOH

测试方法为：设置输出为高电平，改变负载大小，从管脚往外拉负载电流，0mA 开始以-4mA 步进截至-24mA，测试不同条件的 V_{OH} 。 V_{OL} 测试方法为：设置输出为低电平，从管脚往里灌负载电流，0mA 开始以 4mA 步进截至 24mA，测试不同条件的 V_{OL} 。

试验选取 FMK50T4（其它产品可以引用该结果）样品进行测试。输出高电平（ V_{OH} ）与电流负载变化的特性曲线如下图所示，由图可知，输出高电平（ V_{OH} ）随着电流负载的升高而降低（符合预期）。

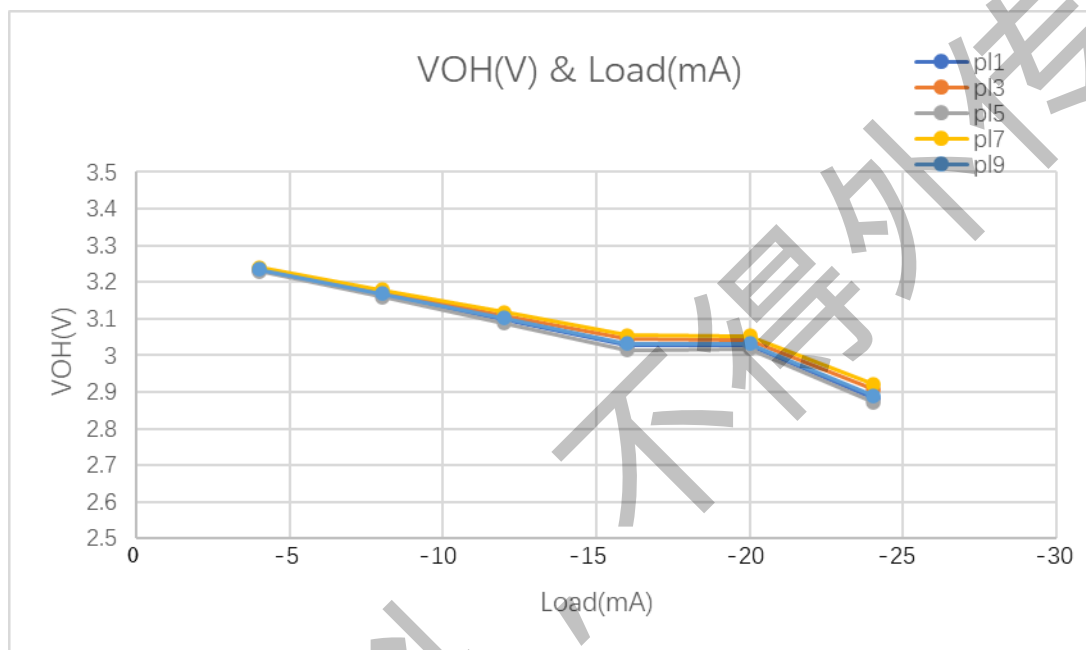


图 8 V_{OH} 与负载电流特性曲线

输出低电平（ V_{OL} ）与电流负载变化的特性曲线如下图，由图可知，输出低电平（ V_{OL} ）随着电流负载的升高而升高（符合预期）。输出低电平（ V_{OL} ）与电流负载变化的特性曲线如下图，由图可知，输出低电平（ V_{OL} ）随着电流负载的升高而升高（符合预期）。

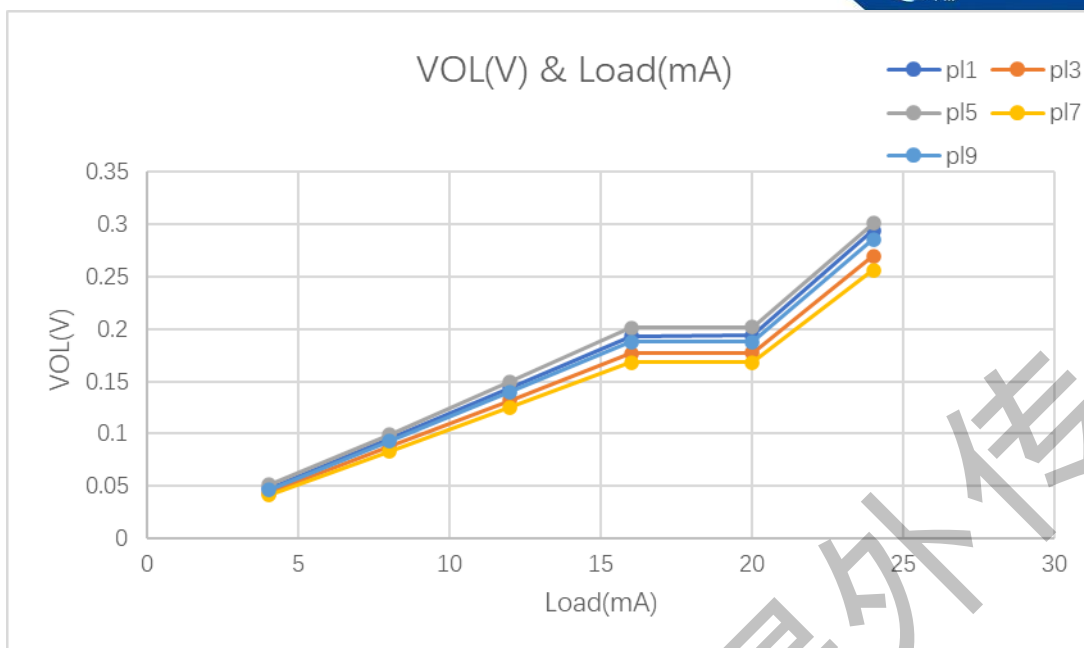


图 9 VOL 与负载电流特性曲线

5.3.2 静态电流随温度变化特性曲线

测试方法：VCCCORE，VCCHRAM，VCCSUP，VCCP，在额定电压、低电压、高电压三种条件下，TA 温度范围-40℃~100℃、初始温度为-40℃，步进值 10℃。测试各电源的静态电流。

VCCCORE，VCCHRAM，VCCSUP，VCCP 电源静态电流随温度及电压的特性曲线如下列图所示，其中电压 MIN 表示低电压，电压 TYP 表示典型电压，电压 MAX 表示高电压。

从曲线中可以看出，VCCCORE，VCCHRAM，VCCSUP 电源静态功耗随温度增加而剧烈上升，符合晶体管器件亚阈值漏电的温度特性。

VCCP0 为 BANK0 IO 电源，支持 1.2V、1.8V、2.5V、3.3V。测试方案中 TYP 电压选择 3.3V，MAX 电压选择 3.3×1.05 也即 3.465V，而 MIN 的电压选择 1.2×0.95 也即 1.14V。因此 TYP 曲线与 MAX 曲线比较贴合。另外 IO 的静态电流没有满足随着温度上升剧烈上升的特性，其原因此时 IO 的静态电流不都是晶体管亚阈值漏电流，而是由直流偏置电流占主导。其它 BANK IO 的试验结果一致。

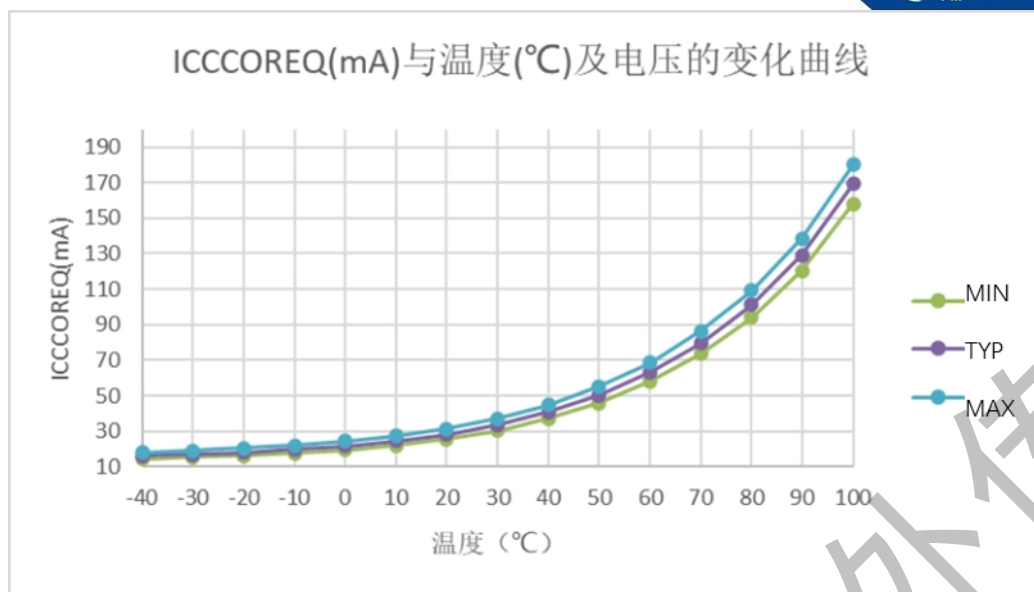


图 10 VCCCORE 静态电流随温度变化特性曲线

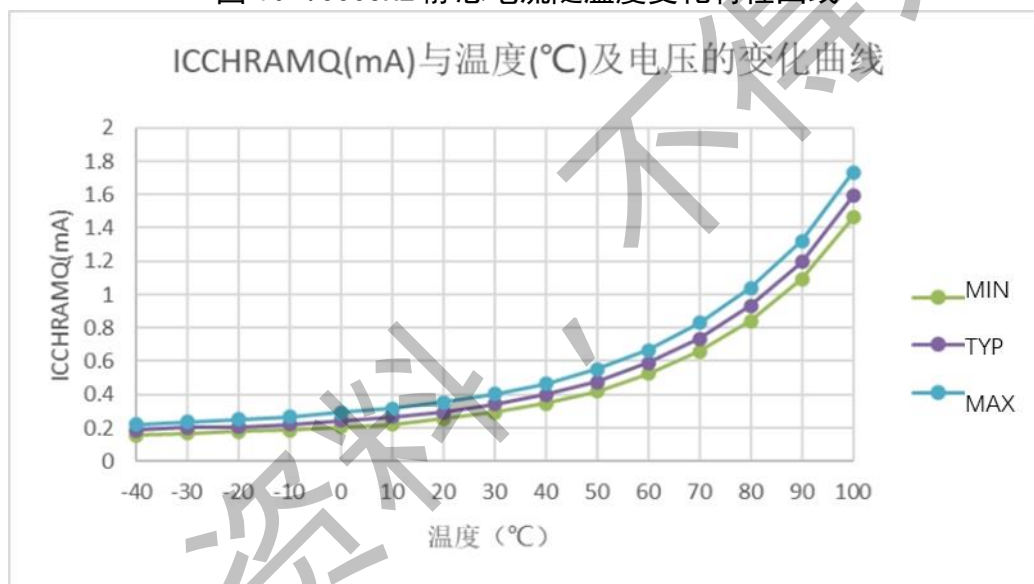


图 11 VCCHRAM 静态电流随温度变化特性曲线

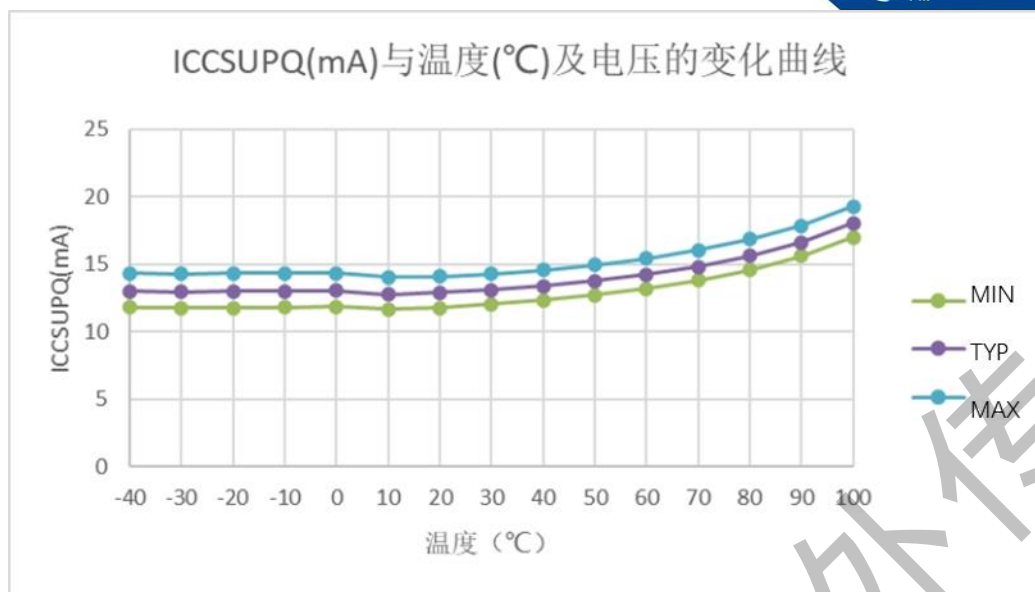


图 12 VCCSUP 静态电流随温度变化特性曲线

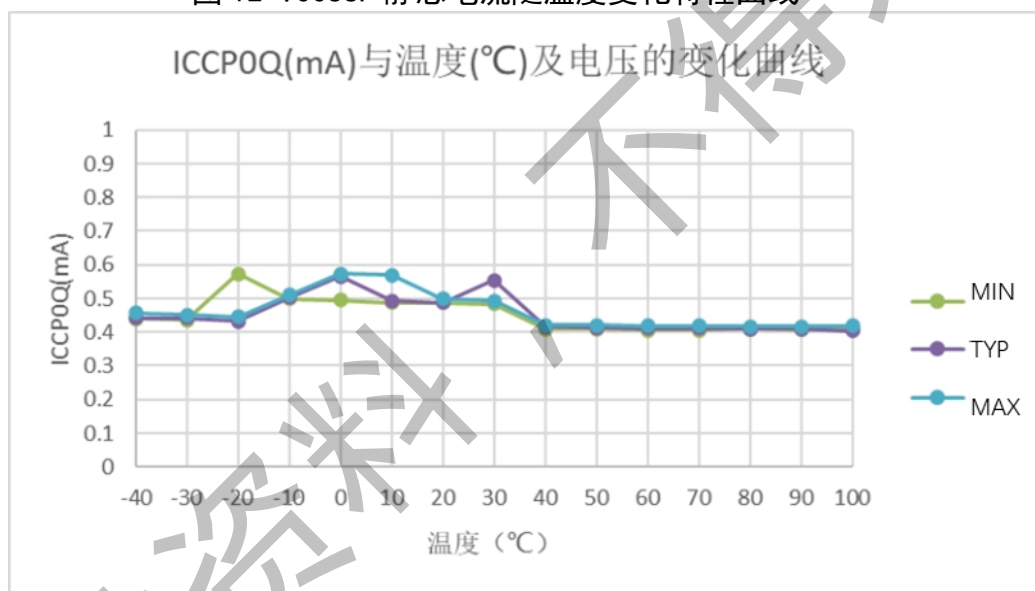


图 13 VCCP0 静态电流随温度变化特性曲线

5.3.3 动态功耗与温度、频率的特性曲线测试

测试方法:

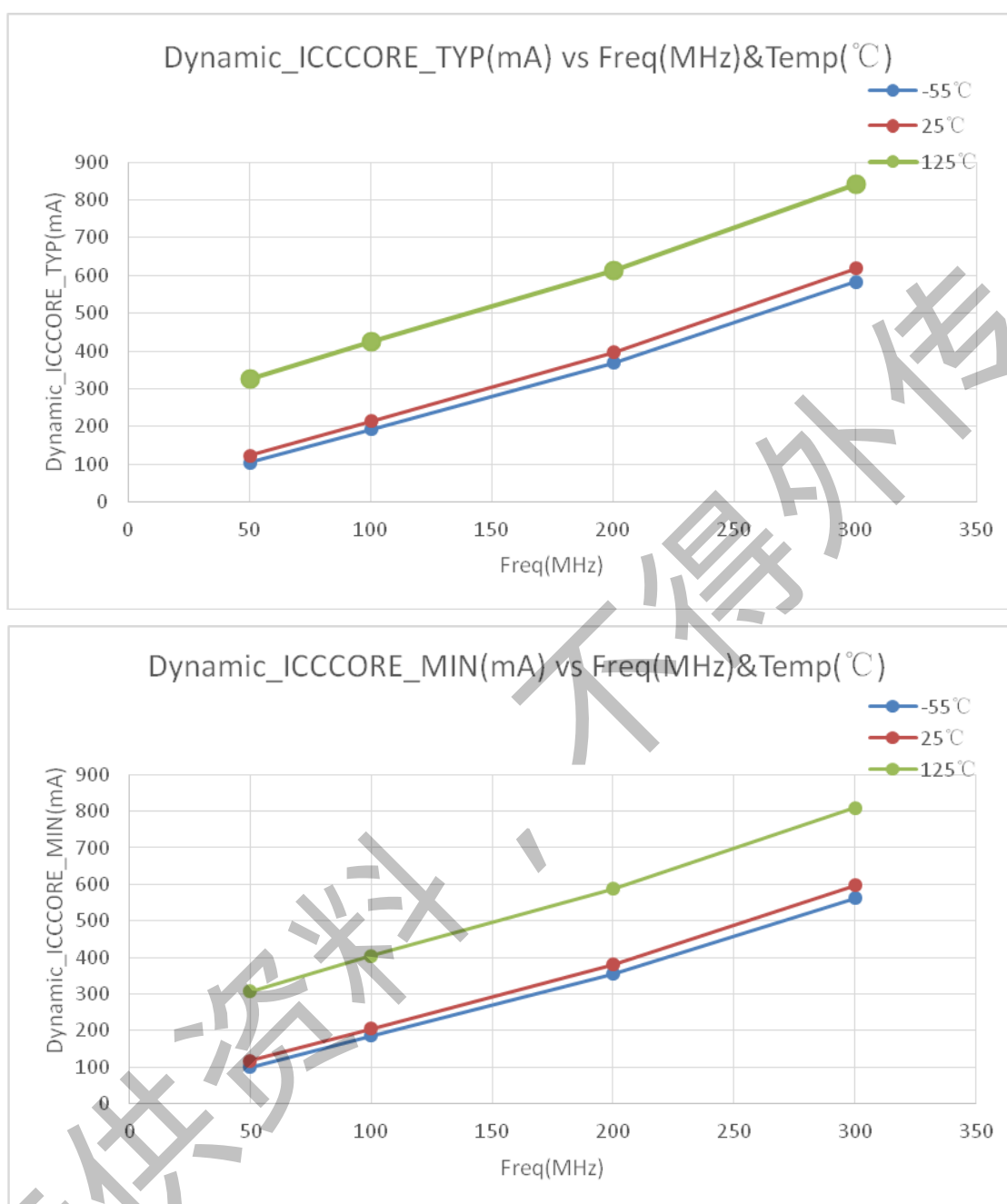
测试温度范围为-55°C、25°C、125°C;

频率: 50MHz~300MHz, 选取频率为 50MHz、100MHz、200MHz、300MHz;

每步进测试一次电流, 同时监测 CMT 输出锁定。记录试验结果。VCCCORE, VCCHRAM, VCCSUP, VCCP, VUHSTVCC, VUHSTVTT, VCCADC, 为额定电压条件。

从曲线中可以看出, VCCCORE 在典型电压 (TYP)、低电压 (MIN)、高电压 (MAX) 下随着频

率上升电流线性上升（符合预期）。



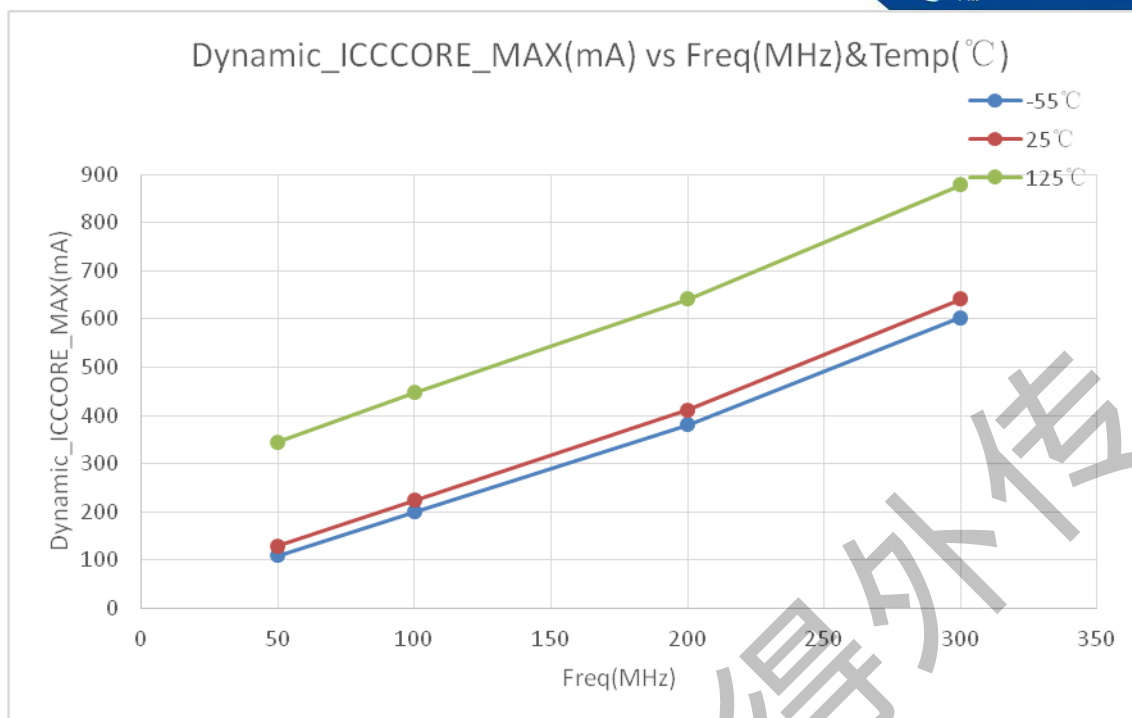
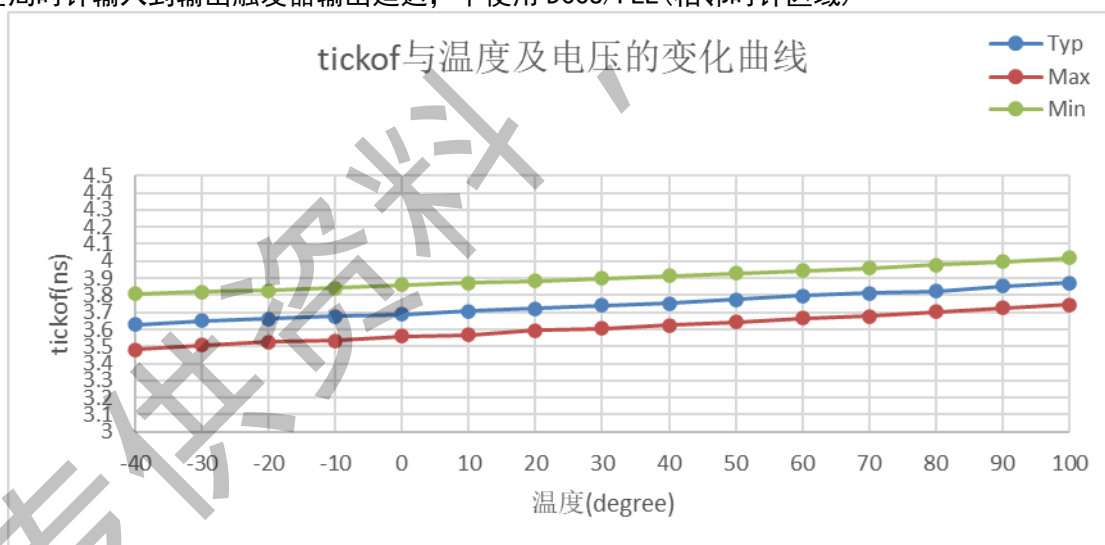


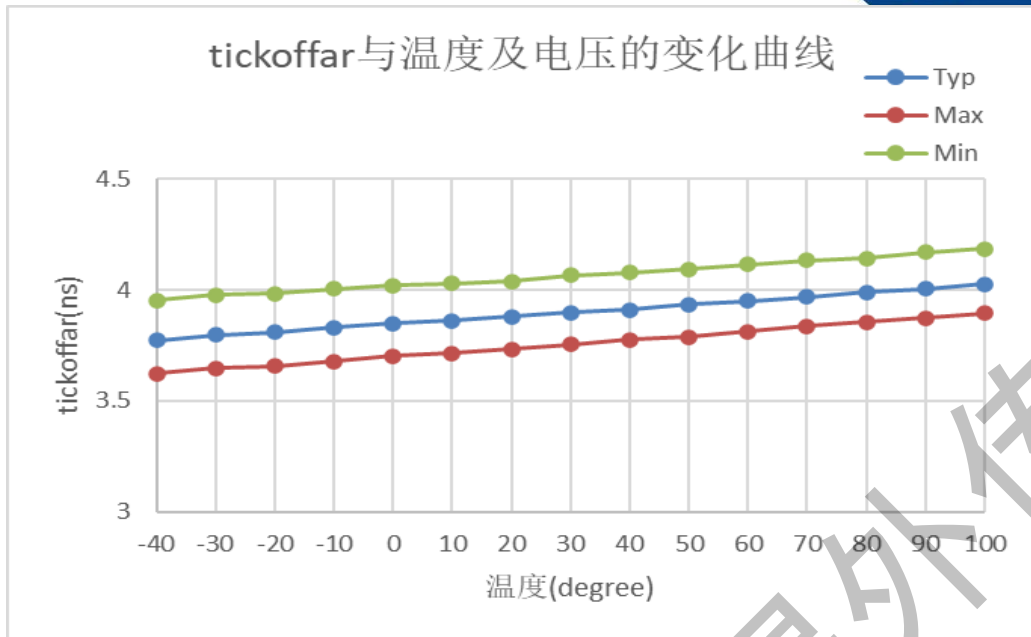
图 14 VCCCORE 动态功耗随频率、温度变化特性曲线

5.3.4 AC 参数与温度的特性曲线测试

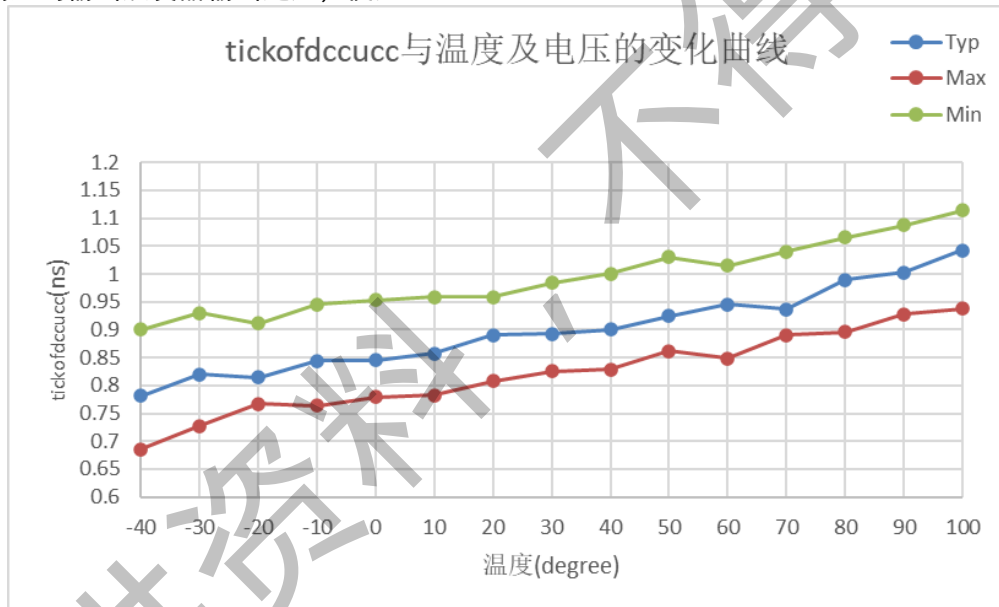
1) 参数全局时钟输入到输出触发器输出延迟, 不使用 DCCU/PLL (相邻时钟区域)



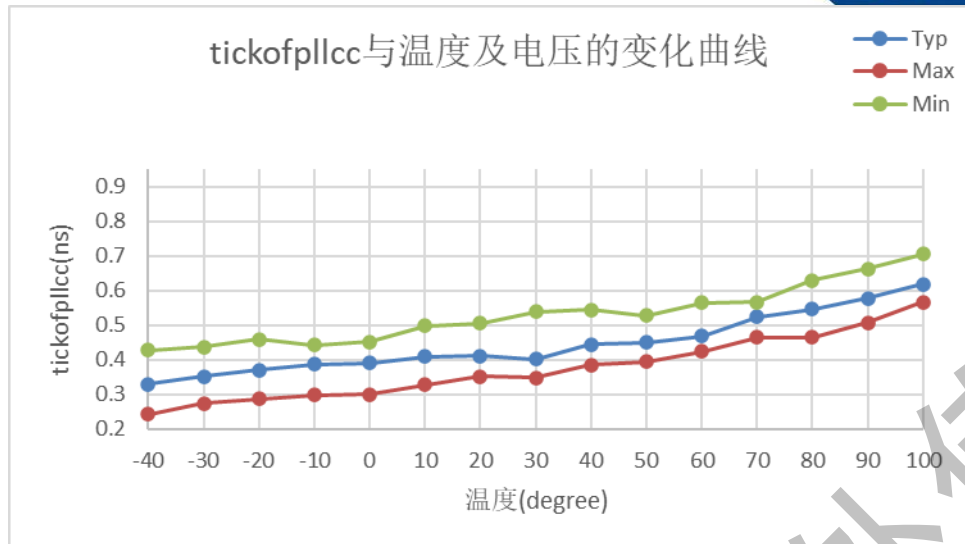
2) 参数全局时钟输入到输出触发器输出延迟, 不使用 DCCU/PLL (最远时钟区域)



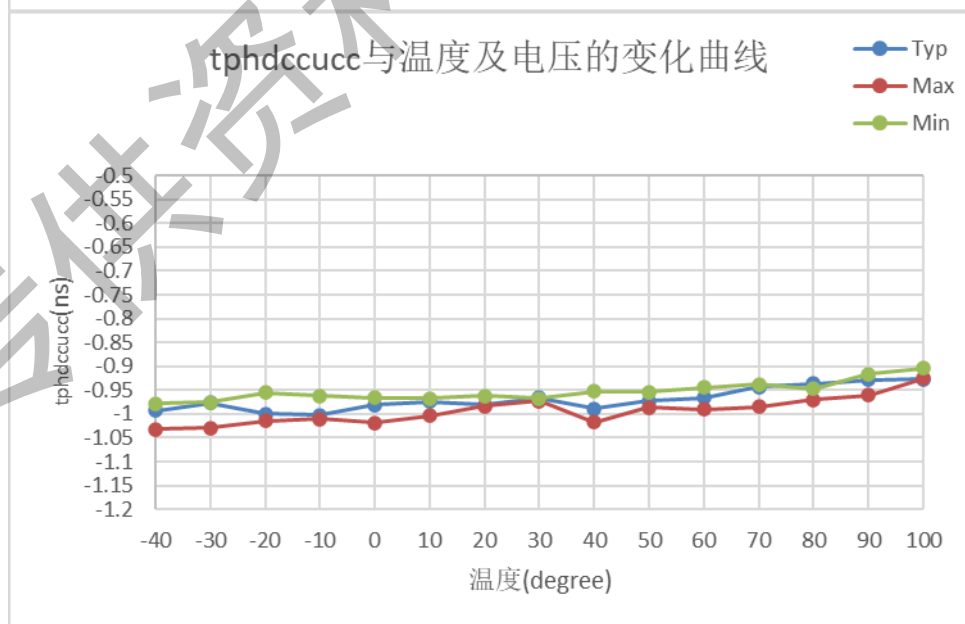
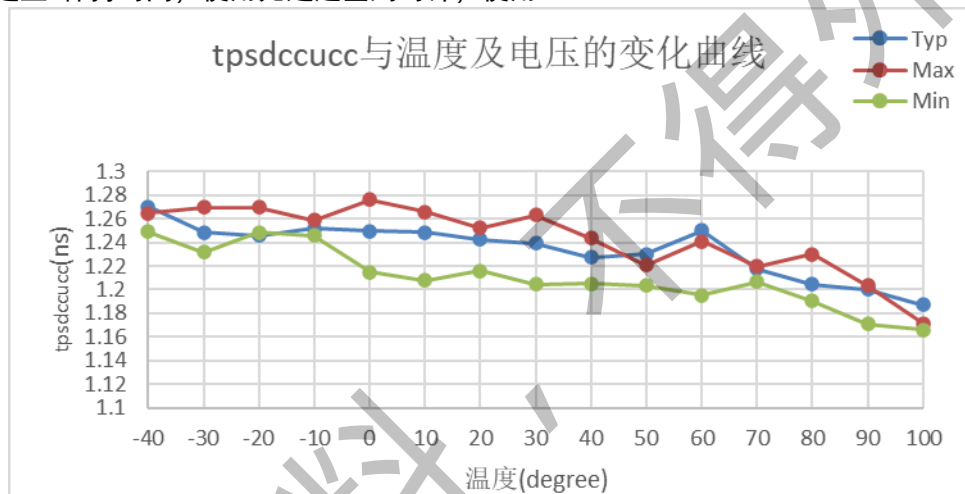
3) 全局时钟输入到输出触发器输出延迟, 使用 DCCU



4) 全局时钟输入到输出触发器输出延迟, 使用 PLL



5) 输入触发器建立/保持时间, 使用无延迟全局时钟, 使用 DCCU



6) 输入触发器保持时间, 使用无延迟全局时钟, 使用 PLL

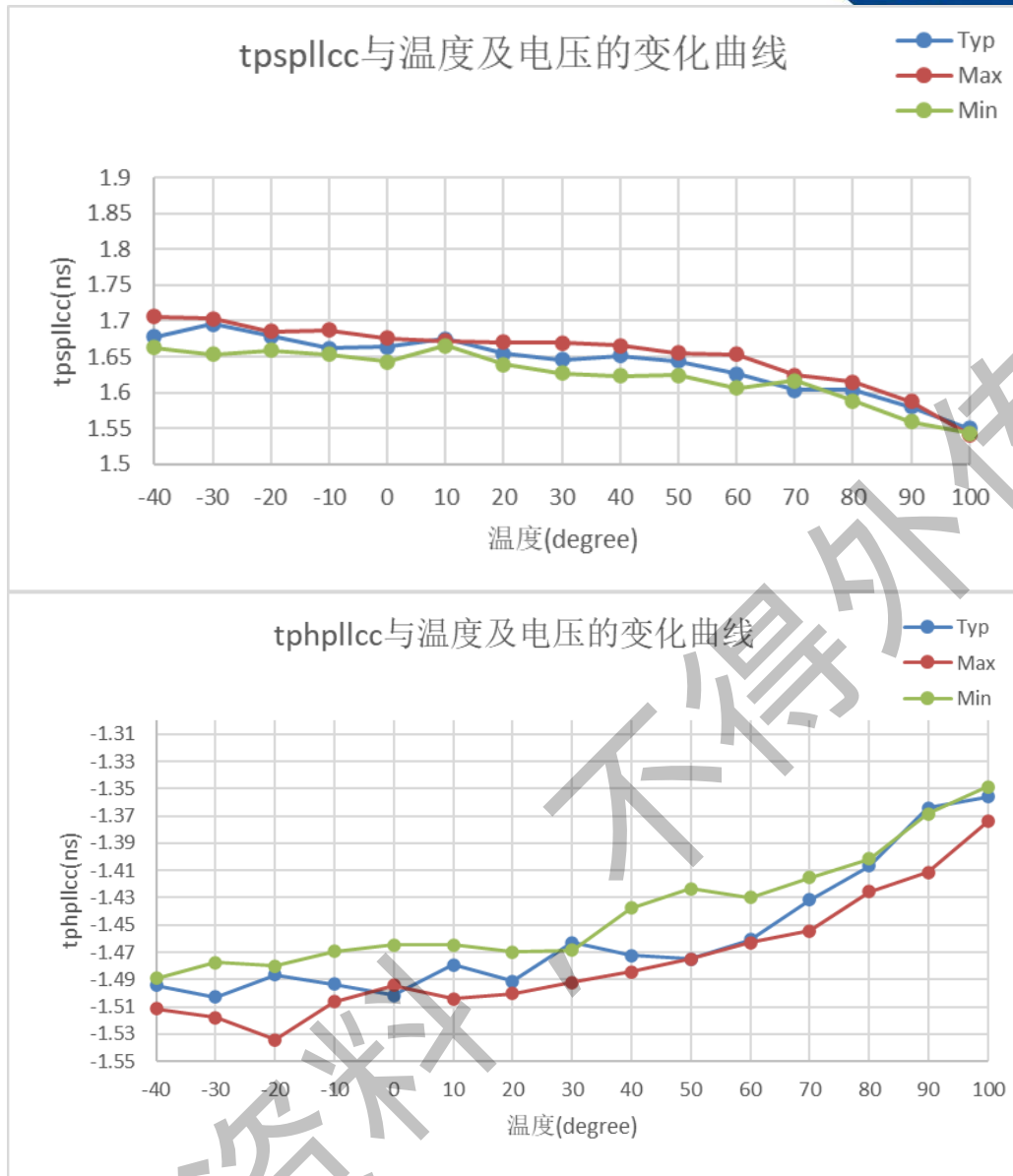
上海复旦微电子集团股份有限公司
Shanghai Fudan Microelectronics Group Company Limited

FMK50 系列 SRAM 型现场可编程门阵列

技术手册

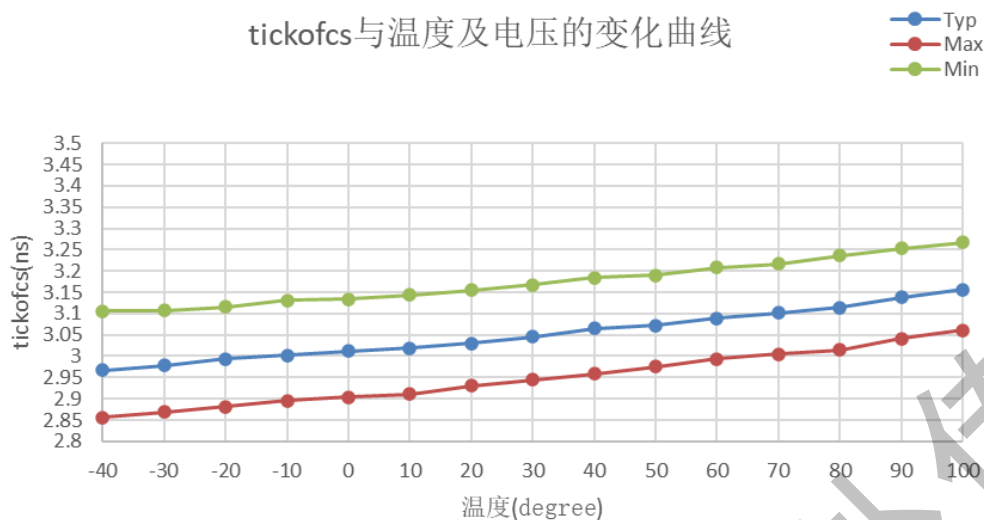
版本 1.2

82 / 109

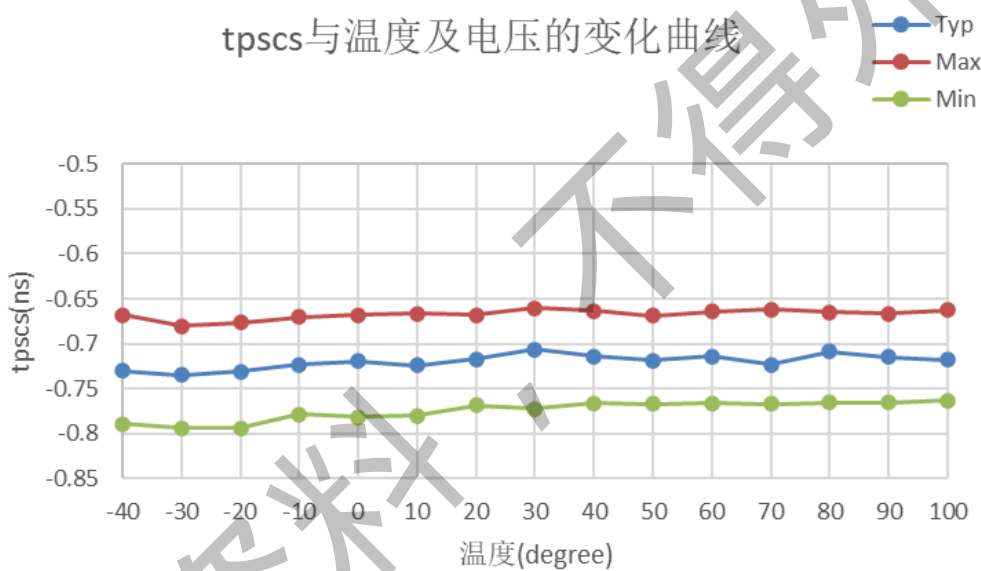


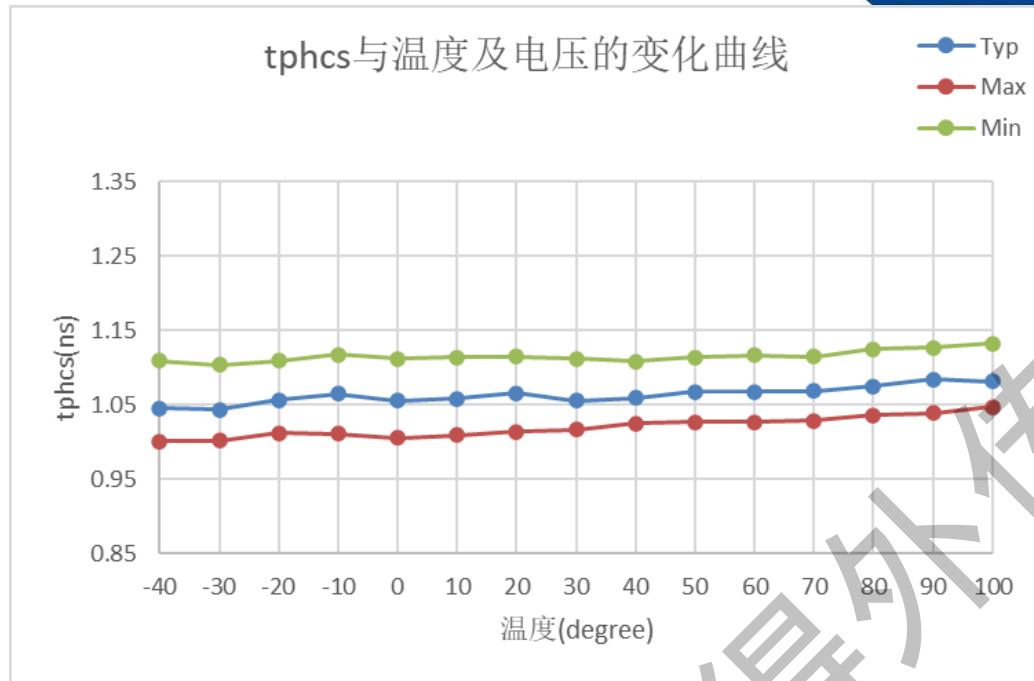
7) 源同步 pin-to-pin 开关特性参数

tickofcs与温度及电压的变化曲线



tpscs与温度及电压的变化曲线





6 环境极限

表 66 FMK50 系列极限参数

符号	描 述	数 值	单位
V_{CCCORE}	内核电源电压	-0.5~1.1	V
V_{CCSUP}	辅助电源电压	-0.5~2.0	V
V_{CCHRAM}	HRAM 电源电压	-0.5~1.1	V
V_{CCP}	IO BANK 输出驱动电源电压	-0.5~3.6	V
V_{REF}	输入参考电压	-0.5~2.0	V
V_{CCBAT}	备用电源电压	-0.5~2.0	V
V_{IN}	I/O 输入电压	-0.4~ $V_{CCP}+0.55$	V
	I/O 输入电压 ($V_{CCP}=3.3V$) 带参考的差分 IO 电平标准 (除 TMD5_33)	-0.4~2.625	V
UHST			
$V_{UHSTVCC}$	UHST 发送器和接收器电路的内核电源电压	-0.5~1.1	V
$V_{UHSTVTT}$	UHST 发送器和接收器终端电路的模拟电源电压	-0.5~1.32	V
SYS_MON			
V_{CCADC}	ADC 对 GNDADC 的电源电压	-0.5~2.0	V
V_{REFP}	ADC 参考输入对地电源	-0.5~2.0	V
Temperature			
T_{STG}	储存温度	-65~150	℃
T_{SOL}	Maximum soldering temperature for Pb-free Ball	+245	℃
T_J	结温(FMK50、FMK50T2、FMK50T4)	+125	℃

7 应用要求和典型应用

本章节为 FMK50 系列产品的应用指南，目的是引导用户正确使用 FMK50 系列芯片，实现用户设计的正确、稳定、可靠。

FMK50 系列产品采用复旦微电子提供的自主知识产权的 PROCISE 开发工具进行综合、时序分析、布局布线、IP 生成、位流生成、下载配置、在线调试。开发流程参考《FMK50 软件开发流程》文档。

7.1 应用要求

7.1.1 配置专用 IO PCB 信号设计推荐

CFG_CLK 信号

CFG_CLK 为配置专用 IO BANK 的时钟信号。当 FPGA 处于从配置模式下时，CFG_CLK 信号作为配置输入时钟；当 FPGA 处于主配置模式下时，CFG_CLK 信号作为输出时钟。CFG_CLK 信号在 PCB 设计时应该重点考虑信号完整性问题，推荐使用 IBIS 仿真器（例如：HyperLynx、ADS、HSPICE）对 CFG_CLK 信号进行仿真，检查每个时钟输入是否存在问题，包括主模式 FPGA 的 CFG_CLK。

为了实现合适的信号完整性，设计者应该更加注意 PCB 的布线和端接方式。基本准则如下：

- CFG_CLK 信号的布线需要进行 50 欧姆的阻抗匹配；
- CFG_CLK 信号的布线不应该有分支，不能使用星形拓扑结构；
- 如果必须存在分支，只能是短节点，其长度必须控制不超过 8mm（图 15）；
- 对于一驱一的点对点拓扑结构，建议在 CFG_CLK 信号的源端串联 20 欧姆电阻，终端（尽量靠近芯片端）上下拉 200 欧姆电阻（图 16）；
- 对于一对多的菊花链拓扑结构，建议在 CFG_CLK 信号的每个接收端串联 50 欧姆电阻，并在最后一块芯片处上下拉 100 欧姆电阻（图 17）。

图 18 示意了一个 CFG_CLK 驱动器（FPGA 主模式）和一个 CFG_CLK 接收器（FPGA 从模式）的基本点对点拓扑结构。

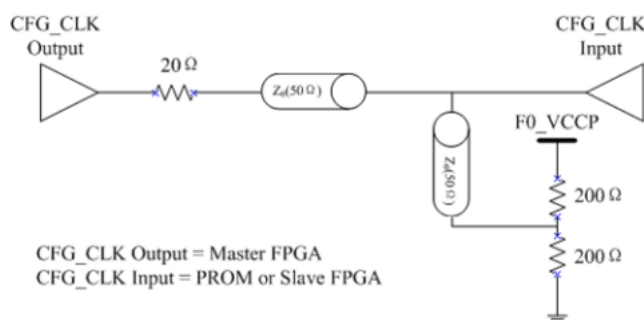


图 19 点对点：一个 CFG_CLK 输出，一个 CFG_CLK 输入

图 20 示意了一个 CFG_CLK 驱动器和多个 CFG_CLK 接收器的 flyby 式多分支拓扑结构, 对分支长度有所要求。

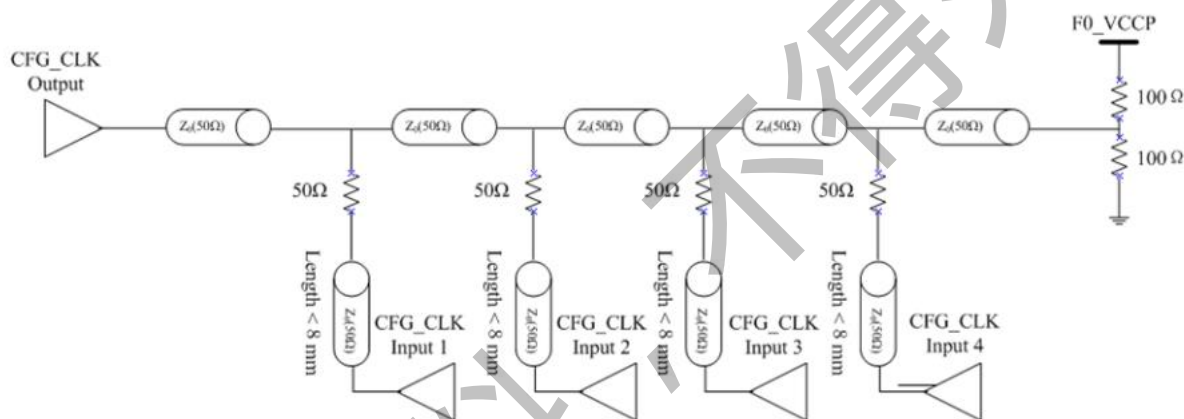


图 21 多分支：一个 CFG_CLK 输出，多个 CFG_CLK 输入

图 22 示意了一个星形拓扑结构，传输线分支成多个 CFG_CLK 输入。分支点成为了严重的阻抗不连续点。不推荐使用这种结构。

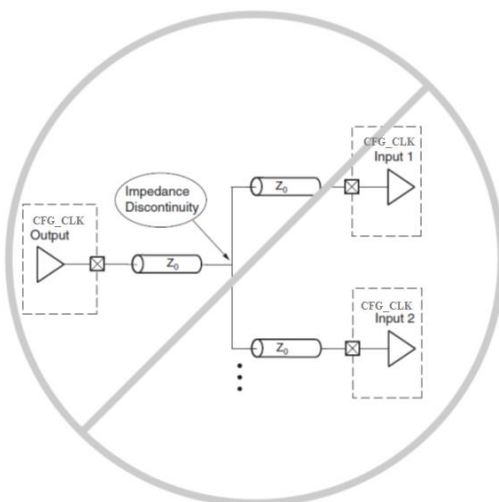


图 23 不推荐的星形拓扑：一个 CFG_CLK 输出，两个 CFG_CLK 输入
JTAG 级联 PCB 布线推荐

JTAG 链在级联多片 FPGA 时，因星型结构引起的信号反射比较严重，推荐必须使用菊花链结构。且 TCK、TMS 上不要出现分支结构，TCK、TMS 信号通过 BGA 扇出过孔直接与 FPGA 相连。

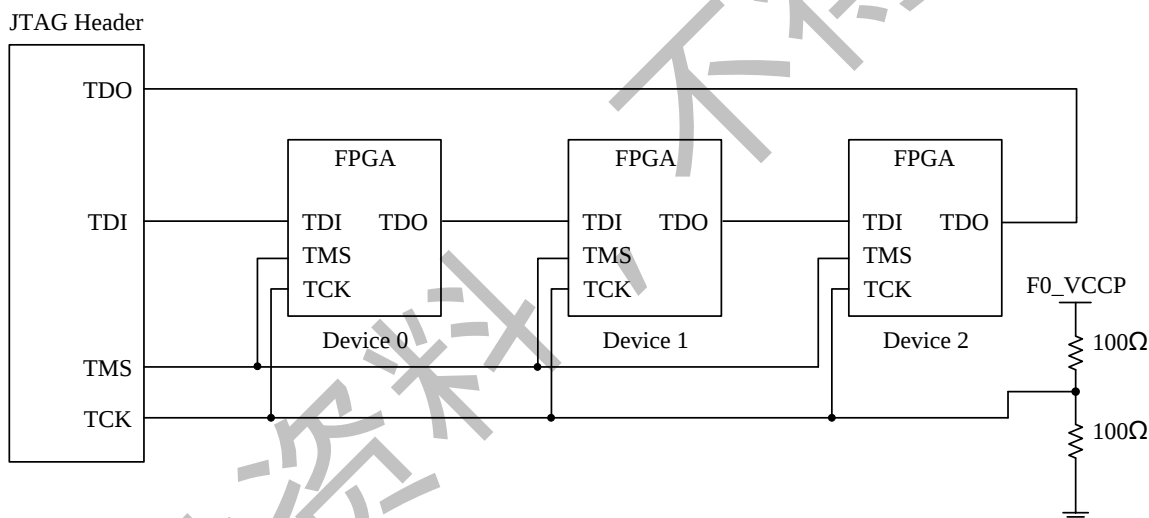


图 19 JTAG 菊花链方式级联

若 JTAG 链中有多个下载口或者信号走线有分支时，为保证 JTAG 信号的菊花链结构，建议 JTAG 信号分支位置在进入菊花链上第一片 FPGA 前，并且通过驱动芯片隔离分支结构对 JTAG 信号质量的影响，示意图如下图所示。并在 TCK 与 TMS 信号的驱动芯片输入端上拉 10KΩ 电阻，以保证无 Cable 接入时，信号维持高电平。

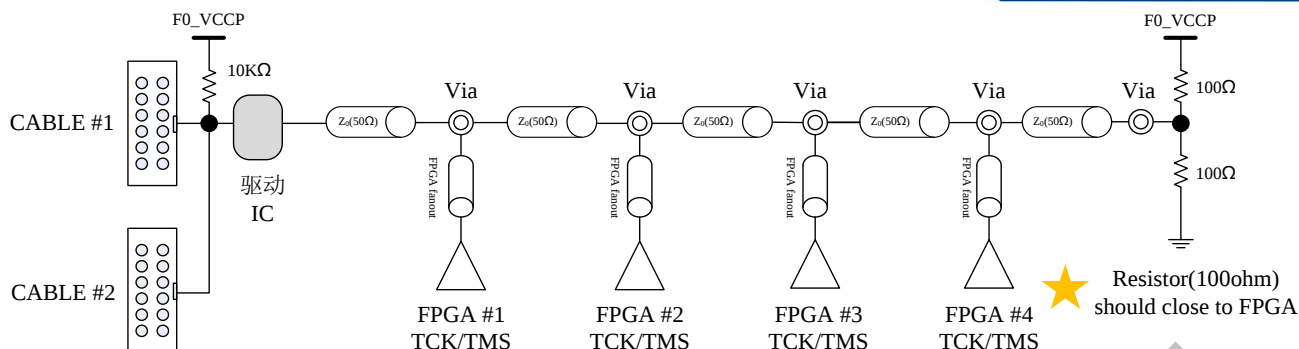


图 24 多片 FPGA 时 TCK 与 TMS 信号参考设计

当单片 FPGA 有多个下载口或者信号走线有分支时, 同样建议通过驱动芯片隔离分支结构对 JTAG 信号质量的影响, 示意图如下图所示。并在 TCK 与 TMS 信号的驱动芯片输入端上拉 10KΩ 电阻, 以保证无 Cable 接入时, 信号维持高电平。

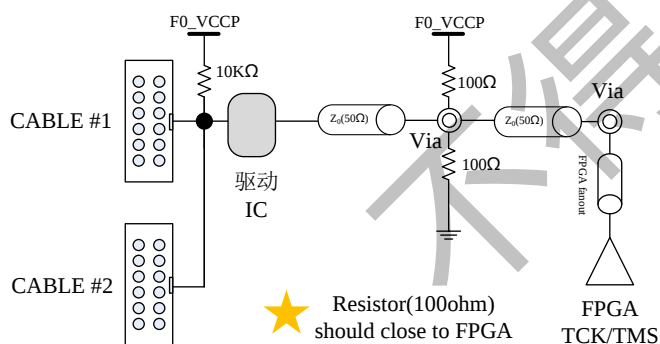


图 25 单片 FPGA 时 TCK 与 TMS 信号参考设计

对于驱动芯片选型, 参考指标如下:

- 最高数据速率应满足 JTAG 链要求;
- $T_{plh}(\max)=2.9\text{ns}$ 、 $T_{phl}(\max)=2.9\text{ns}$;
- $T_{pzh}(\max)=3.8\text{ns}$ 、 $T_{pzl}(\max)=3.8\text{ns}$ 、 $T_{phz}(\max)=6.6\text{ns}$ 、 $T_{plz}(\max)=6.6\text{ns}$;
- 信号 io 引脚电容: 7pF;

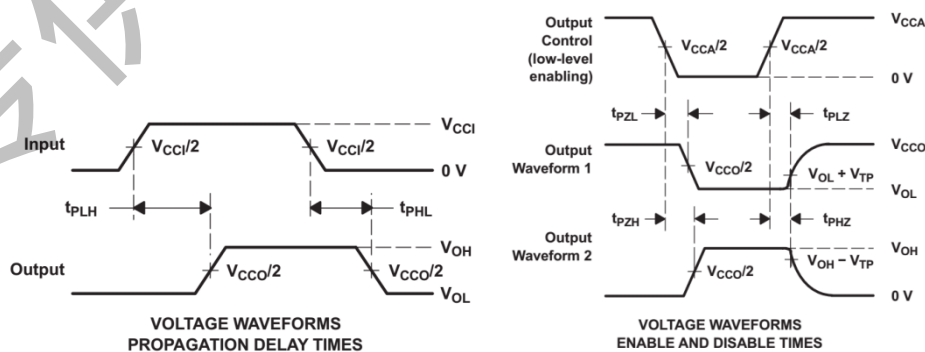


图 26 JTAG 链路驱动芯片性能参数图示说明

为方便链路调试,可在 JTAG 链路中添加 0 欧姆电阻作为调试点,可参考下图所示电路。注意,为保证调试时的 TMS 与 TCK 信号质量,R5、R6、R8、R9 靠近第一片 FPGA (Device 0) 放置,R7 与 R10 靠近第二片 FPGA (Device 1) 放置。当需要单独调试 Device2 时,可将 R2 与 R3 断开,通过飞线,将 Device0 的 TDI 信号与 Device2 的 TDI 信号相连,即 R1 与 R3 相连;将 R6、R7、R9 与 R10 断开,通过飞线,将 R5 与 R7 相连,将 R8 与 R10 相连。

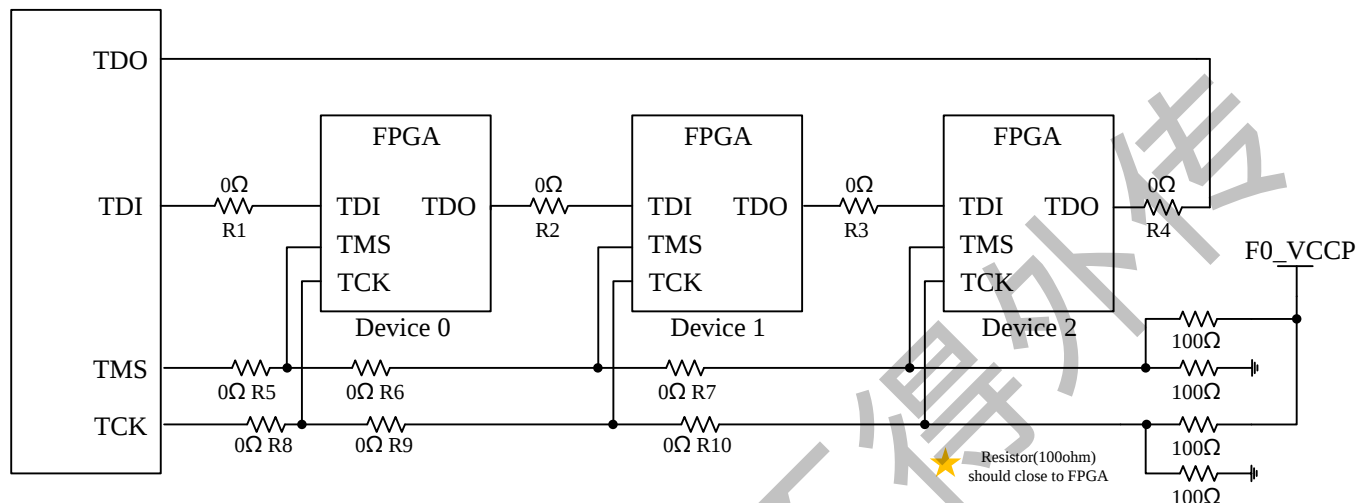


图 23 相邻器件的 JTAG 链路用 0Ω 电阻串联

7.1.2 高速收发器 UHST PCB 设计注意事项

原理图、印刷电路板设计检查表

表 67 原理图、印刷电路板设计检查表

管脚	检查项
UHSTREFCLK0P UHSTREFCLK0N UHSTREFCLK1P UHSTREFCLK1N	1.通过交流耦合电容连接到晶振。 2.接口设计见参考时钟接口。 3.参考时钟走线和相邻的走线保持足够距离(大于等于走线线宽的 3 倍),避免相邻信号的串扰。 4.参考时钟在管脚处最大、最小的幅度需要满足 SerDes 的指标(250mV~2000mV);时钟随机抖动小于 1ps(rms)。 5.如果参考时钟没有用到,需要悬空。
UHST2RXP[3:0]/UHST2RXN[3:0]	1.推荐通过 100nF 的交流耦合电容连接到发送端。如果协议另有要求,可以按照协议设计。 2.接收端走线和相邻的走线保持足够距离(大于等于走线线宽的 3 倍),避免相邻信号的串扰。 3.如果接收端不使用并且没有供电,这些管脚需要接地。如果接收端不使用但是有供电,管脚需要悬空。 5.拓扑结构参见接收端模拟前端。
UHST2TXP[3:0]/UHST2TXN[3:0]	1.推荐通过 100nF 的交流耦合电容连接到接收端。如果协议另有要求,可以按照协议设计。 2.发送端走线和相邻的走线保持足够距离(大于等于走线线宽的 3 倍),避免相邻信号的串扰。 3.如果发送端不使用,这些管脚需要悬空。
UHSTREF	使用方法和 PCB 设计见端接电阻校准电路。

管脚	检查项
UHSTVCC	1.电压典型值为 1VDC。 2.电压范围见数据手册。建议添加直流压降仿真。 3.此电压的电源不应与非收发器负载共用。特别不能与 VCCCORE 共用电源。 4.滤波电容推荐 1 个 4.7uF 的陶瓷电容。 5.为了优化性能，管脚处的电源纹波需要小于 10mV（10KHz~80MHz）。 6.如果未使用的 UHST，相关的电源管脚悬空。
UHSTVTT	1.电压典型值为 1.2VDC。 2.电压范围见数据手册。建议添加直流压降仿真。 3.此电压的电源不应与非收发器负载共用。 4.滤波电容推荐 1 个 4.7uF 的陶瓷电容。 5.为了优化性能，管脚处的电源纹波需要小于 10mV（10KHz~80MHz）。 6.如果未使用的 UHST，相关的电源管脚悬空。

UHST 的引脚和外部连接

表 68 引脚分配

引脚	方向	描述
UHSTREFCLK0P UHSTREFCLK0N	In (Pad)	SerDes 差分参考时钟输入
UHSTREFCLK1P UHSTREFCLK1N	In (Pad)	SerDes 差分参考时钟输入
UHST2RXP[3:0]/UHST2RXN[3:0]	In (Pad)	SerDes 接收端差分信号输入
UHST2TXP[3:0]/UHST2TXN[3:0]	Out (Pad)	SerDes 发送端差分信号输出
UHSTREF	In (Pad)	端接电阻校准模块电阻输入
UHSTVCC	Power	SerDes 的 1V 模拟电源输入。PLL、发送端、接收端的模拟部分供电电源。
UHSTVTT	Power	SerDes 的 1.2V 模拟电源输入。发送端、接收端的端接部分供电电源。

下图是 UHST 的外部电源连接关系图：

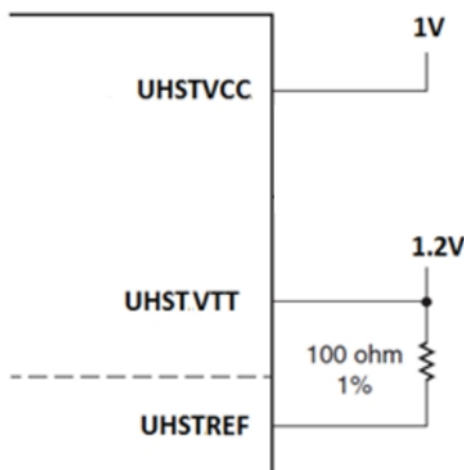


图 27 UHST 的外部电源连接关系图

每一个 UHST 有一个电阻校准电路（RCAL）。UHSTREF 管脚需要外接 100 欧姆（1%精度）上拉到 UHSTVTT。

参考时钟

参考时钟设计要求如下：

- 收发器和时钟源之间交流耦合。
- 确保参考时钟满足数据手册中定义的直流、交流、开关的指标。
- 满足协议或者标准中规定的基准时钟要求。
- 满足时钟源对电源、PCB 布局的要求，以及噪声规范。
- 时钟源和收发器之间拓扑采用点到点连接。
- 将差分线的阻抗不连续性降至最低。

参考时钟接口兼容 LVDS 和 LVPECL。LVDS 时钟源和收发器参考时钟的推荐连接关系如下：



图 28 LVDS 时钟源和收发器参考时钟的推荐连接

LVPECL 时钟源和收发器参考时钟的推荐连接关系如下，参考时钟源的数据手册选用合适的电阻值。

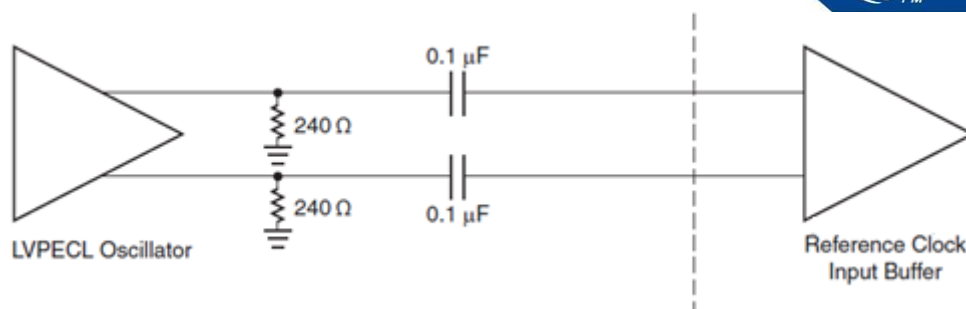


图 26 LVPECL 时钟源和收发器参考时钟的推荐连接

- 参考时钟推荐交流耦合，主要是基于以下目的：隔断器件之间直流分量，降低功耗。
- 保持共模电压的独立性。
- 交流耦合电容器与片上终端形成高通滤波器，能够减小基准时钟的漂移。

如果不使用基准时钟输入，输入时钟的输入端应悬空。

电源供电和滤波

收发器模拟电源上的噪声会影响电源的幅度，并且通过信号的沿转化成抖动，影响收发器的性能。有两种主要类型的电源模块可用于 UHST 收发器模拟电源：线性稳压器和开关稳压管。

不管哪种类型的模块，都推荐电源噪声的振幅在 10mV_{pp} 以下。如果不满足,可以考虑添加 π 型滤波器来衰减开关调节器的噪声，以满足纹波指标。如果有 π 型滤波器，需要特别注意滤波器的压降，防止直流压降过大，导致 UHST 不能正常工作。

应在靠近 UHST 收发器电源引脚的板端提供去耦电容。这些电容降低了 PCB 电源分布网的阻抗，隔离芯片和板级噪声源之间噪声。每个电源组（power group）至少要放一个 0402 封装 4.7uF 的陶瓷电容，保证在 10 kHz 至 80 MHz 的频带内，电源管脚处的噪声应小于 10 mvpp。

过通道能力说明：

表 69 FMK50 系列过 Channel Loss 性能指标

数据率	FMK50T4、FMK50T2
	-55℃~125℃
6.25Gbps	22dB
8Gbps	22dB
10.3125Gbps	22dB
12.5Gbps	22dB

7.1.3 DDR 控制器 PCB 设计注意事项

引脚分配

DDR3 的 PIN 脚分配根据 DDR3 控制器的物理层规则来进行约束。

上海复旦微电子集团股份有限公司
Shanghai Fudan Microelectronics Group Company Limited

FMK50 系列 SRAM 型现场可编程门阵列

技术手册

版本 1.2

93 / 109

每个 IO Bank 内（50 个 IO）可以放置 4 个 Byte Group，每个 Byte Group 对应 1 对 DQS 差分信号，8 个 DQ 信号和 1 个 DM 信号，其中 DQS 信号位置是固定的，DQ 和 DM 信号在 Byte Group 内可以进行 PIN Swap。

一个 DDR Controller 最多可支持 72Bit DQ，需要分布在 3 个 BANK。其中 ADDRESS/CONTROL 信号必须在中间 BANK。例如使用 FMK50T4 的 Bank 3、4、5，则 ADDRESS/CONTROL 必须分布在 BANK4。

若 DDR 系统时钟（system clk）从外部输入，必须在同一个列的 IO BANK 的全局时钟输入 IO（MRC/SRC），建议放在 ADDRESS/CONTROL Bank（时钟路径最短，jitter 最小）。

CK 信号必须分配在一对差分 IO 上（p/n）。

电源连接

DDR IO BANK 电压 VCCP、参考电压 VREF 的 DC 指标如下表，FPGA 端与 DDR 颗粒端均需要满足该指标，参考 JEDEC Standard 79-3E。

表 70 VCCP 和 VREF 的 DC 指标

器件类型	电压类型	最小值 (V)	典型值 (V)	最大值 (V)
DDR3	VCCP	1.425	1.5	1.575
	VREF	0.735	0.75	0.765
	VTT	-	0.75	-
DDR3L	VCCP	1.285	1.35	1.418
	VREF	0.660	0.675	0.690
	VTT	-	0.675	-
DDR2	VCCP	1.7	1.8	1.9
	VREF	0.88	0.9	0.918
	VTT	VREF-0.04	VREF	VREF+0.04

FPGA 端的 VREF 电压可由 FPGA 内部提供。

外部 VREF 供电时，供电电源建议使用电压跟随低噪声的 LDO，不推荐使用 DCDC 或者电阻分压方式供电。VREF 电源需要避开高速信号的噪声串扰，VREF 总体噪声要求小于 ±15mv。

Layout 规则及注意事项

1、走线拓扑

ADDRESS/CONTROL DDR3 采用 Fly-by 结构，需要末端端接。

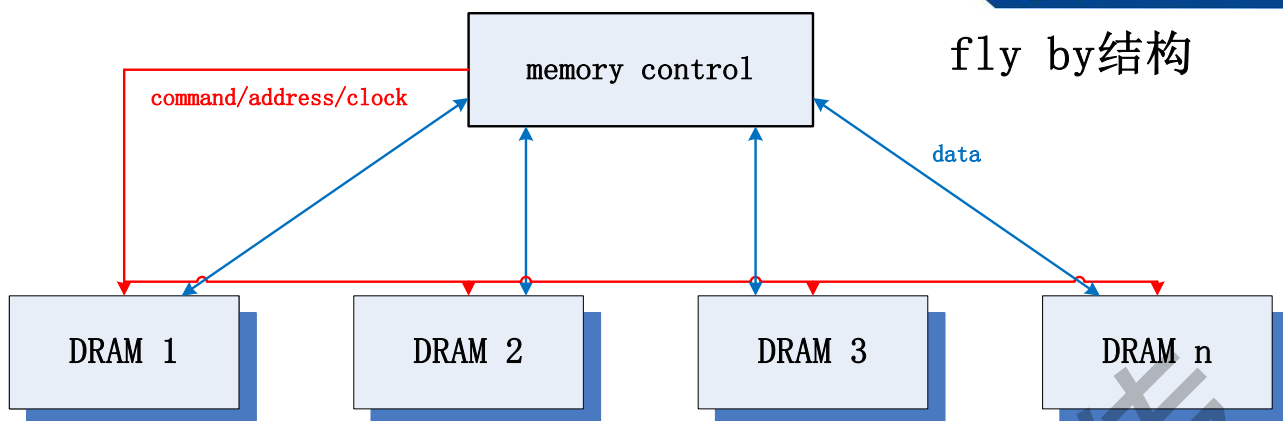


图 27 DDR3 Fly-by 结构

DDR2 采用 T 型结构，需要在分岔点进行端接。

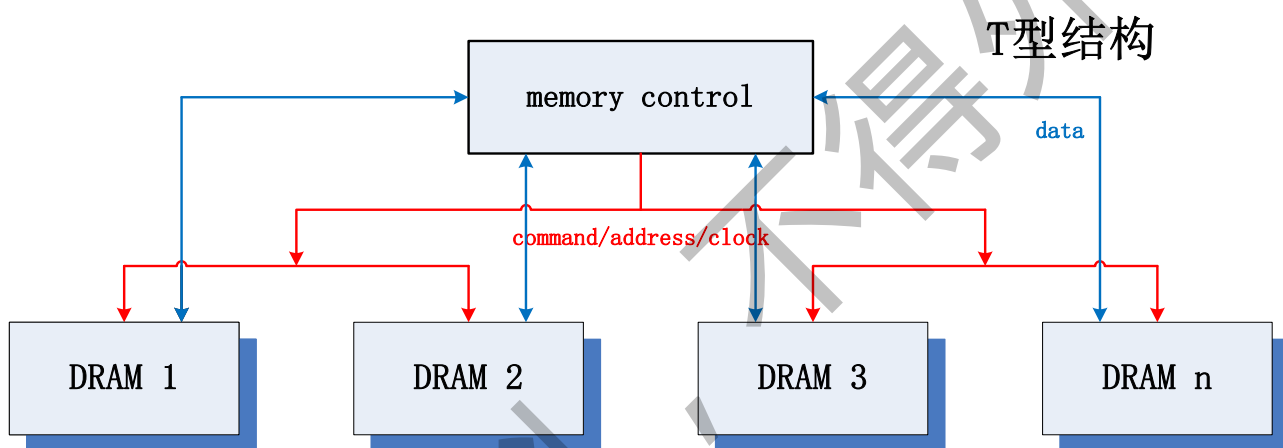


图 28 DDR2 T 型结构

DQS/DQ/DM 信号采用点对点连接，不需要端接。

2、走线阻抗及端接

单端走线阻抗：走线阻抗控制 $50\Omega \pm 10\%$ 。

差分走线阻抗：走线阻抗控制 $100\Omega \pm 10\%$ 。

若使用 DDR 颗粒，地址和控制信号 (ADDR、RAS_N、CAS_N、WE_N、CS_N、CKE、ODT) 需要端接，端接形式为末端接 40Ω 上拉到 VTT 电压，CK 端进行差分 80Ω 端接。若使用 DIMM 条，在 PCB 上不需要进行端接。DDR2 颗粒地址和控制信号 (ADDR、RAS_N、CAS_N、WE_N、CS_N、ODT) 在分岔点进行端接，接 50Ω 上拉到 VTT，CK 端进行差分 100Ω 端接，CKE 信号接 $4.7k\Omega$ 电阻到地。

VTT 端接电压需要接去耦电容，推荐使用 $1\mu F$ 和 $100\mu F$ 的电容，电容数量推荐如下：其中每 4 个 VTT 端接需接一个 $1\mu F$ 电容去耦，每 25 个 VTT 端接需接一个 $100\mu F$ 电容去耦。

RESET_N 信号不需要端接，但是需要接 4.7k Ω 的电阻值到 GND。

DM 信号若没有使用，需要下拉到 GND，下拉电阻的阻值需要小于 4 倍的 ODT 值。例如 ODT 配置为 40 Ω ，下拉电阻值要小于 160 Ω 。

3、走线长度

DDR 信号线（包括 ADDR/control/DQ/DQS/DM 等）在 PCB 走线时需要满足等长的要求。PCB 上的等长需要补偿封装上的 PIN Delay。在不同的封装上，PIN Delay 值是不一样的。封装提供的 PIN Delay 是时间参数，PCB 设计时需要将封装上的 delay 时间转换成 PCB 上的走线长度，转换公式为：

$$\text{Length} = \text{Package Delay (ps)} \times \text{走线传播速度}$$

走线传播速度与 PCB 使用的介质介电常数有关，需注意微带线的走线速度要大于带状线。

不同速率下等长要求值不同，下表为 JEDEC Standard 79-3E 标准下 DQ to DQS 等长要求及 CK to Addresses/Control 等长要求。

表 71 DQ to DQS skew Limit

FPGA 速度(Mb/s)		内存颗粒速度等级 (ps)					
等级	实际	2133	1866	1600	1333	1066	800
800	800	150.0	148.2	130.0	102.5	67.0	5.0

表 72 CK to Addresses/Control skew Limit

FPGA 速度(Mb/s)		内存颗粒速度等级 (ps)					
等级	实际	2133	1866	1600	1333	1066	800
800	800	150.0	150.0	150.0	150.0	100.0	25.0

- DDR2/DDR3 推荐等长设计，同一组 Byte Group DQS/DQ 等长控制在 $\leq \pm 5\text{ps}$ ；
- DDR3 最大的 Addresses/control 与 CK/CK# 等长控制在 $\leq \pm 8\text{ps}$ ；
- DDR2 最大的 Addressess/control 与 CK/CK# 等长控制在 $\leq \pm 25\text{ps}$ ，每个 DQS 信号与 CK 信号的 delay 最大值要 $\leq \pm 25\text{ps}$ ；
- DDR3 由于需要完成 Write Calibration 校准操作，CK/CK# 信号到达每个 memory 颗粒的时间必须在 DQS 信号之后，他们到达的时间差需要控制在 0~1600ps 之间。若使用 DDR 颗粒或者 SODIMM/UDIMMS，推荐 CK/CK# 与 DQS 的 skew 控制在 150ps~1600ps 之间，若使用 RDIMMS，推荐 CK/CK# 与 DQS 的 skew 控制在 450ps~750ps 之间。

4、信号完整性仿真

建议在完成 PCB Layout 之后，进行 DDR 的信号完整性仿真。

5、时序仿真

时序仿真包括：

- 每个 Byte Group DQS/DQ 的读写时序仿真。
- CK 与 Addresses/Control 之间的时序仿真。
- CK 与 DQS 之间的 Skew 仿真。

6、信号质量仿真

信号质量仿真要求如下：

- 仿真需要使用 IBIS 模型。
- DQS/DQ 信号质量（包括过冲、振铃值）与 JEDEC 标准进行比较 check。
- Addresses/Control 信号质量（包括过冲、下冲、振铃值）与 JEDEC 标准进行比较 check。
- 包括串扰仿真、同步开关噪声仿真、电源 DC 仿真。

7.1.4 SYS_MON PCB 设计注意事项

SYS_MON 对外部模拟输入 10MHz 以上的干扰比较敏感。原理图和 PCB 设计不合理，采样有可能出现单个毛刺点。SYS_MON 设计按照以下注意事项能规避毛刺点。

注意事项：

- 1) VIP 和 VIN 差分走线，抑制共模噪声。
- 2) VP 和 VN 添加简单 RC 抗混叠滤波器，抑制 10MHz 以上的高频噪声。
- 3) V_{CCADC} 和 V_{CCSUP} 之间磁珠隔离，并添加 100nF 去耦电容。
- 4) GNDADC 和 GND 单点连接，并用磁珠隔开。

V_{CCADC} 与 GNDADC 为 SYS_MON 中的模拟电路提供电源和地信号，较大电源和地上的噪声会严重影响 ADC 的测量精度。用户需要在 V_{CCADC} 和 GNDADC 路径上加低通滤波网络。低通滤波器设计取决于 V_{CCSUP} 、GND 的纹波和纹波频率，还需要考虑外部基准电路的电源抑制能力。

图 29 为使用外部基准情况下 SYS_MON 电源、地低通滤波网络设计示例，图 30 为使用片上基准情况下 SYS_MON 电源、地低通滤波网络设计示例。

外部基准应用

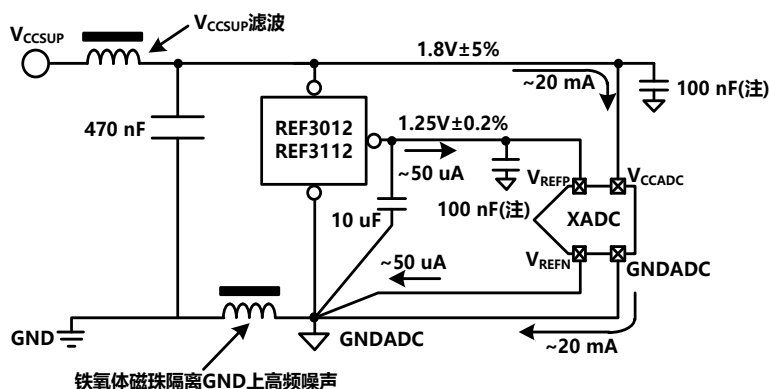


图 29 使用外部基准情况下 SYS_MON 电源、地低通滤波网络设计示例

片上基准应用

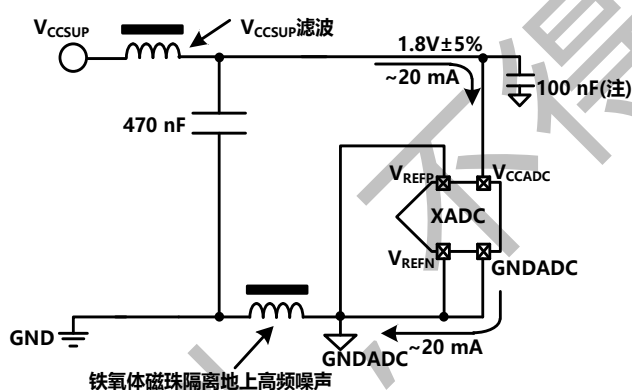


图 30 使用片上基准情况下 SYS_MON 电源、地低通滤波网络设计示例

(注) : 100 nF 电容尽可能靠近芯片管脚

铁氧体磁珠在高频下的行为类似于电阻，作为有损电感使用，典型的铁氧体磁珠阻抗与频率的关系如下图所示，可以提供数字和模拟电源（地）之间的高频隔离。

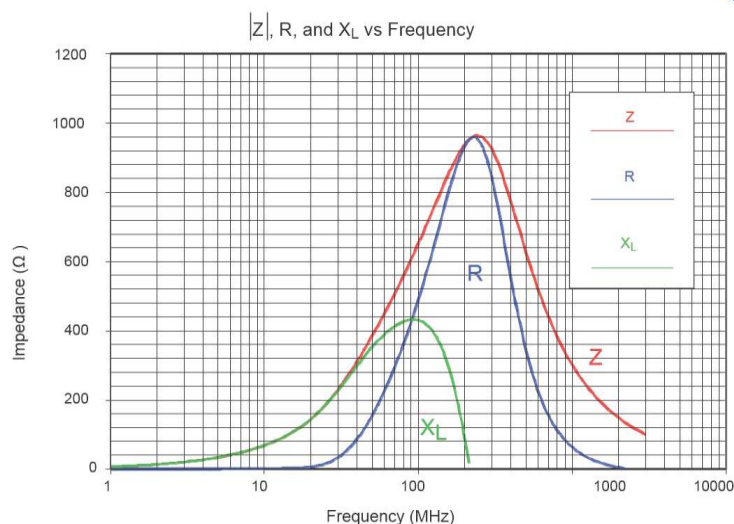


图 31 铁氧体磁珠阻抗与频率关系图

7.1.5 未使用 IO BANK 接法推荐

不用的 IO bank，其 VCCP 和 IO 应该接到同一个电位上：接地或者接某个 VCCP。没有用到的 bank 的 VCCP 浮空的话，会降低该 bank 内的 VCCP 管脚和普通 IO 管脚的 ESD 防护水平，所以并不推荐。

7.1.6 其他注意事项

1、SYS_MON 接口访问

SYS_MON 模块可以支持 JTAG 访问或 DRP 接口访问。但用户在使用时,请勿使用 DRP 和 JTAG 接口同时访问 SYS_MON。用户设计完成后,在 DCLK 时钟存在的情况下先对 SYS_MON 复位,复位释放后再开始使用 DRP 接口进行数据读写。

2、CFG_V 信号接法

F0_VCCP 在任何电源电压下, F0_CFG_V 都上拉(上拉电阻 100 欧姆)至 F0_VCCP 电源。

3、JTAG 信号接法

JTAG 连接 FPGA 时,建议通过驱动芯片隔离分支结构对 JTAG 信号质量的影响,尤其以下两种场景务必使用驱动芯片隔离。

- 在 JTAG 链其中有多下载口或信号走线有分支时;
- 在 FPGA 有多下载口或信号走线有分支时。

此外,在 TCK 与 TMS 信号的驱动芯片输入端上拉 10K Ω 电阻,以保证无 Cable 接入时,信号维持高电平。

4、上电顺序情况说明

下面两种上下电顺序都支持,为保证 CFG_STA_B 拉高后(芯片内部初始化完成时),电源已全部建立好,要求 V_{CCP} 的上电速度 < 4ms,且 FLASH 的电源在 CFG_STA_B 拉高之前建立好,若不满足,可能导致 SPI、BPI 上电加载失败。

方案 1):

上电顺序: V_{CCSUP} -> V_{CCP} -> V_{CCCORE} -> V_{CCHRAM}

下电顺序: V_{CCHRAM} -> V_{CCCORE} -> V_{CCP} -> V_{CCSUP}

方案 2):

上电顺序: V_{CCCORE} -> V_{CCHRAM} -> V_{CCSUP} -> V_{CCP}

下电顺序: V_{CCP} -> V_{CCSUP} -> V_{CCHRAM} -> V_{CCCORE}。

- 当 V_{CCP} 大于 1.8V 时, V_{CCSUP} 必须先于 V_{CCP} 上电。
- 当 V_{CCP}-V_{CCSUP}>2.625V 时对 V_{CCP} 和 V_{CCSUP} 的上电时间关系也有要求,见下表。

表 73 T_{VCCP2VCCSUP} 值表

参数	描述	温度	最小值 (ms)	最大值 (ms)
$T_{VCCP2VCCSUP}$	当 $V_{CCP}-V_{CCSUP}>2.625V$ 时每个电源周期允许的时间	$85^{\circ}C < T_J \leq 105^{\circ}C$	-	500
		$T_J \leq 85^{\circ}C$	-	800

➤ 电源上电速度表如下表：

表 74 电源上电速度表

电源	上电速度 (ms)
V_{CCCORE}	0.20 ~ 50
V_{CCHRAM}	0.20 ~ 50
V_{CCSUP}	0.20 ~ 50
V_{CCP}	0.20 ~ 50

➤ 注意：对于 V_{CCCORE} 电源，快上电存在较大的浪涌电流，慢上电无明显浪涌电流，若需考虑减小浪涌电流，可减慢上电速度

➤ 针对电源上下电过程中的 IO 管脚状态，注意事项说明如下：

如果用户需要在芯片电源上下电过程中保持 IO 管脚为高电平，则需要将 PUDC_B 接低电平（或者通过 $\leq 1K\Omega$ 电阻接地）；上下电顺序采用推荐方案 1）或 2）均可。

如果用户使用工作在 1.8V 及以下的 IO 电平标准，且用户系统要求芯片在电源上下电过程中 IO 管脚一直保持低电平，则需要将 PUDC_B 接高电平（或者通过 $\leq 1K\Omega$ 电阻接电源），同时在需要保持低电平的 IO 管脚添加 $\leq 10K\Omega$ 的弱下拉电阻到地；上下电顺序采用推荐方案 2）。

如果用户使用工作在 1.8V 以上的 HRIO 电平标准，且用户系统要求芯片在电源上下电过程中 IO 管脚一直保持低电平，则需要将 PUDC_B 接高电平（或者通过 $\leq 1K\Omega$ 电阻接电源），上下电顺序推荐方案 1）同时在需要保持低电平的 IO 管脚添加 $1K\Omega$ 下拉电阻到地。

5、加密下载相关说明

FMK50 系列芯片支持 SM4, AES 加密方式，加密密钥存储在 EFUSE 中。

6、看门狗计时器（WatchDog）相关说明

FMK50 系列芯片内部有 WatchDog 计时器，一个时钟周期为 8us。

7、Multiboot 加载相关说明

用户在使用 Multiboot 加载并且启用 timer 计数器时，golden 位流中嵌入的 IPROG 命令会将 timer 计数器清零。建议用户合成 mcs 或 bin 文件时在 golden 位流后加入 time1.bit，并在 update 位流后加入 time2.bit，具体使用方式可参考《multiboot 解决方案》。

7.2 典型应用

FMK50 系列产品采用复旦微电子提供的自主知识产权的 PROCISE 开发工具进行综合、时序分析、布局布线、IP 生成、位流生成、下载配置、在线调试。开发流程参考《FMK50 软件开发流程》文档。

8 包装、贮存和运输要求

8.1 包装

产品封装形式为 FCBGA、FCFBGA 的形式，使用 tray 盘进行包装，需要注意产品 pin1 标识和 tray 盘 倒角位置标志。

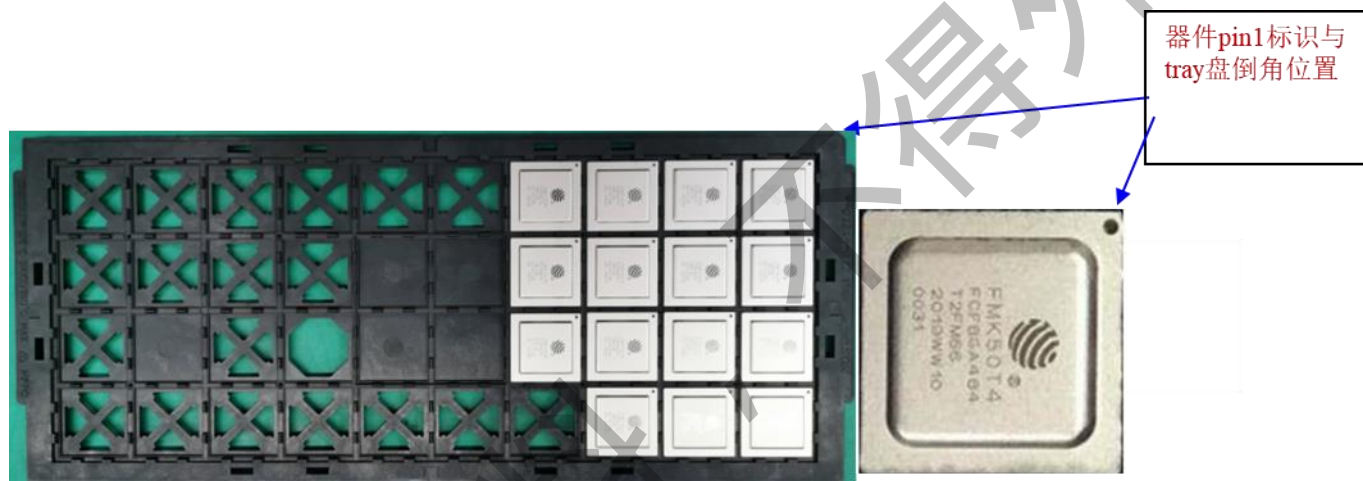


图 32 tray 盘包装图样

- 1、器件 tray 盘采用 N+1 的形式 ($N \leq 5$)，即 N 个 tray 盘加一个空 tray 盘，空 tray 盘置于顶部，用于保护器件。tray 盘使用扎带包装完成后，放入湿度指示卡和干燥剂。



图 33 干燥剂、湿敏卡图样

2、Tray 盘连同干燥剂和湿度指示卡放入 MBB 袋，抽真空包装。在 MBB 袋上贴上湿度敏感警示标签，并写上对应包装日期。

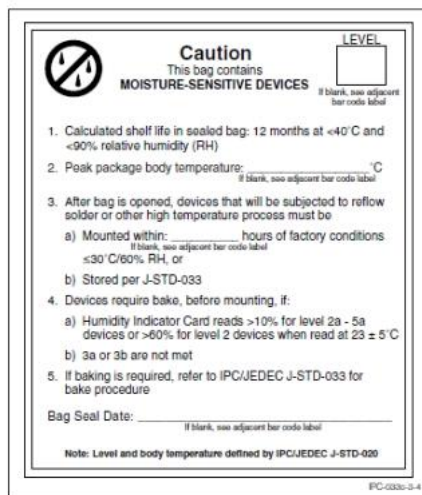


图 34 MSL 标签图样

3、放入器件前，在 MBB 袋中放上、下填充气泡袋，没有空隙为止。



图 35 内包装纸盒图样

8.2 贮存要求

1. 客户收到产品后需对包装进行检验，确认包装密封完好，不存在孔洞、裂口等任何可能暴露袋内器件的异常现象。若发生包装 MBB 袋漏气情况，应对器件进行烘干处理，之后再次进行密封包装贮存。
2. 在干燥密封包装条件下，可贮存在常温常湿的环境中，在贮存环境为 $<40^{\circ}\text{C}/90\% \text{ RH}$ 状态下，储存有效期为 12 个月，储存时间 12 个月均从包装之日算起。如果出现储存时间超期，则需进行烘干处理。
3. MBB 袋打开以后，必须在规定的客户端车间寿命内进行回流焊接，返工，如果不使用需重新用 MBB 袋干燥密封包装或放入干燥箱内（环境 $<40^{\circ}\text{C}/5\% \text{ RH}$ ），如果客户端车间寿命或环境超出规定，则需进行烘干处理。



4. 烘干处理，通常在 125℃条件下，烘烤 48 小时。若出现密封包装破损或湿度指示卡 60%变色情况，则需延长烘烤时间，在 125℃条件下，大于 48 小时，但最长不要超过 96 小时。烘烤后需在 12 小时内进行电装或 MBB 袋密封包装或放入干燥箱内（环境<40℃/5% RH）。
5. 请特别注意，器件进行烘烤时不能直接放入 125℃的烘箱中，必须从室温缓慢升温至 125℃，升温时间大于半小时，最大升温速率不能大于 4℃/min。

8.3 运输要求

在避免雨、雪直接影响的条件下，装有产品的包装箱可以用安全的运输工具运输。但不能和带有酸性、碱性和其它腐蚀性物体堆放在一起。包装应是安全的，可以采用现有的运输工具。

9 推荐板级安装说明

1.建议根据选用的焊膏，使用焊膏供应商推荐的回流焊曲线。

表 74 引脚材料列表

列表	产品名	外引脚焊球材料
1	FMK50T4	SAC302, Dia:0.45mm
2	FMK50T2	SACN305, Dia:0.3mm
3	FMK50	SAC302, Dia:0.45mm

2.焊膏厚度不小于器件的共面性尺寸。

3.必须采取防静电措施进行操作！

4.JTAG 接口禁止热插拔！如果热插拔，会发生器件内部晶体管受损失效。

10 常规故障及处理方法

常规故障 1 及处理方法

故障：用户插拔 JTAG 口或其他接插口操作后，相应 IO 出现短路或开路，影响这些 IO 控制的系统功能。

处理方法：确认为器件内部 IO 失效后，对板上器件进行更换。

常规故障 2 及处理方法

故障：在电源上下电过程中，如果器件的 HRIO 的 V_{CCP} 使用 1.8V 以上的电源电压，HRIO 的 V_{CCP} 在 V_{CCCORE} 和 V_{CCHRAM} 电源上电完成之后再上电到大于 1.8V，以及在 V_{CCCORE} 和 V_{CCHRAM} 下电之前 V_{CCP} 从高压下电到小于 1.8V，HRIO 管脚会出现高电平毛刺，但有些用户系统对高电平毛刺敏感，需要 HRIO 在上下电过程中保持低电平，否则会导致系统功能受到影响。例如下级器件接收到高电平毛刺后出现复位，且下级器件因特殊设计只能复位一次，导致系统功能受到影响；或者下级器件是继电器，产生高电平毛刺会对继电器误操作。

处理方法：需要将器件的 PUDC_B 接高电平（或者通过 $\leq 1K\Omega$ 电阻接电源），并修改上电顺序为： $V_{CCSUP} \rightarrow V_{CCP} \rightarrow V_{CCCORE} \rightarrow V_{CCHRAM}$ ，下电顺序为： $V_{CCHRAM} \rightarrow V_{CCCORE} \rightarrow V_{CCP} \rightarrow V_{CCSUP}$ ，同时在需

要保持低电平的 IO 管脚添加 1K Ω 下拉电阻到地。

11 注意事项

- 1、必须采取防静电措施进行操作！推荐取件操作在离子风机区域进行，并对器件正反面进行去离子操作！
- 2、注意按照潮湿敏感度等级 MSL3 管控器件！
- 3、禁止器件 IO 热插拔，包括 JTAG 接口等！热插拔，可能导致器件内部受损失效。

12 特殊说明

无。

13 产品信息

13.1 产品鉴定信息

FMK50 系列 FPGA 产品按照表 2-3 中相应的规范进行鉴定。

13.2 产品命名规则及标识

FMK50 系列 FPGA 产品命名规则（以 FMK50T4 为例）如下：

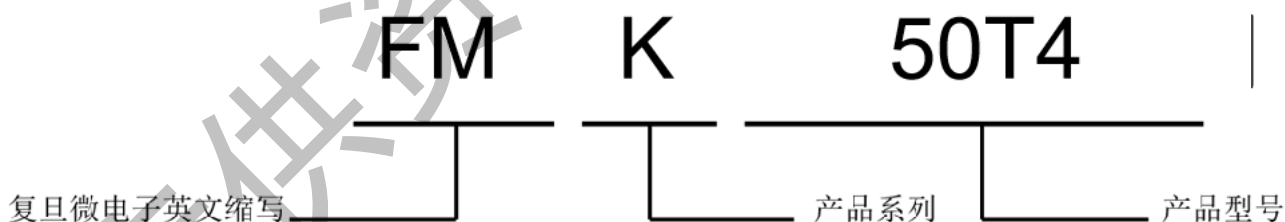


图 36 产品命名

FMK50T4、FMK50T2、FMK50 产品标识如下：

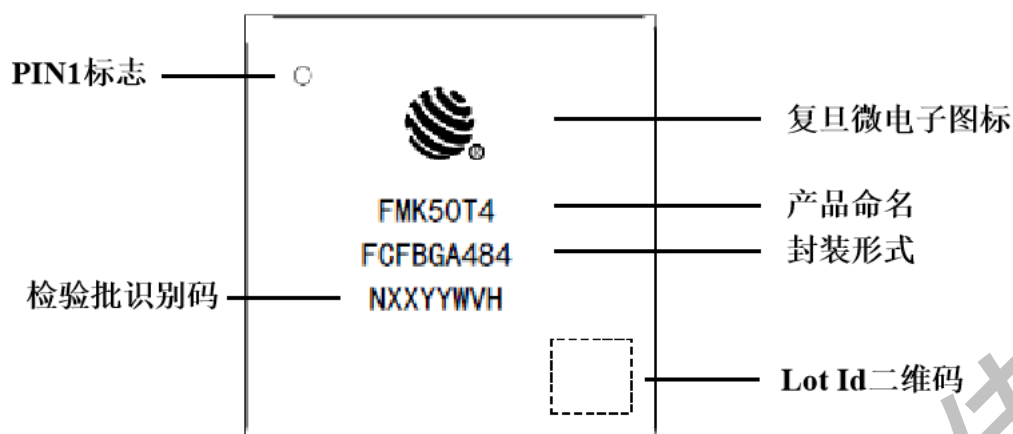


图 37 FMK50T4 产品标识

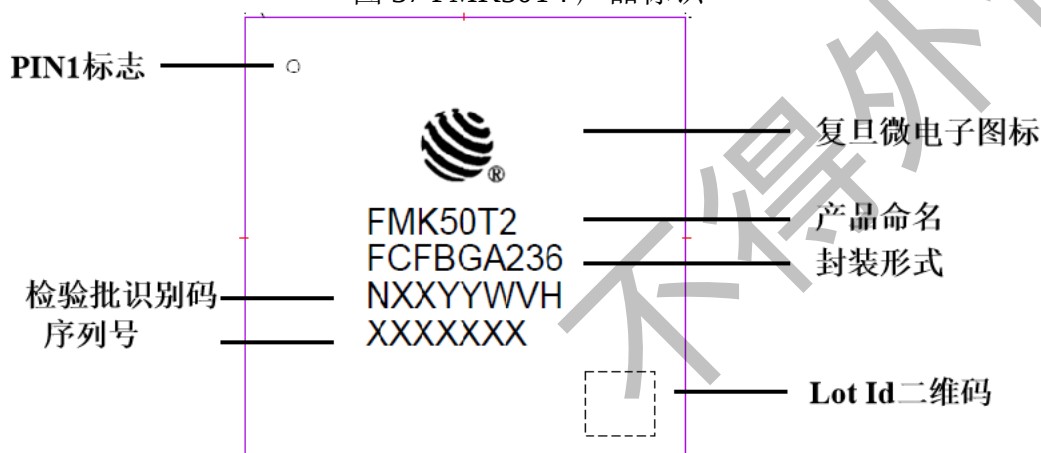


图 38 FMK50T2 产品标识

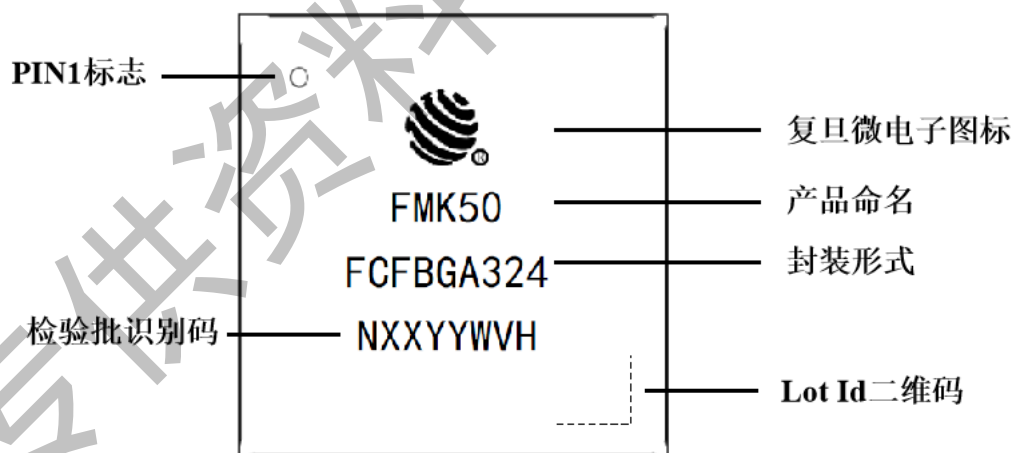


图 39 FMK50 产品标识

版本信息

版本号	发布日期	页数	章节或图表	更改说明
1.0	2023/1/3	102		首次发布
1.1	2024/5/28	109	2.3	增加产品型号的质量等级规范号和规范名称
			3	更新为清晰外形尺寸图
			4.1、5.2.5	ADC 名称改为 SYS_MON
			5.1	更新推荐工作条件表中，FMK50T2 工作温度范围
			5.2	修订测试条件中测试温度范围为 $T_{JMIN} \leq T_c \leq T_{JMAX}$
			5.2.4	增加 FMK50T2 产品 Pin To Pin 开关参数
			5.2.7	增加 6.6Gb/s 以上 UHST 开关特性参数
			5.3	章节标题名称更新为“器件特性曲线”，整个章节勘误特性曲线
			7.1.6	增加 Multiboot 加载相关说明
1.2	2024/8/15	109	13	增加产品信息章节
			7.1.6	第 4 点针对电源上下电过程中的 IO 管脚状态，增加注意事项说明
			10	增加常规故障 2 及处理方法
			附录	更新上海复旦微电子集团股份有限公司销售及服务网点

上海复旦微电子集团股份有限公司销售及服务中心

上海复旦微电子集团股份有限公司

地址：上海市国泰路 127 号 4 号楼

邮编：200433

电话：(86-021) 6565 5050

传真：(86-021) 6565 9115

上海复旦微电子（香港）有限公司

地址：香港九龙尖沙咀东嘉连威老道 98 号东海商业中心 5 楼 506 室

电话：(852) 2116 3288 2116 3338

传真：(852) 2116 0882

上海复旦微电子集团股份有限公司北京分公司

地址：北京市东城区东直门北小街青龙胡同 1 号歌华大厦 B 座 423 室

邮编：100007

电话：(86-10) 8418 6608 / 8418 7486

传真：(86-10) 8418 6211

深圳市复旦微电子有限公司

地址：深圳市南山区西丽街道创智云城 A7 栋 2306-2308

邮编：518028

电话：(86-755) -8335 1011 / 8335 2011

传真：(86-755) -8335 9011

台湾办事处

地址：台北市 114 内湖区内湖路一段 252 号 12 楼 1225 室

电话：+886-2-77211889\77211890

传真：(886-2) 7722 3888

上海复旦微电子（香港）有限公司新加坡分公司

地址：No. 8 Burn Road, #15-13, Trivex, Singapore 369977

电话：+65 6509 0622

复旦微电子（美国）公司

地址：97 E Brokaw Road, Suite 320, San Jose, CA 95112

电话：(+1)408-335-6936

公司网址：<http://www.fmsh.com/>

上海复旦微电子集团股份有限公司

Shanghai Fudan Microelectronics Group Company Limited

FMK50 系列 SRAM 型现场可编程门阵列

技术手册

版本 1.2

109 / 109